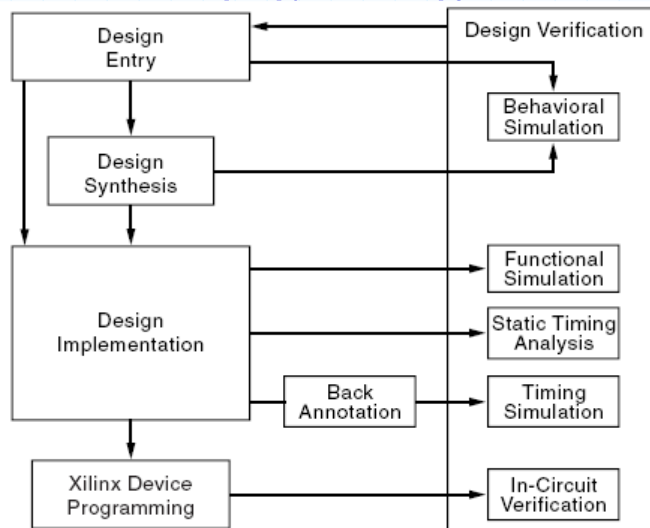


Xilinx Integrated Software Environment (ISE)

Εισαγωγή
Σχεδίαση με σχηματικά

G.Kornaros

Ροή Σχεδίασης



Περιβάλλον εργασίας ISE

- Σύνολο από εργαλεία για:
 - ✓ Project Navigator: διαχείριση σχεδίασης
 - ✓ Περιγραφή κυκλώματος (σε σχηματικό, HDL, ..)
 - ✓ Σύνθεση : παραγωγή αρχείου netlist, gate-level
 - ✓ Υλοποίηση : netlist σε μορφή κατάλληλη για FGPA / CPLD
 - ✓ Επαλήθευση : σε αρκετά σημεία κατά τα βήματα σχεδίασης χρησιμοποιώντας έναν simulator (πχ Modelsim)
 - ✓ Προγραμματισμός (configuration) του τσιπ.

Βήματα Σχεδίασης

- **Εισαγωγή σχεδίου – ορισμός του top-level σχεδίου**
 - ✓ Δημιουργία ενός project στο Project Navigator
 - ✓ Δημιουργία αρχείων και προσθήκη στο project
 - ✓ Προσθήκη υπαρχόντων αρχείων στο project
 - ✓ Ορισμός περιορισμών (timing constraints, pin assignments, area constraints).
- **Λειτουργική Επαλήθευση (Functional Verification)**
 - ✓ Στα πρώτα στάδια σχεδίασης πριν τη σύνθεση (behavioral simulation / RTL simulation).
 - ✓ Μετά την σύνθεση (UNISIM library) (gate-level simulation)
 - ✓ Μετά την μετάφραση /φυσική τοποθέτηση (SIMPRIM library) (gate-level simulation)
 - ✓ Μετά τον προγραμματισμό του τσιπ, in-circuit verification.
- **Σύνθεση του κυκλώματος**
- **Υλοποίηση του κυκλώματος**
 - ✓ Translate
 - ✓ Map
 - ✓ Place and Route

Βήματα Σχεδίασης (2)

- **Υλοποίηση του κυκλώματος**
 - ✓ Έλεγχος αναφορών σε κάθε στάδιο και τροποποίηση των ακολούθων για διόρθωση – βελτιστοποίηση του κυκλώματος:
 - Process properties
 - Constraints
 - Source files
- **Στατική ανάλυση χρονισμού στα εξής βήματα:**
 - ✓ After Map
 - ✓ After Place & Route
- **Χρονική Επαλήθευση (Timing Verification)**
 - ✓ After Map (for a partial timing analysis of CLB and IOB delays)
 - ✓ After Place and Route (for full timing analysis of block and net delays)
- **Προγραμματισμός του τσιπ της Xilinx:**
 - ✓ Δημιουργία ενός αρχείου προγραμματισμού (BIT file)
 - ✓ Δημιουργία ενός αρχείου PROM, ACE, ή JTAG για debugging ή για download στο τσιπ.
 - ✓ Χρήση του iMPACT για προγραμματισμό του τσιπ μέσω ειδικού καλωδίου προγραμματισμού.

Σχεδίαση με Σχηματικά

- **Ιεραρχική σχεδίαση**
 - ✓ Top-level σχηματικό
 - Δημιουργία όλων των modules χαμηλότερου επιπέδου με:
 - Αρχεία HDL
 - Διαγράμματα κατάστασης
 - Core Generator cores
 - Architecture Wizard IP
 - Αρχεία schematic
 - Instantiate το σύμβολο του module
 - ✓ Σχηματικό lower-level
 - Δημιουργία συμβόλου για instantiation σε σχηματικό, HDL template αν το πιο πάνω επίπεδο είναι σε HDL.

Βιβλιοθήκη της Xilinx

■ Κατηγορίες ανά λειτουργία:

Arithmetic Functions

Buffers

Comparators

Counters

Decoders

Edge Decoders

Flip-Flops

General

Input Latches

Input/Output Flip-Flops

Input/Output Functions

Latches

Logic Primitives

Map Elements

Memory Elements

Multiplexers

Shifters

Shift Registers

Tuesday, October 17, 2023

Εισαγωγή

7

Βασικό παράθυρο του Project Navigator

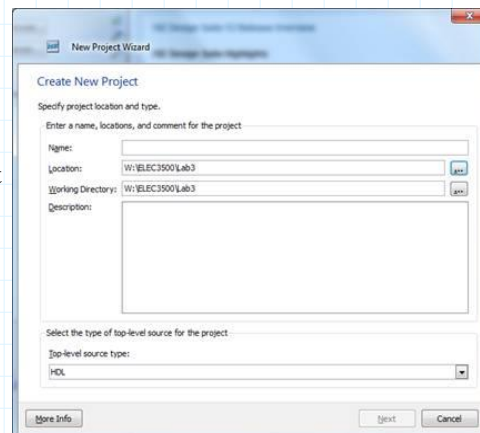
→ All Programs → Xilinx ISE Design Suite 12.1 → ISE Design Tools → 32bit Project Navigator

Linux : \$ ise

Δημιουργία νέου project:

→ File → New Project...

- Directory path του νέου project
- Day1 στο πεδίο Project Name
- Top-Level Module Type
 - ✓ HDL
 - ✓ Schematic
 - ✓ EDIF
 - ✓ NGC/NGO



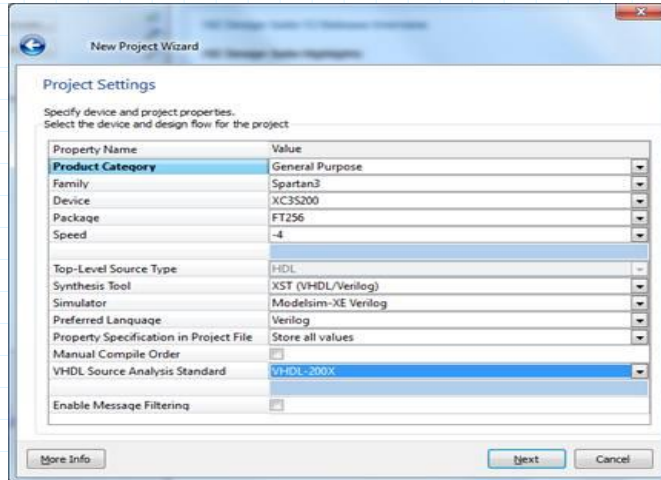
Tuesday, October 17, 2023

Εισαγωγή

8

ISE - Ρυθμίσεις project

- Spartan3 board

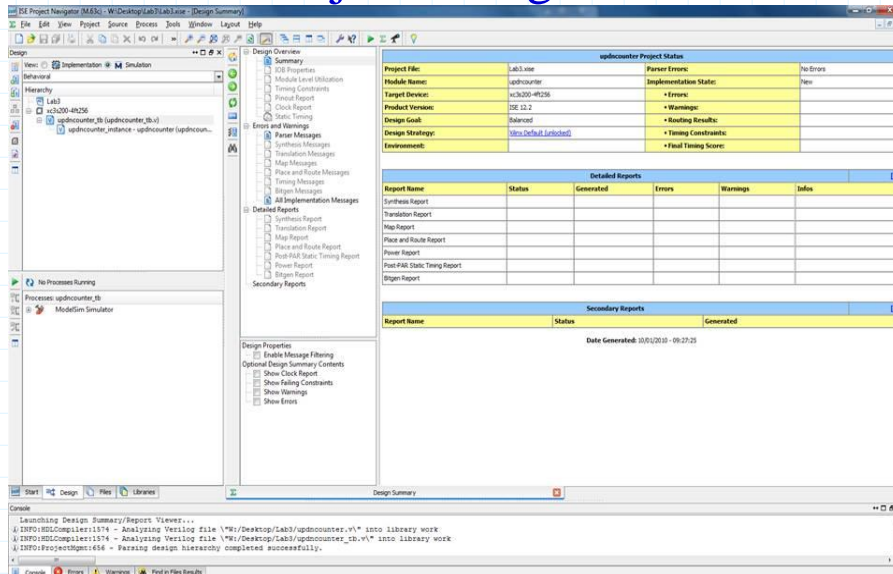


Tuesday, October 17, 2023

Εισαγωγή

9

Project Navigator



Tuesday, October 17, 2023

Εισαγωγή

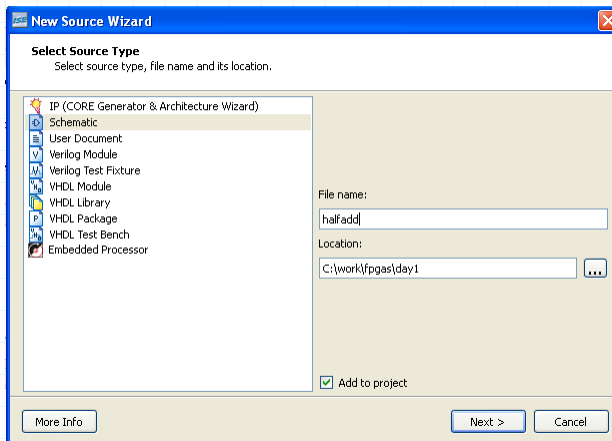
10

Δημιουργία ενός νέου κυκλώματος

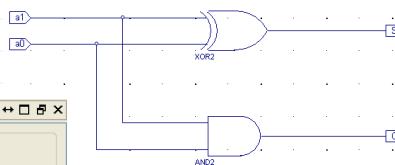
- New Source...

- ✓ Schematic ,
 - Halfadder

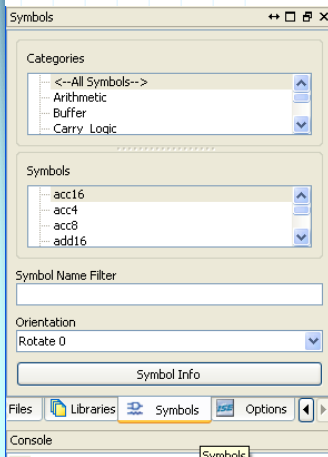
- Δημιουργία του σχηματικού



Δημιουργία Σχηματικού Ημιαθροιστή



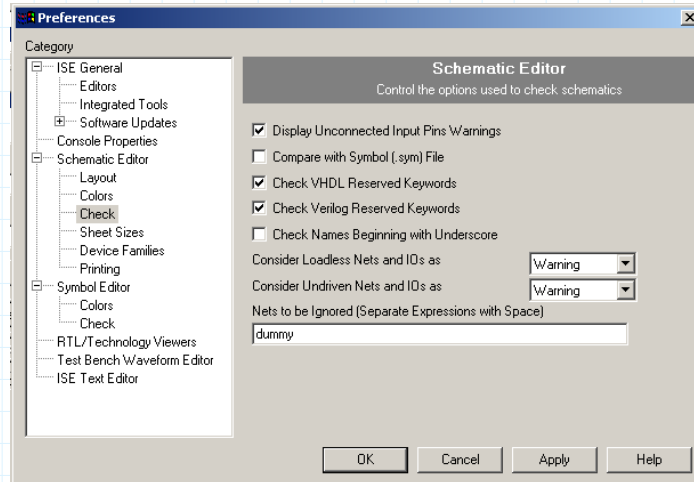
| a1 | a0 | C | S |
|----|----|---|---|
| 0 | 0 | 0 | 0 |
| 0 | 1 | 0 | 1 |
| 1 | 0 | 0 | 1 |
| 1 | 1 | 1 | 0 |



- Add Symbol
- Add Wire
- Add I/O Marker
- Add Net Name
- Save
- Tools >
 - Check Schematic
 - ✓ DRC

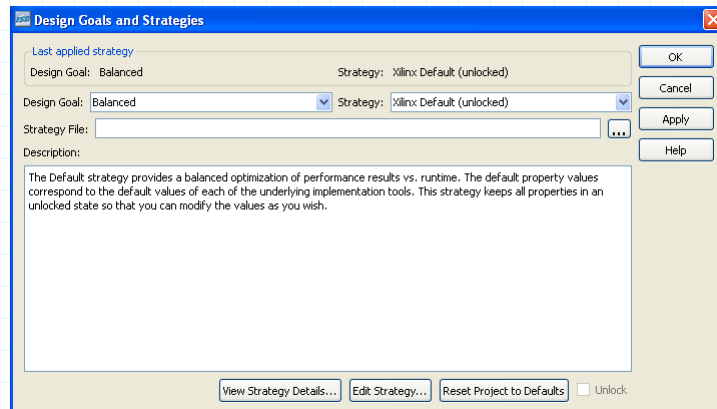
Επιλογές Check DRC

- Edit > Preferences



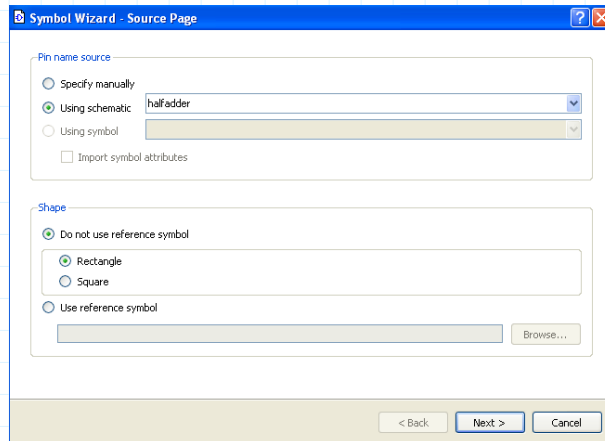
Επιλογές Project

- Project >



Δημιουργία Συμβόλου – Ιεραρχική Σχεδίαση (bottom-up)

- Tools > Symbol Wizard



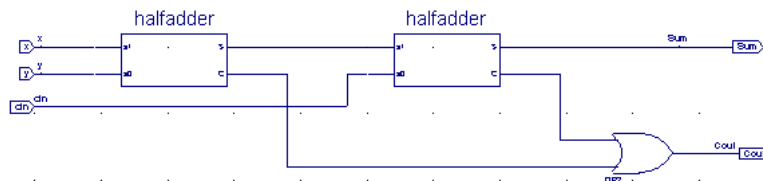
Tuesday, October 17, 2023

Εισαγωγή

15

Δημιουργία πλήρους αθροιστή

- Νέο σχηματικό : fulladder



- Δημιουργήσετε σύμβολο για τον fulladder.

Tuesday, October 17, 2023

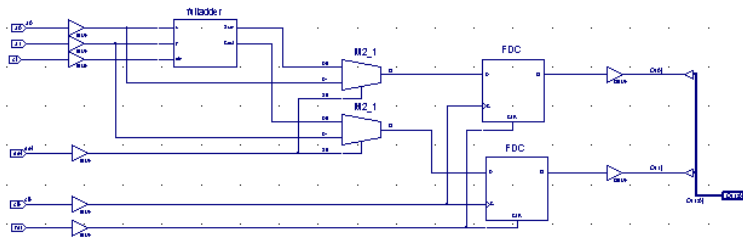
Εισαγωγή

16

Κύκλωμα topfa

Δημιουργήστε το παρακάτω σχηματικό χρησιμοποιώντας τα components που έχουμε ήδη δημιουργήσει και τα παρακάτω στοιχεία:

- πολυπλέκτης: m2_1,
- FlipFlop: fdc,
- IO: ibuf, obuf
- είσοδοι: a1,a0,ci, sel,
- clk, rst
- Έξοδοι: Q(1:0)



Tuesday, October 17, 2023

Εισαγωγή

17

Κύκλωμα topfa (2) - Ασκήσεις

1. Εξηγείστε την λειτουργία του κυκλώματος
2. Τροποποιήστε το κύκλωμα ώστε η είσοδος sel να ελέγχει αν στο bus Q(1:0) εμφανίζεται το άθροισμα ή 00.
3. Τροποποιήστε το κύκλωμα ώστε η είσοδος sel να ελέγχει αν στο bus Q(1:0) εμφανίζεται το άθροισμα μια δεδομένη χρονική στιγμή, να μην αλλάζει η τιμή αυτή ακόμα και αν αλλάξει κάποια από τις εισόδους a1, a0, ci.
4. Τι θα άλλαζε αν από το αρχικό μου κύκλωμα μετατόπιζα τους πολυπλέκτες μετά τα flip-flop?

Tuesday, October 17, 2023

Εισαγωγή

18

Σχεδίαση με προσχεδιασμένα υποσυστήματα - Cores

- (Xilinx CoreGen)
 - ✓ New Source > IP (CoreGen & Architecture Wizard)
- Κατηγορίες cores:
 - ✓ Basic Elements (μετρητές, καταχωρητές, μνήμες..)
 - ✓ Clocking
 - ✓ Communication & Networking
 - ✓ Digital Signal Processing
 - ✓ Math Functions
 - ✓ Memories & Storage Elements
- Επίσης: fixed netlist IPs:
<http://www.xilinx.com/ipcenter>

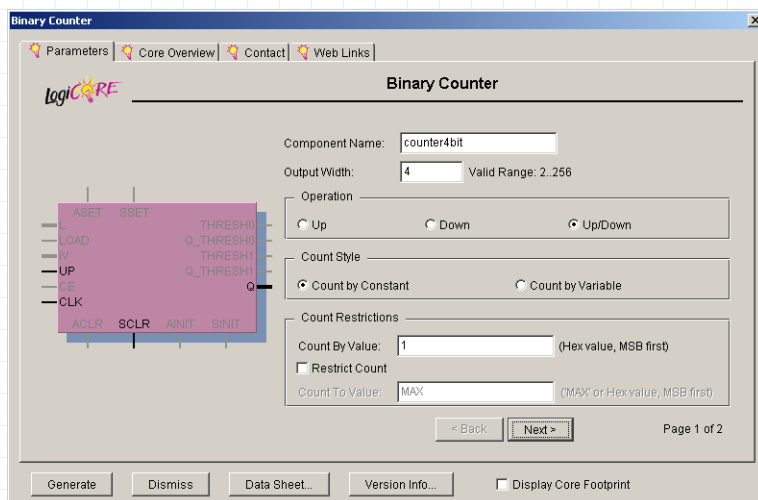
Tuesday, October 17, 2023

Εισαγωγή

19

Σχεδίαση με CoreGen

- Δημιουργία-Παραμετροποίηση ενός counter4bit



Tuesday, October 17, 2023

Εισαγωγή

20

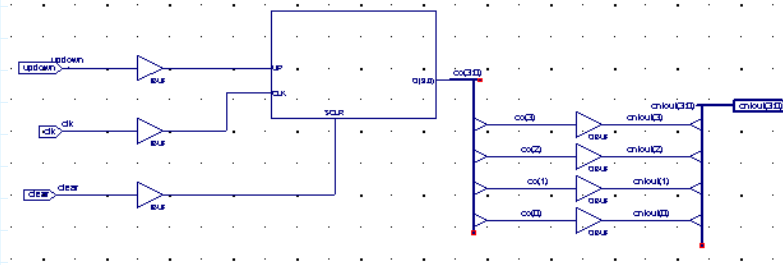
counter4bit

- Register Options ... > Synchronous Settings
 - Clear
- Help > Data Sheet
- Generate
 - ✓ Σει αρχείων counter4bit.*
- Ενσωμάτωση του counter4bit block σε σχηματικό.

Άσκηση 2

- Δημιουργία ενός νέου project Lab2
- Δημιουργία/προσθήκη του counter4bit
- Σύνδεση I/O buffers, pins εισόδου/εξόδου

Άσκηση 2

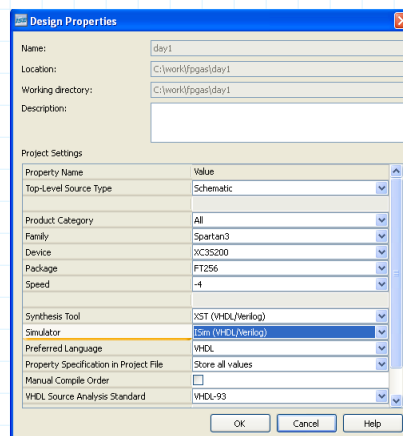


Tuesday, October 17, 2023

Εισαγωγή

23

Επιλογή προσομοιωτή: ISIM / Modelsim

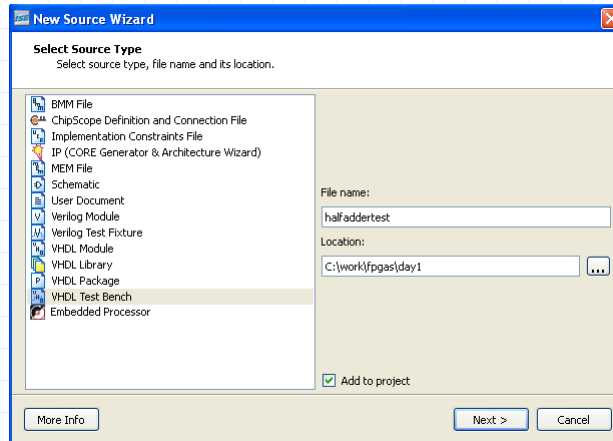


Tuesday, October 17, 2023

Εισαγωγή

24

Προσομοίωση



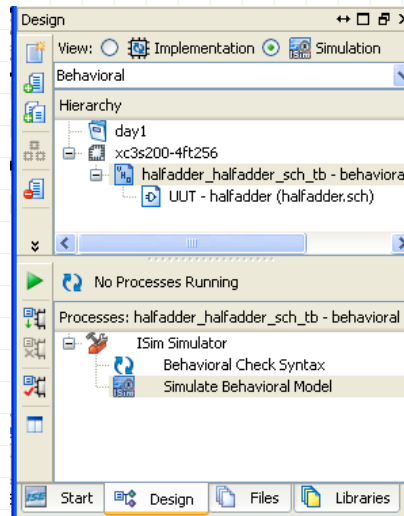
ISIM: τεστ σε VHDL

- Αρχικές τιμές στις εισόδους !
- Τυχαίες τιμές
- Πλήρες τεστ: όλοι οι δυνατοί συνδυασμοί τιμών στις εισόδους

```
38 UUT: halfadder PORT MAP(  
39     a0 => a0,  
40     a1 => a1,  
41     S => S,  
42     C => C  
43 );  
44  
45 -- *** Test Bench - User Defined Section ***  
46 tb : PROCESS  
47 BEGIN  
48     a0 <= '0';  
49     a1 <= '0';  
50     wait for 10ns;  
51     a0 <= '0';  
52     a1 <= '1';  
53     WAIT; -- will wait forever  
54 END PROCESS;  
55 -- *** End Test Bench - User Defined Section ***  
56  
57 END;
```

Τρέξιμο ISIM

- Έλεγχος τεστ!
(behavioral
check syntax)



Tuesday, October 17, 2023

Εισαγωγή

27

Περιβάλλον ISIM

The screenshot shows the ISIM environment. The 'Source Files' window lists several VHDL files: AND2.vhd, XOR2.vhd, halfadder.vhf, halfaddertest.vhd, numeric_std.vhd, std_logic_1164.vhd, unisim_VCOMP.vhd, and unisim_VCOMP.vhd. The 'Objects' window shows simulation objects for 'halfadder_halfadd...' with a table:

| Object Name | Value |
|-------------|-------|
| a0 | 0 |
| a1 | 1 |
| s | 1 |
| c | 0 |

The 'Console' window shows the following text:

```
ISim M.53d (signature 0xb869381d)
This is a Full version of ISim.
Time resolution is 1 ps
Simulator is doing circuit initialization process.
Finished circuit initialization process.
ISim>
```

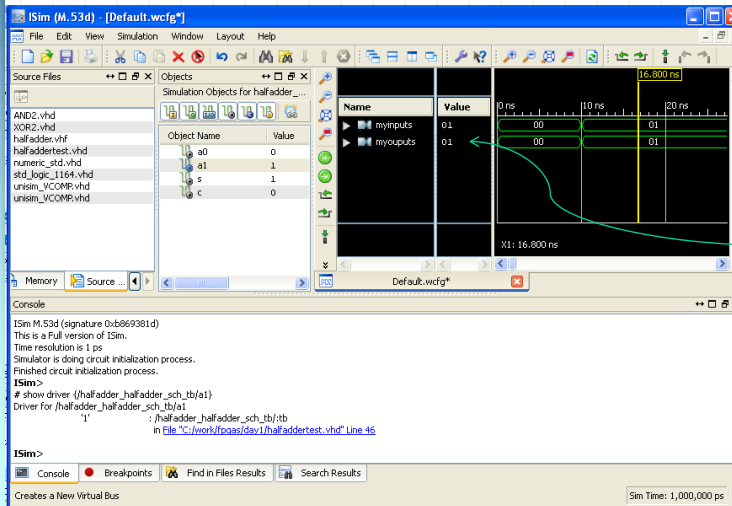
The bottom right corner of the console window shows 'Sim Time: 1,000,000 ps'.

Tuesday, October 17, 2023

Εισαγωγή

28

Εργαλεία ISIM



Virtual bus

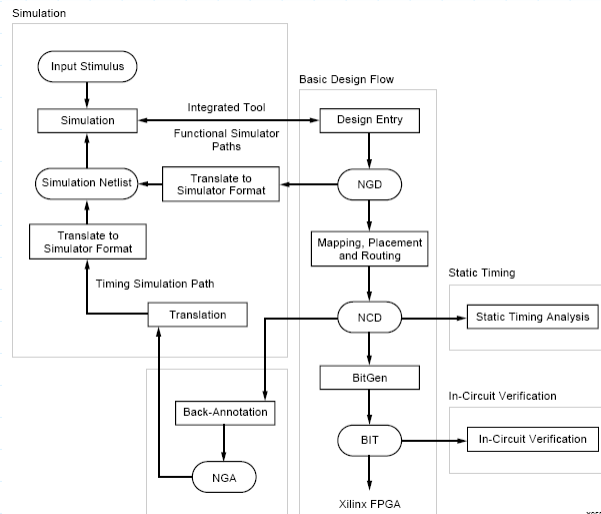
Show driver

Διάλεξη 2

Προσομείωση – Επαλήθευση ορθής λειτουργίας κυκλώματος με χρήση του Modelsim

Βασικές Μέθοδοι Επαλήθευσης

- Προσομείωση (λειτουργική & χρονική)
 - Modelsim
- Static Timing
 - Trace tool (Xilinx)
- Επαλήθευση του πραγματικού κυκλώματος

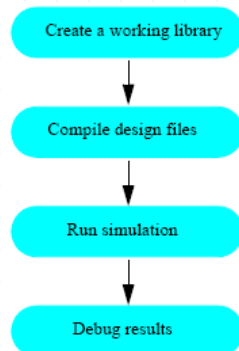


Tuesday, October 17, 2023

Εισαγωγή

31

Βασικά βήματα στο Modelsim



- Προσομείωση για VHDL, Verilog, SystemC, ή κάποιο συνδυασμό.
- Εργαλεία για debugging:
 - ✓ Κυματομορφές και ανάλυση χρόνου
 - ✓ Αρχικοποίηση και αλλαγή τιμών στις μνήμες
 - ✓ Σύγκριση κυματομορφών
 - ✓ Ανάλυση της απόδοσης της προσομείωσης
 - ✓ Code coverage
 - ✓ Breakpoints στον κώδικα

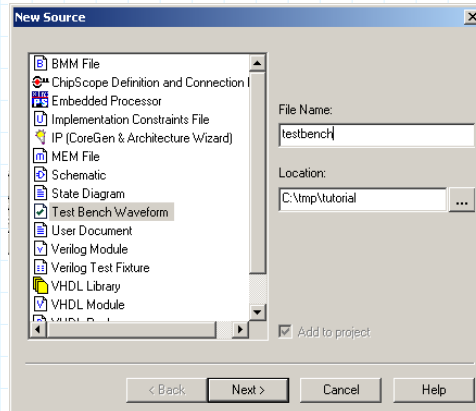
Tuesday, October 17, 2023

Εισαγωγή

32

Δημιουργία testbench για Simulation (με κυματομορφές) στο περιβάλλον ISE

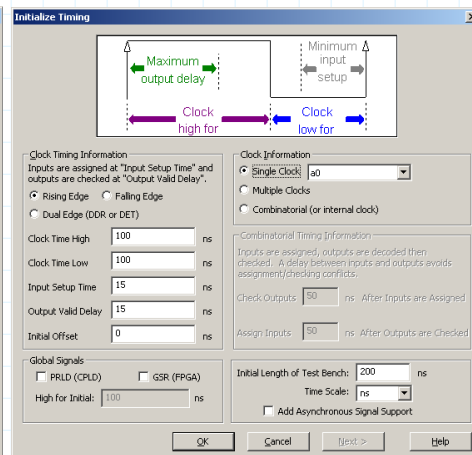
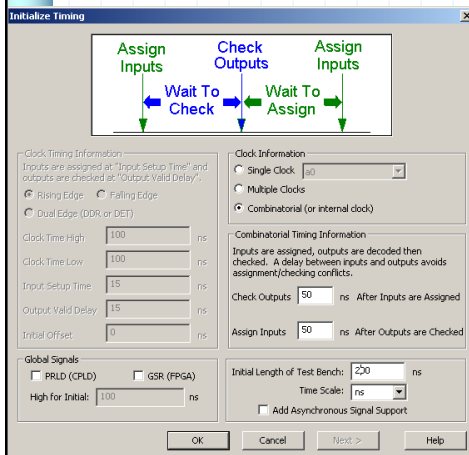
- **Project > New Source**



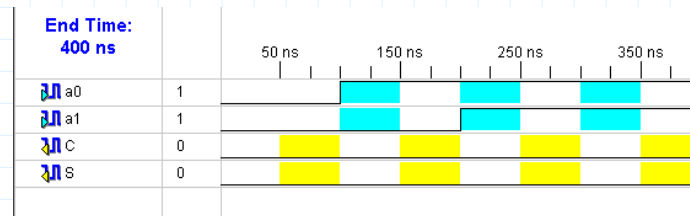
Ρυθμίσεις Testbench για συνδυαστικά και ακολουθιακά κυκλώματα

Για Συνδυαστικά

Για Ακολουθιακά



Περιγραφή κυματομορφών εισόδου



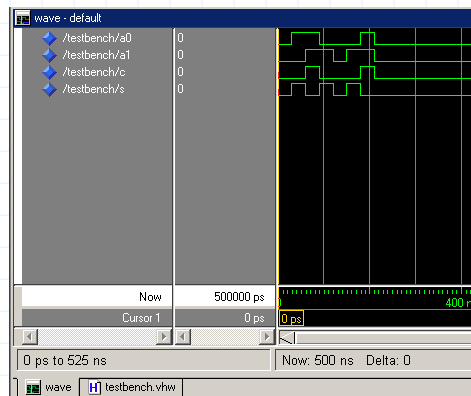
- Δημιουργία αυτό-ελεγχόμενου testbench:
 - ✓ Περιγραφή από τον σχεδιαστή
 - ✓ Αυτόματα: Επιλογή του testbench και **Generate Expected Simulation Results** από το παράθυρο Process

Ρυθμίστε: (right click – Rescale Timing)

- Check outputs 20ns after assign inputs
- Assign inputs 10ns after output

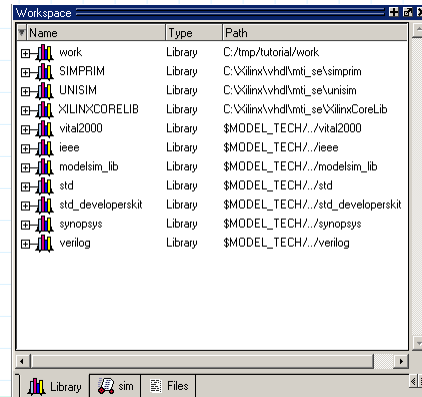
Behavioral Simulation

- Επιλογή του testbench, μετά στο παράθυρο process: **“Simulate Behavioral Model”**
- Αυτόματη Εκκίνηση Modelsim (πρέπει να έχουν γίνει compile οι βιβλιοθήκες Unisim, Xilinxcorelib)
- Simulation successful(not failure). No problems detected



Modelsim : παρατηρήσεις

- Μήνυμα στο console παράθυρο: *Compiling vhdl file "c:/tmp/tutorial/halfadder.vhf" in Library work*
- Αυτόματη γέννηση των halfadder.vhf, testbench.vhw
- Παράθυρα του Modelsim:
 - ✓ Βιβλιοθήκες:
 - work: τρέχον design
 - Unisim, Simprim, XilinxCorelib,
 - Ieee std
 - ✓ Workspace
 - Ιεραρχική άποψη του design
 - ✓ Transcript

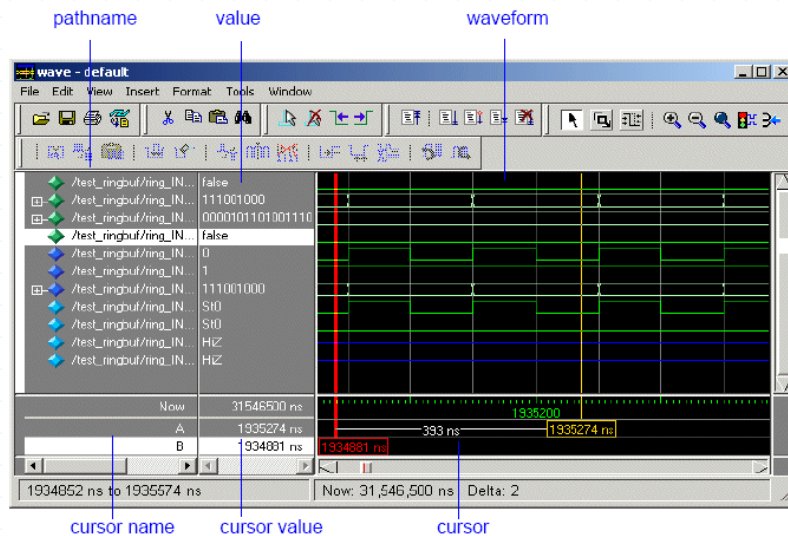


Tuesday, October 17, 2023

Εισαγωγή

37

Μελετώντας κυματομορφές στο παράθυρο Wave



Tuesday, October 17, 2023

Εισαγωγή

38

Δημιουργία εισόδου για το κύκλωμα με τον Wave Editor (standalone Modelsim)

- Φόρτωση του *halfadder* design χωρίς testbench
- Create waves via a wizard
- Edit waves interactively in the Wave window
- Export the waves to an HDL testbench and extended VCD file
- Run the simulation
- Re-simulate using the exported testbench and VCD file

Tuesday, October 17, 2023

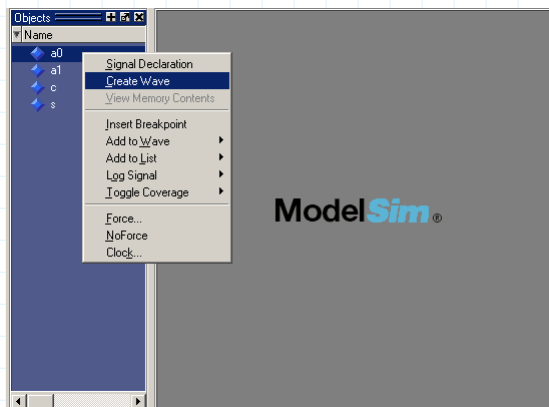
Εισαγωγή

39

Δημιουργία κυματομορφών

- File>Change Directory ή File>Recent Projects
- Εμφανίζεται η βιβλιοθήκη work, διπλό κλικ στο *halfadder*, φορτώνεται το design στο vsim.

- Επιλογή του σήματος εισόδου a0 στο παράθυρο **object** και ενεργοποίηση του wave wizard.

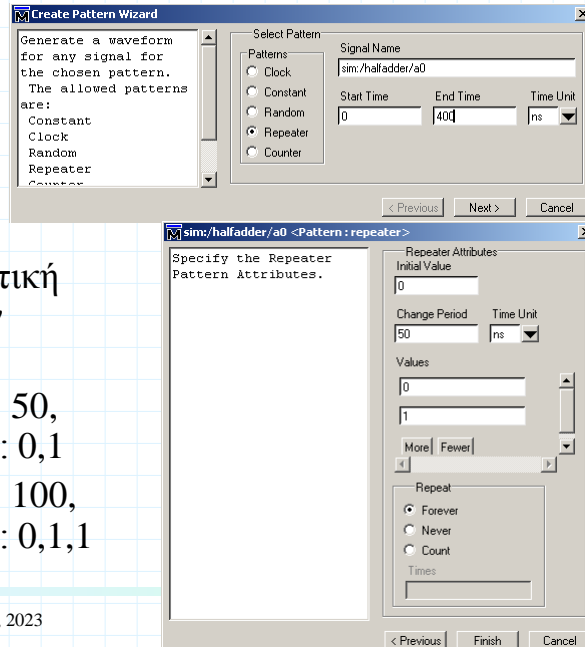


Tuesday, October 17, 2023

Εισαγωγή

40


Δημιουργία κυματομορφών (2)



- επαναληπτική μορφή των εισόδων
- a0: Period: 50, ακολουθία: 0,1
- a1: Period: 100, ακολουθία: 0,1,1

Tuesday, October 17, 2023

Επεξεργασία κυματομορφών στο παράθυρο wave

- Κλικ στο εικονίδιο επεξεργασίας 
- Κλικ στο σήμα a1 ώστε να επιλεγεί
- Στις κυματομορφές κλικ στο χρόνο 350ns
- Δεξί κλικ **Edit wave > Insert pulse**
- Θέσετε 20ns για Duration
- File>Close για να αποθηκεύσετε τις κυματομορφές με όνομα **mywave.do**
- **Simulate > End Simulation**

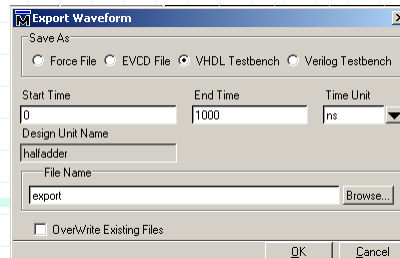
Tuesday, October 17, 2023

Εισαγωγή

42

Προσομείωση με τις νέες κυματορφές

- διπλό κλικ στο *halfadder*, φορτώνεται το design στο vsim
- View > Debug Windows > Wave
- Στο παράθυρο wave (αφού το κάνουμε αυτόνομο) File > Open > Format
- Επιλογή mywave.do
- Αποθήκευση κυματομορφών σε άλλο format:
 - ✓ File > Export Waveform
 - ✓ Πχ σε ένα vhdl testbench ή σε format **extended VCD**
- Προσθέστε τα σήματα c, s
- Τρέξετε την προσομείωση



Tuesday, October 17, 2023



Προσομείωση με το αρχείο testbench

- Compile and load the testbench:
 - ✓ vcom export.vhd
- Διπλό κλικ στο testbench για να ξεκινήσει το simulation
- Στο vsim> prompt γράψτε **add wave ***
- **run -all**
- Έξοδος από την προσομείωση:
 - ✓ Simulate > End simulation

Tuesday, October 17, 2023

Εισαγωγή

44

Εξερεύνηση-ανίχνευση λαθών με τη δυνατότητα Dataflow

- Εξερεύνηση συνδεσιμότητας
- Ανίχνευση events

- Αφού ξεκινήσει η προσομείωση View > Debug Windows > Dataflow
- Επιλογή των σημάτων από το παράθυρο objects και μεταφορά στο dataflow
- View > Show Wave
- Μεταφορά των σημάτων με copy - paste