

Xilinx Integrated Software Environment (ISE)

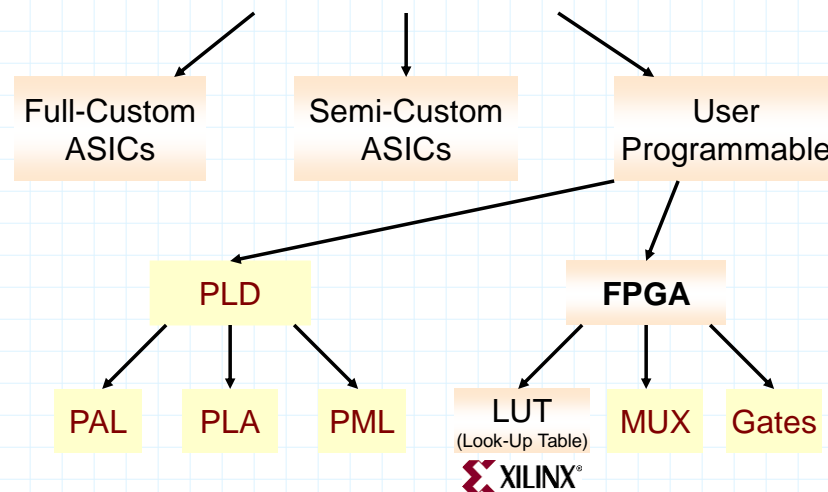
Backend Flow
Σύνθεση – Τοποθέτηση & Διασύνδεση

G.Kornaros

Oct. 2021

Εισαγωγή

Ο Κόσμος των Ολοκληρωμένων Κυκλωμάτων



Oct. 2009

Εισαγωγή

Διαδικασία Σχεδίασης



Περιγραφή/Ορισμός Απαιτήσεων

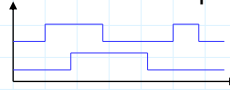
Design and implement a simple unit permitting to speed up encryption with RC5-similar cipher with fixed key size on 8001 microcontroller. Unlike in the experiment 5, this time your unit has to be able to perform an encryption algorithm by itself, executing 32 rounds...

Περιγραφή HDL/ Σχηματικά

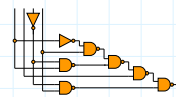
```
Library IEEE;
use ieee.std_logic_1164.all;
use ieee.std_logic_arith.all;

entity RC5_core is
    port(
        clock: in std_logic;
        data_in: in std_logic_vector(15 downto 0);
        data_out: out std_logic_vector(15 downto 0);
        key_in: in std_logic_vector(15 downto 0);
        key_out: out std_logic_vector(15 downto 0);
    );
end RC5_core;
```

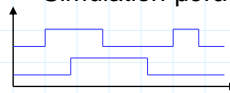
Simulation Λογικής Λειτουργίας



Σύνθεση



Simulation μετά τη σύνθεση

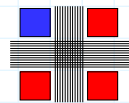


Oct. 2009

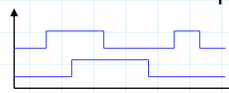
Εισαγωγή

Διαδικασία Σχεδίασης

Υλοποίηση
(Mapping, Placing & Routing)



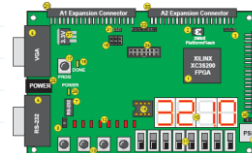
Simulation με χρονοισμούς



Configuration/Προγραμματισμός



Έλεγχος On chip



Oct. 2009

Εισαγωγή

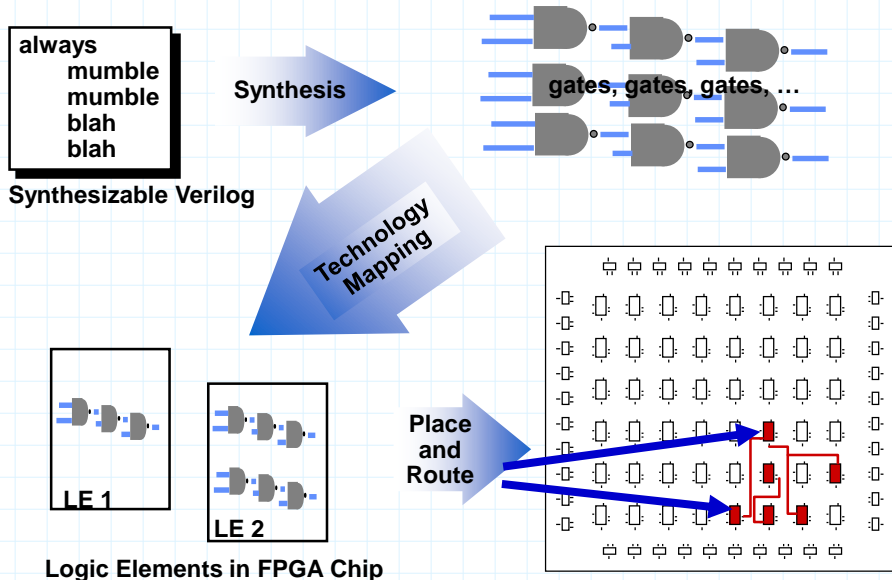
Προσεγγίσεις Σχεδίασης

- Semi-custom:
βασίζεται σε βιβλιοθήκες standard-cells (πύλες, flip-flops, muxes,...), και macro-cells (μνήμες, πολλαπλασιαστές, ...)
- Προγραμματιζόμενη λογική (FPGAs),
 - ✓ Υλοποίηση λογικής με Lookup-tables,
 - ✓ βελτιστοποιημένα blocks (μνήμες, dsp, ...)
 - ✓ Fpga design + €€€€ = πραγματικό τσιπ

Oct. 2009

Εισαγωγή

Μεθοδολογία Μοντέρνας Σχεδίασης FPGA

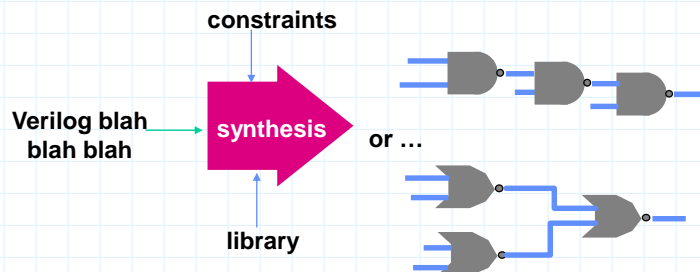


Oct. 2009

Εισαγωγή

Τι εννοούμε με τον όρο “Synthesis” ?

- Synthesis λογικής
 - ✓ Ένα πρόγραμμα που “σχεδιάζει” λογική από αφηρημένη περιγραφή της λογικής του κυκλώματος
 - Χρησιμοποιεί επίσης περιορισμούς - constraints (e.g. μέγεθος, ταχύτητα)
 - Χρησιμοποιεί απαραίτητα μια βιβλιοθήκη από δομικά στοιχεία (e.g. 3-input gates)
- Πως γίνεται?
 - ✓ Γράφουμε μια “αφηρημένη” περιγραφή του σχεδίου σε μία γλώσσα περιγραφής υλικού Verilog/VHDL/other
 - ✓ Το εργαλείο synthesis μπορεί να δημιουργήσει διαφορετικές υλοποιήσεις.



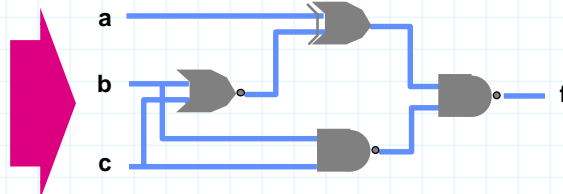
Oct. 2009

Εισαγωγή

Παράδειγμα

- What's cool?
 - ✓ Γράφεις την περιγραφή (αριστερά), η synthesis σου δίνει το αντίστοιχο σε πύλες
 - ✓ Μπορεί να χρησιμοποιεί διαφορετική βιβλιοθήκη από ότι εσύ. (2-input gates only)
 - ✓ Μία περιγραφή αρκεί για μια ποικιλία από εναλλακτικές υλοποιήσεις!
 - ✓ ... Αλλά αυτό υποθέτει ότι γνωρίζεις μία υλοποίηση με πύλες — αυτό δεν είναι μία “αφηρημένη” περιγραφή σε Verilog.

```
module gate (f, a, b, c);  
output f;  
input a, b, c;  
  
and A (a1, a, b, c),  
B (a2, a, ~b, ~c),  
C (a3, ~a, o1);  
or D (o1, b, c),  
E (f, a1, a2, a3);  
endmodule
```

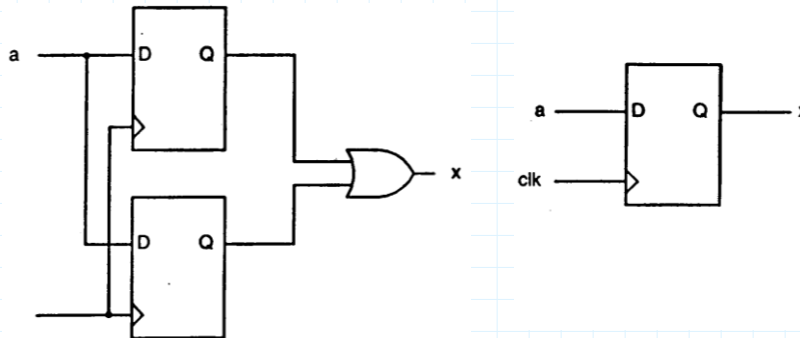


Oct. 2009

Εισαγωγή

Αυτόματη Σύνθεση Λογικής

- Η σύνθεση (πχ κώδικα Verilog) μπορεί συχνά να μεταφράζει τον code διαφορετικά από ότι η προσομείωση σε Verilog.
- Λογική που δεν είναι απαραίτητη μπορεί να ΜΗΝ ΥΠΑΡΧΕΙ.
 - ✓ Και τα δύο κυκλώματα είναι ισοδύναμα.



Oct. 2009

Εισαγωγή

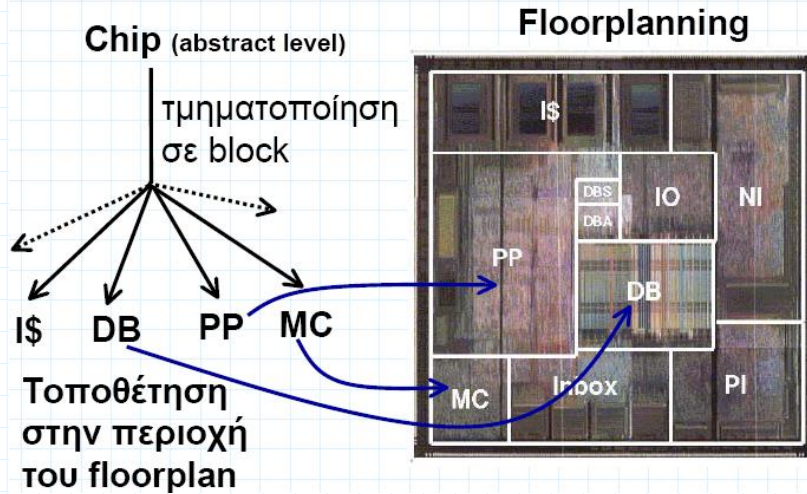
Αντιστοίχιση και Διασύνδεση (Mapping and Routing)

- *Mapping* – Απεικόνιση της λογικής που παράγεται από την synthesis σε στοιχεία λογικής του FPGA, (μπορεί να κάνει μετασχηματισμούς της λογικής αν χρειάζεται)
- *Place & Route* – Τοποθέτηση της λογικής μετά την αντιστοίχιση σε συγκεκριμένα Logic Block σε μία FPGA, έτσι ώστε οι καθυστερήσεις (wiring delay) να είναι αποδεκτές
 - ✓ Must place critical circuit portions together to minimize wiring delays
 - ✓ Propagation delay of signals depends significantly on routing delay

Oct. 2009

Εισαγωγή

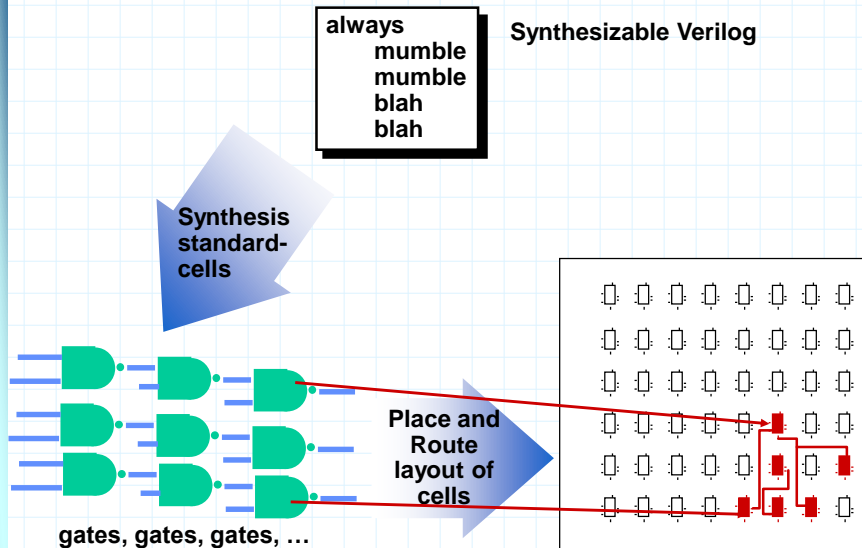
Τμηματοποίηση (Partitioning) –2D- Προσχεδιασμός (Floorplanning)



Oct. 2009

Εισαγωγή

Ροή Υλοποίησης με βάση Cells

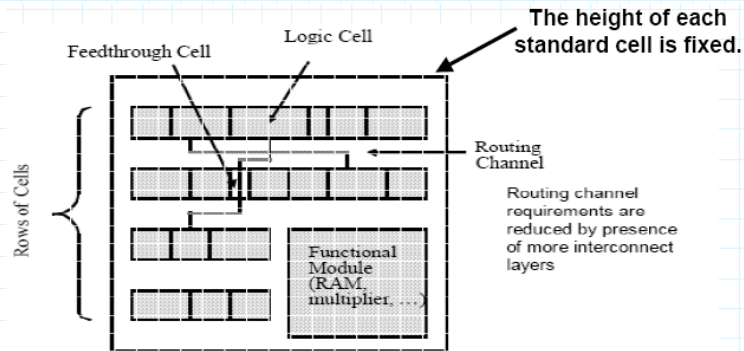


Oct. 2009

Εισαγωγή

Cell-based Design (or standard cells)

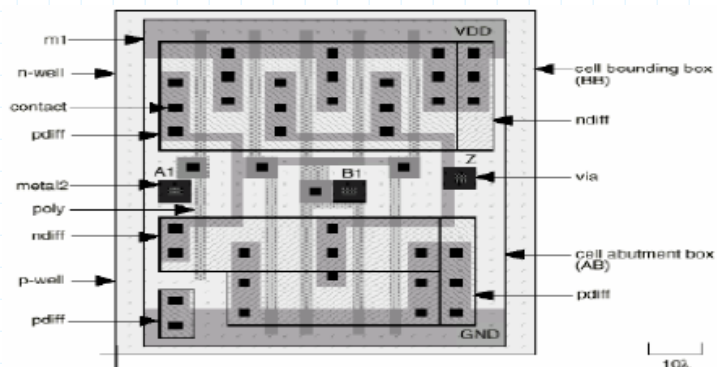
- **Semi-custom: προσέγγιση βασισμένη σε εργαλεία tool-based, όπου όλα τα cells ιδίου τύπου έχουν το ίδιο layout.**



Oct. 2009

Εισαγωγή

Layout of Standard Cell



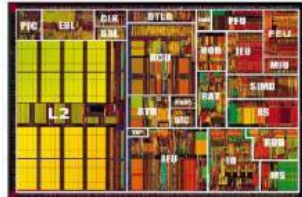
- **The layout of a standard cell from a standard-cell library.**

Oct. 2009

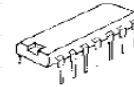
Εισαγωγή

Application Specific Integrated Circuit

- Ένα chip κατασκευασμένο συγκεκριμένα για μια εφαρμογή. Δεν μπορεί να επαναχρησιμοποιηθεί (επαναπρογραμματιστεί) για άλλους σκοπούς.



fabrication
➔

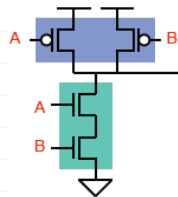


Προμηθεύεις τον κατασκευαστή με ένα layout με custom ή semi-custom blocks.

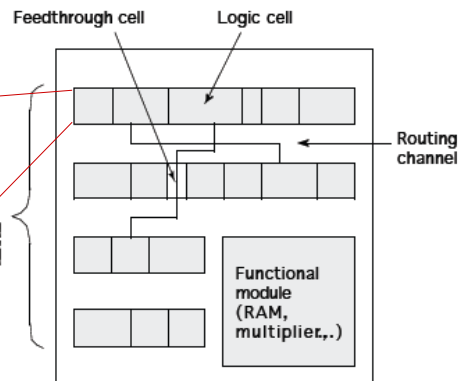
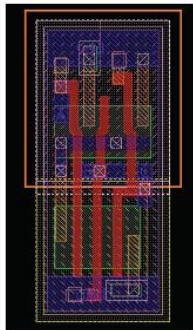
Oct. 2009

Εισαγωγή

Standard-cell synthesis, placement, routing



3-input NAND cell (from ST Microelectronics):

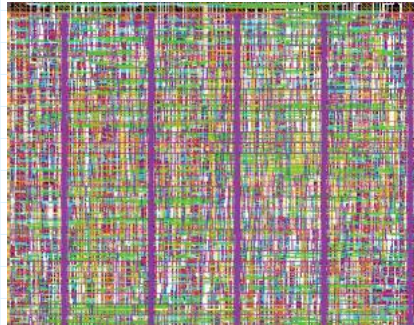


Oct. 2009

Εισαγωγή

Cell-based layout

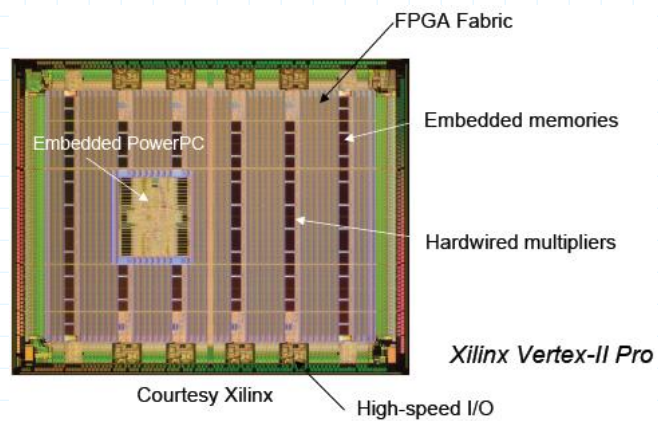
- Τα cells βρίσκονται κάτω από τα επίπεδα διασύνδεσης



Oct. 2009

Εισαγωγή

Πλατφόρμες FPGA



Oct. 2009

Εισαγωγή

Synthesis, mapping, placement, routing

- Όλα τα στάδια αλληλεπιδράνε μεταξύ τους
- **Σύνθεση** : ελαχιστοποίηση συνδυαστικής λογικής, state machines, εισαγωγή καταχωρητών για βελτίωση χρονισμού κλπ.
- Ποιο είναι καλύτερο ?

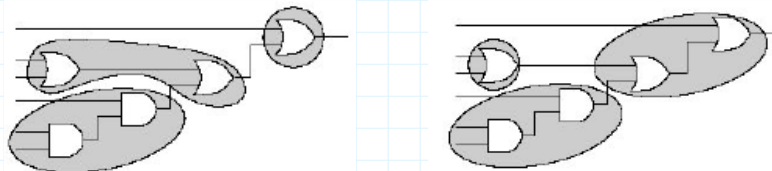


Oct. 2009

Εισαγωγή

Αντιστοίχιση στην Τεχνολογία (mapping)

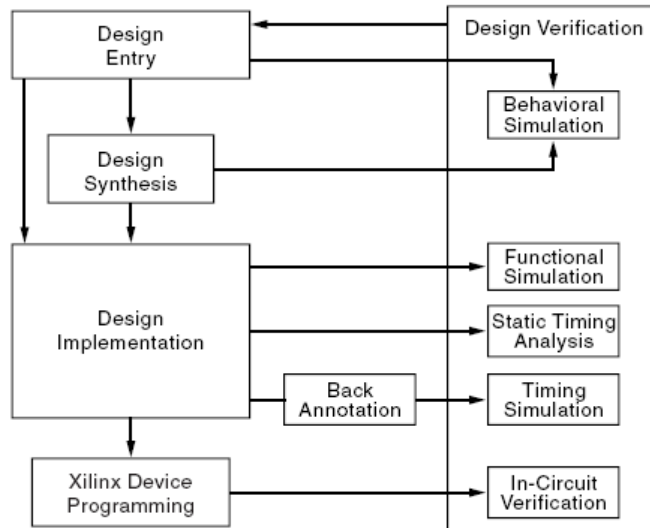
- Αντιστοίχιση αφηρημένης λογικής σε πραγματικά δομικά βασικά κυκλώματα (πύλες).
 - ✓ Ποιο είναι καλύτερο ?



Oct. 2009

Εισαγωγή

Ροή Σχεδίασης (Xilinx ISE)



Oct. 2009

Εισαγωγή

Εκτίμηση σχεδίασης ενός κυκλώματος

- Το σχέδιο πρέπει να λειτουργεί σωστά στην ταχύτητα που απαιτείται
- Το σχέδιο πρέπει να “χωράει” στο προγραμματιζόμενο τσιπ.
- Σύνθεση: παρέχει μία εκτίμηση χρονισμού-χώρου. Όχι ακριβής, διότι:
 - ✓ Μπορεί να περιλαμβάνονται coregen blocks, edif files, ...
 - ✓ Βελτιστοποιήσεις που κάνουν τα εργαλεία υλοποίησης (Mapping, ...)
 - ✓ Απαιτήσεις διασύνδεσης

Oct. 2009

Εισαγωγή

Ορισμός Περιορισμών (Constraints)

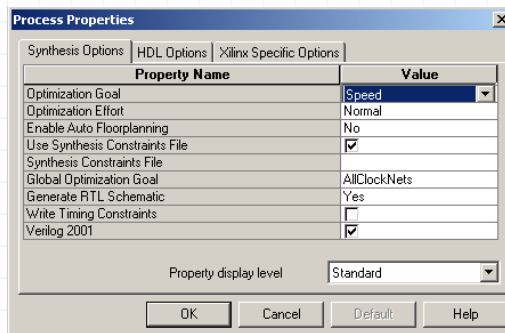
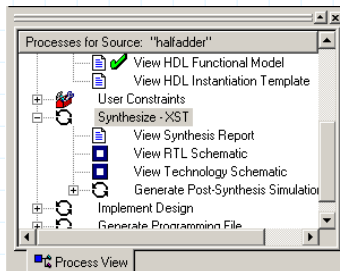
- Για ποιο λόγο χρησιμοποιούνται ?
 - ✓ Βελτιστοποίηση χρόνισμού
 - ✓ αποδοτικά/ταχύτητα αποτελέσματα των εργαλείων σύνθεσης και υλοποίησης
- Πως ορίζονται ?
 - ✓ Xilinx Constraints Editor
 - ✓ Xilinx Pinout and Area Constraints Editor (PACE)
 - ✓ Text editor → αρχείο .ucf

Oct. 2009

Εισαγωγή

Σύνθεση

- Επιλογή του design (halfadder), Process Window: **Synthesize-XST**,
- Ιδιότητες Σύνθεσης



Oct. 2009

Εισαγωγή

Αποτελέσματα Σύνθεσης

- Clock Information:
 - -----
 - No clock signals found in this design
- Timing Summary:
 - -----
 - Speed Grade: -4
 - Minimum period: No path found
 - Minimum input arrival time before clock: No path found
 - Maximum output required time after clock: No path found
 - Maximum combinational path delay: 8.694ns
 - -----

Oct. 2009

Εισαγωγή

Διαδικασία μετάφρασης (Translate process)

- The Translate process merges:
 - ✓ all of the input netlists
 - ✓ design constraint information
- Output: a Xilinx® native generic database (NGD) file.

The output NGD file can then be mapped to the targeted device family.

Oct. 2009

Εισαγωγή

Τι κάνουμε μετά τη διαδικασία Μετάφρασης ?

- Επιθεώρηση/ανάλυση της αναφοράς Translation.
- Floorplan το κύκλωμα.
- Δημιουργία ενός μοντέλου προσομείωσης post-translate.
- Εκτέλεση post-translate functional simulation.
- Ανανέωση/επανεκτίμηση των περιορισμών χρονισμού στον Xilinx Constraints Editor.
- ανάθεση package pins.
- Run the Map process.

Oct. 2009

Εισαγωγή

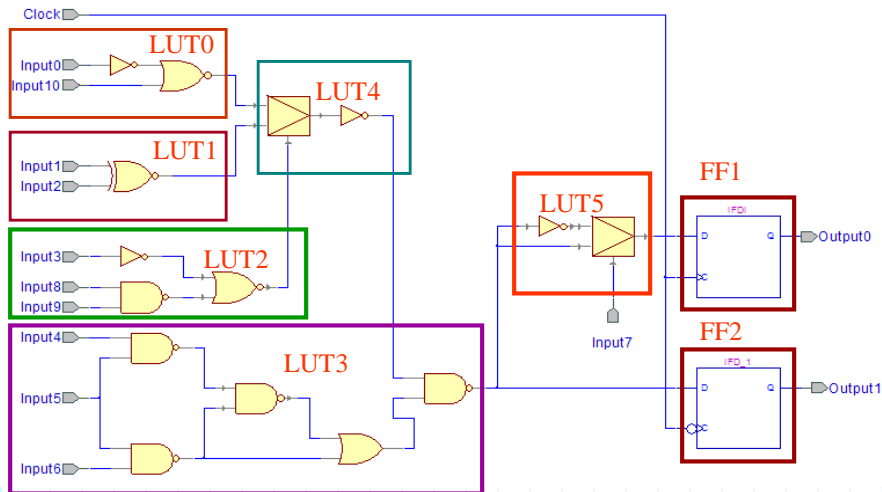
Διαδικασία αντιστοίχισης (Mapping Process)

- Η διαδικασία Map παίρνει σαν είσοδο το αποτέλεσμα της μετάφρασης (a Xilinx® Native Generic Database ([NGD](#)) file),
- Κάνει έναν έλεγχο design rule και απεικονίζει το λογικό σχέδιο σε μία Xilinx FPGA.
- Τα αποτελέσματα είναι σε ένα αρχείο σε Native Circuit Design ([NCD](#)) file, που θα χρησιμοποιηθεί αργότερα για placing and routing.

Oct. 2009

Εισαγωγή

Αντιστοίχιση



Oct. 2009

Εισαγωγή

Τι κάνουμε μετά τη διαδικασία Αντιστοίχισης

- Έλεγχος της αναφοράς του Map.
- Γέννηση/δημιουργία ενός αρχείου post-map static timing.
- Εξομείωση του μοντέλου post-map για έλεγχο ότι το σχέδιο μας απεικονίστηκε σωστά.
- Διαδικασία Place and Route.

Oct. 2009

Εισαγωγή

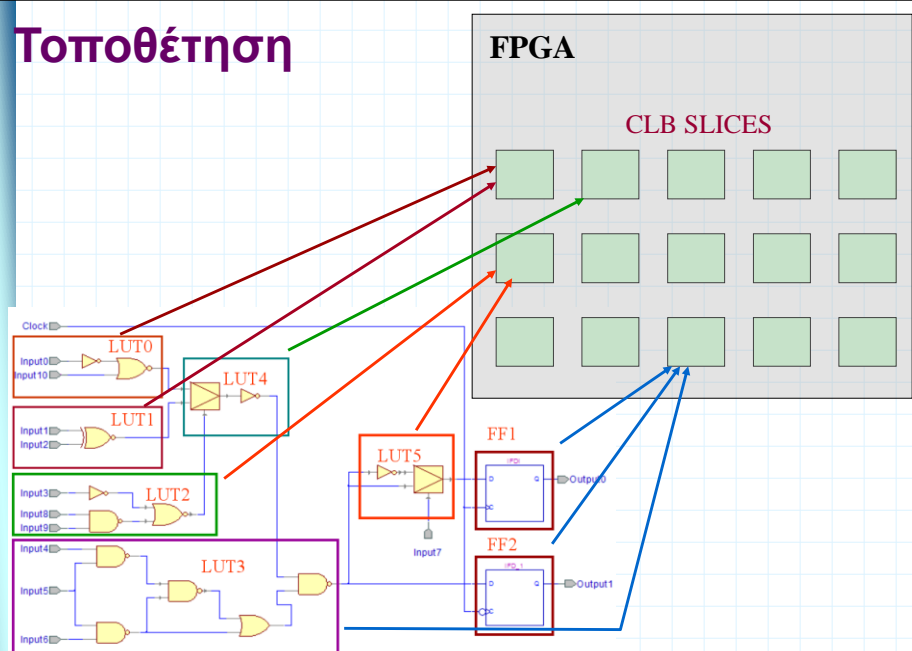
Διαδικασία τοποθέτησης και διασύνδεσης running Place and Route (PAR)

- Η διαδικασία Place and Route έχει ως είσοδο ένα αρχείο mapped **NCD** ,
- Κάνει φυσική τοποθέτηση και σύνδεση του σχεδίου μας, και
- Παράγει ένα αρχείο NCD για χρήση από τον programming file generator, BitGen.

Oct. 2009

Εισαγωγή

Τοποθέτηση

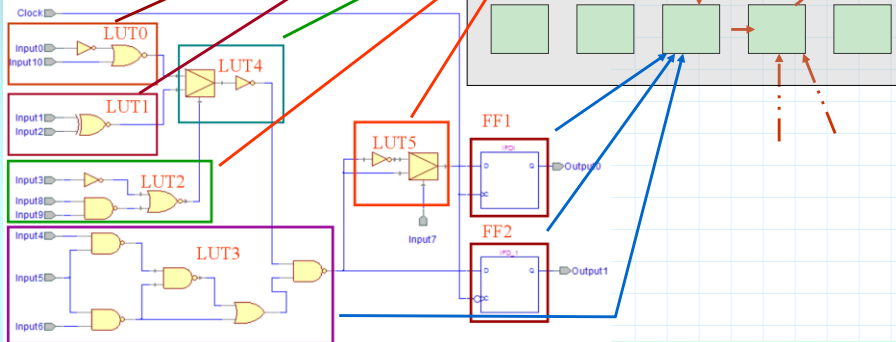


Oct. 2009

Εισαγωγή

Διασύνδεση

Programmable Connections



Oct. 2009

Εισαγωγή

Τι κάνουμε μετά το PAR

- View the Place & Route report.
- Generate Post-Place & Route Static Timing.
- View the Post-Place & Route Static Timing Report.
- Run Generate Programming File.

Oct. 2009

Εισαγωγή

Παράμετροι διαδικασιών υλοποίησης

Process Properties

Post-Place & Route Static Timing Report Properties | Incremental Design Properties

Post-Map Static Timing Report Properties

Translate Properties | Map Properties | Place & Route Properties

Property Name	Value
Macro Search Path	
Allow Unmatched LOC Constraints	<input type="checkbox"/>

Property display level: Standard

OK Cancel Default Help

Process Properties

Post-Place & Route Static Timing Report Properties | Incremental Design Properties

Post-Map Static Timing Report Properties

Translate Properties | Map Properties | Place & Route Properties

Property Name	Value
Trim Unconnected Signals	<input checked="" type="checkbox"/>
Generate Detailed MAP Report	<input type="checkbox"/>
MAP Guide Design File (.ncd)	
MAP Guide Mode	None
Use RLOC Constraints	<input checked="" type="checkbox"/>
Pack I/O Registers/Latches into IOBs	For Inputs and Outputs

Property display level: Standard

OK Cancel Default Help

Process Properties

Post-Place & Route Static Timing Report Properties | Incremental Design Properties

Post-Map Static Timing Report Properties

Translate Properties | Map Properties | Place & Route Properties

Property Name	Value
Place & Route Effort Level (Overall)	Standard
Starting Placer Cost Table (1-100)	1
Place And Route Mode	Normal Place and Route
PAR Guide Design File (.ncd)	
PAR Guide Mode	None
Use Timing Constraints	<input checked="" type="checkbox"/>
Use Bonded I/Os	<input type="checkbox"/>
Generate Asynchronous Delay Report	<input type="checkbox"/>
Generate Post-Place & Route Static Timing Report	<input checked="" type="checkbox"/>
Generate Post-Place & Route Simulation Model	<input type="checkbox"/>

Property display level: Standard

OK Cancel Default Help

Oct. 2009