

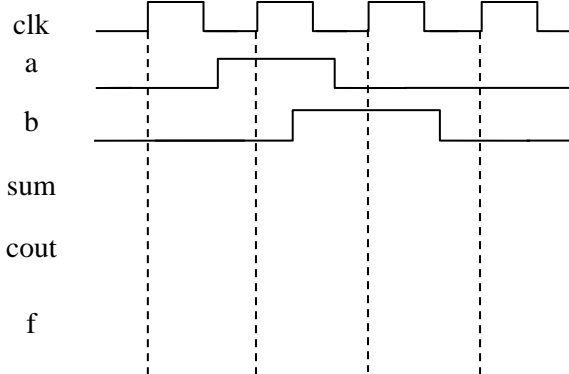
- 2.0 1. Εξηγήστε την εσωτερική δομή ενός τσιπ FPGA και ποια τι είναι επαναπρογραμματίσιμο. Ποια είναι τα βασικά δομικά στοιχεία εσωτερικά σε ένα FPGA ?
- 1.5 2. Ποια είναι η διαφορά της synthesis και του placement & routing ? μπορούν να επηρεάσουν τον χρονισμό του κυκλώματος ? (εξηγήστε)
- 1.5 3. Έστω ότι η αναφορά της σύνθεσης ενός κυκλώματος δηλώνει μέγιστη συχνότητα λειτουργίας 25Mhz. Εξηγήστε πως θα υλοποιήσουμε το κύκλωμα αυτό στο Spartan3 αφού η είσοδος ρολογιού είναι στα 50 Mhz.
- 3.0 4. Έστω ο ακόλουθος κώδικας σε VHDL. Σχεδιάστε στο τέλος τις κυματομορφές με τις εξόδους των κυκλωμάτων (α) και (β). Προσθέστε στο (α) σύγχρονο reset.

(α)

```

architecture rtl of test is
  signal f, a, b : std_logic ;
  signal sum, cout : std_logic ;
begin
  f <= cout or sum ;

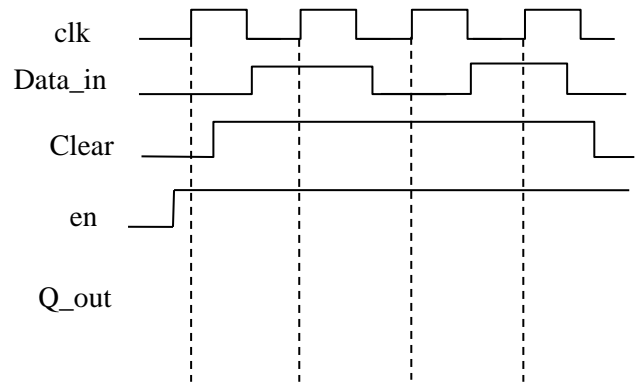
  process ( clk )
  begin
    if clk'event and clk=1 then
      sum <= a xor b;
      cout <= a and b;
    end if;
  end process;
end rtl;
    
```



(β)

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.all;
ENTITY exam1 IS
  PORT( EN, Clear, Data_In, Clk: IN STD_LOGIC;
        y1 : OUT STD_LOGIC_VECTOR(3 downto 0));
END exam1_4;
ARCHITECTURE first OF exam1 IS
  BEGIN
  Y1<=q_out;
  PROCESS (Clk, Clear)
  BEGIN
    IF Clear = '0' THEN
      q_out <= "0000";
    ELSIF Clk'event and Clk = '1' THEN
      IF EN = '1' THEN
        q_out <= Data_In & q_out (3 downto 1);
      END IF;
    END IF;
  END PROCESS;
END first;
    
```



- 2.0 5. Γράψτε τον κώδικα σε VHDL που να υλοποιεί το παρακάτω κύκλωμα:

