

Εργαστήριο. 1 : Σχεδίαση στο περιβάλλον ISE – Xilinx

- **Start - Programs - Xilinx ISE - Project Navigator**
- **File > New Project**

The dialog box is titled "New Project Wizard - Create New Project". It contains two main sections:

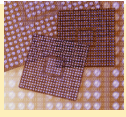
- Enter a Name and Location for the Project:** This section has two text input fields. The "Project Name" field contains the text "epptest". The "Project Location" field contains the text "D:\test\epptest" and has a browse button (three dots) to its right.
- Select the Type of Top-Level Source for the Project:** This section has a dropdown menu labeled "Top-Level Source Type:" with "Schematic" selected.

The dialog box is titled "New Project Wizard - Device Properties". It contains a table for selecting device and design flow properties, and three checkboxes at the bottom.

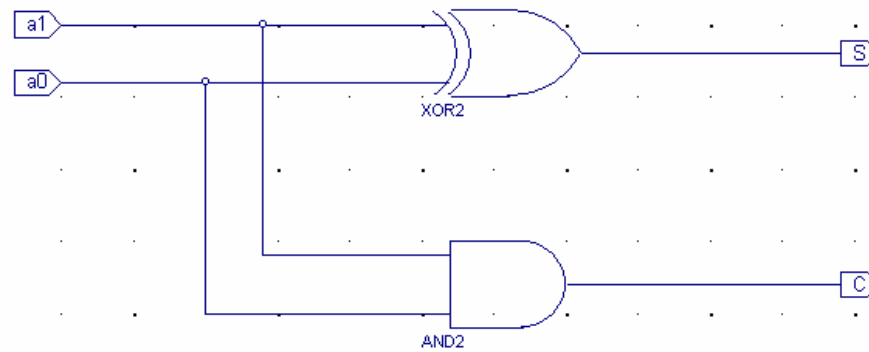
Property Name	Value
Product Category	All
Family	Spartan3
Device	XC3S200
Package	FT256
Speed	-4
Top-Level Source Type	Schematic
Synthesis Tool	XST (VHDL/Verilog)
Simulator	Modelsim-SE Mixed
Preferred Language	VHDL
Enable Enhanced Design Summary	<input checked="" type="checkbox"/>
Enable Message Filtering	<input type="checkbox"/>
Display Incremental Messages	<input type="checkbox"/>

At the bottom of the dialog box, there are three buttons: "More Info", "< Back", and "Next >", and a "Cancel" button on the far right.

Δημιουργία Σχηματικού Ημιαθροιστή.



Σχεδίαση Ψηφιακών Κυκλωμάτων σε FPGA



Έλεγχος – Επαλήθευση Σχηματικού

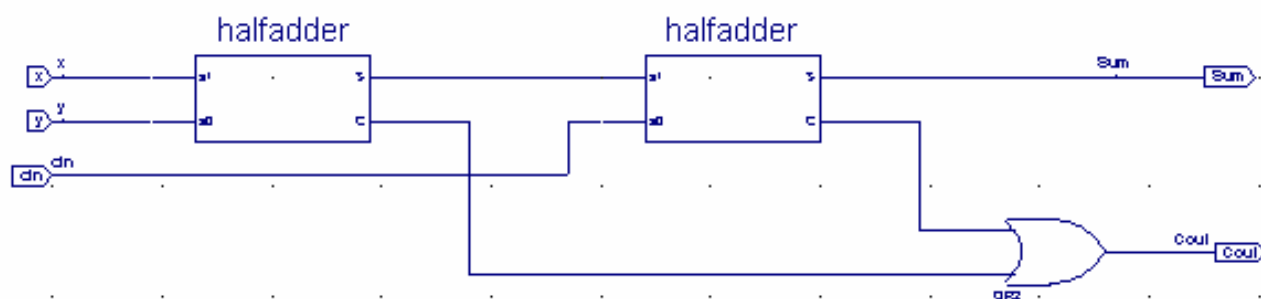
- Check DRC

Μόνο για Ιεραρχική Σχεδίαση

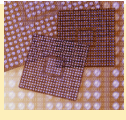
- Δημιουργία Συμβόλου

- Tools > Symbol Wizard

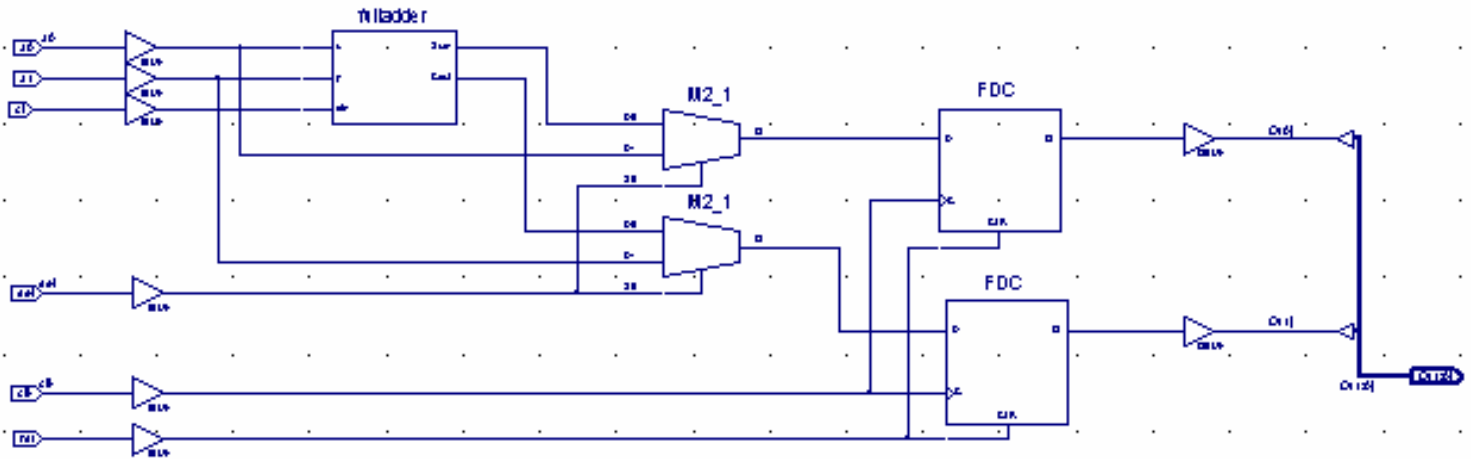
- Δημιουργία Σχηματικού πλήρους αθροιστή



- Δημιουργήσετε σύμβολο για τον fulladder



Εργ. 2 : Ιεραρχική Σχεδίαση στο περιβάλλον ISE



- πολυπλέκτης: **m2_1,**
- FlipFlop: **fdc,**
- IO: **ibuf, obuf**
- είσοδοι: **a1, a0, ci, sel, clk, rst**
- Έξοδοι: **Q(1:0)**

▪ Τα δύο σήματα της εξόδου Q ονομάζονται : Q(1) και Q(0)

- Εξηγείστε την λειτουργία του κυκλώματος
- Τροποποιήστε το κύκλωμα ώστε η είσοδος sel να ελέγχει αν στο bus Q(1:0) εμφανίζεται το άθροισμα ή 00.
- Τροποποιήστε το κύκλωμα ώστε η είσοδος sel να ελέγχει αν στο bus Q(1:0) εμφανίζεται το άθροισμα μια δεδομένη χρονική στιγμή, να μην αλλάζει η τιμή αυτή ακόμα και αν αλλάξει κάποια από τις εισόδους a1, a0, ci.
- Τι θα άλλαζε αν από το αρχικό μου κύκλωμα μετατόπιζα τους πολυπλέκτες μετά τα flip-flop?