

## Εργ. 2 : Υλοποίηση στο Spartan-3 Kit

Στόχος του εργαστηρίου αυτού είναι η εκμάθηση των βημάτων για παραγωγή του bitstream file και φόρτωμα του στην FPGA του αναπτυξιακού. Επίσης, σκοπός είναι να επαληθεύονται τα αποτελέσματα κάθε βήματος ώστε να γίνει πιο κατανοητή η διαδικασία και να αποφευχθούν να εμφανιστούν σφάλματα πολύ αργά στην σχεδίαση.

### 1.

Έχοντας επιλέξει τον ημιαθροιστή σας τρέξτε το **synthesis** από το παράθυρο με τα processes.

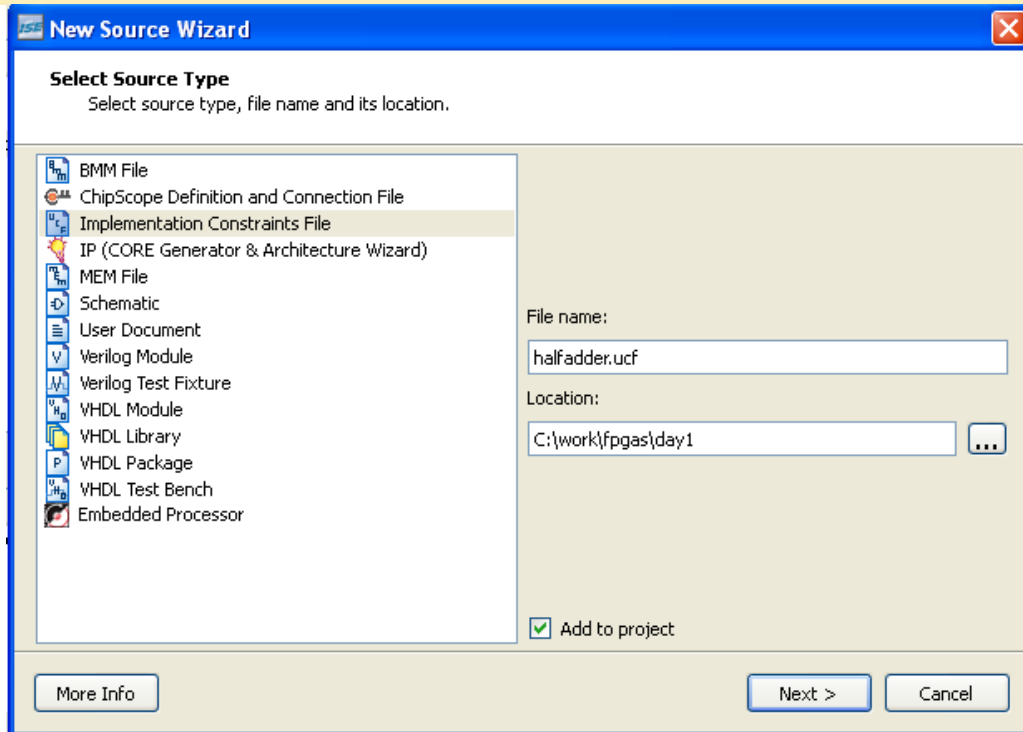
### 2.

Εφόσον **έχει γίνει η σύνθεση** του κυκλώματος του ημι-αθροιστή, τα επόμενα βήματα είναι το Mapping και το Placement και Routing (PAR) του κυκλώματος.

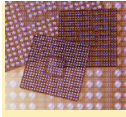
Τα εργαλεία που κάνουν αυτές τις λειτουργίες δεν γνωρίζουν όμως τις τεχνικές προδιαγραφές του board όπου θα κατεβάσουμε το κύκλωμα μας και άρα πρέπει να τα καθοδηγήσουμε παρέχοντας τις απαιτούμενες πληροφορίες.

- Αντιστοίχιση εισόδων/εξόδων με πραγματικούς ακροδέκτες και leds στο αναπτυξιακό:

A0	↔ SW0	↔ FPGA Pin F12
A1	↔ SW1	↔ FPGA Pin G12
S	↔ LD0	↔ FPGA Pin K12
C	↔ LD1	↔ FPGA Pin P14
- Προσθήκη ενός UCF file στο project ώστε να οριστούν οι περιορισμοί στην θέση των ακροδεκτών. Επιλέξτε Project → New Source



- Επιλέγουμε με ποιο κύκλωμα θα συσχετιστεί το αρχείο halfadder.ucf → halfadder.



- Αναθέτουμε τα pins όπως φαίνεται παρακάτω :

The screenshot shows two windows from a design tool. The left window, titled "Design Object List - I/O Pins", contains a table with the following data:

I/O Name	I/O Direction	Loc	Bank	I/O Std.	Vref	Vcco
a0	Input	F12	BANK2	LVC MOS33	N/A	3.30
a1	Input	G12	BANK2	LVC MOS33	N/A	3.30
C	Output	P14	BANK3	LVC MOS33	N/A	3.30
S	Output	K12	BANK3	LVC MOS33	N/A	3.30

The right window, titled "Package Pins for xc3s200-4-ft256", shows a grid of pins labeled A through T and 1 through 16. Colored squares on the grid indicate the placement of pins: a0 (blue) at F12, a1 (blue) at G12, C (red) at P14, and S (red) at K12.

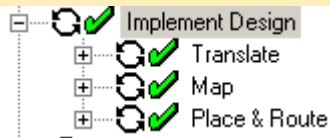
- Αφού βγείτε από τον constraints editor βεβαιωθείτε ότι δημιουργήσατε το. Ανοίξτε το αρχείο με το “Edit Constraints (Text)”. Πρέπει να έχετε το εξής:

```
1 #PACE: Start of Constraints generated by PACE
2
3 #PACE: Start of PACE I/O Pin Assignments
4 NET "a0" LOC = "F12" | IOSTANDARD = LVC MOS33 ;
5 NET "a1" LOC = "G12" | IOSTANDARD = LVC MOS33 ;
6 NET "C" LOC = "P14" | IOSTANDARD = LVC MOS33 ;
7 NET "S" LOC = "K12" | IOSTANDARD = LVC MOS33 ;
8
9 #PACE: Start of PACE Area Constraints
10
11 #PACE: Start of PACE Prohibit Constraints
12
13 #PACE: End of Constraints generated by PACE
```

### 3.

Τρέξετε τις διαδικασίες του “Implement Design” (Translate, Map, Place & Route). Βεβαιωθείτε :

## Σχεδίαση Ψηφιακών Κυκλωμάτων σε FPGA



- Υπάρχει ένα πράσινο τικ σε κάθε διαδικασία ?
- Στο παράθυρο Console υπάρχει κάποιο ανησυχητικό μήνυμα (warning , error) ?
- Στη διαδικασία translate υπάρχει το μήνυμα : “Applying constraints in "halfadder.ucf" to the design...”

### Ανάλυση Χρονισμών.

Τρέξετε το “Analyze Post-Place & Route Static Timing” (το οποίο βρίσκεται μέσα στο “Generate Post-Place & Route Static Timing”)

Uncertainty calculation. Please make appropriate adjustments to SYSTEM\_JITTER to account for the unsupported Error.

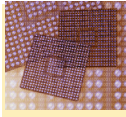
Data Sheet report:  
-----  
All values displayed in nanoseconds (ns)

Pad to Pad

Source Pad	Destination Pad	Delay
a0	IC	10.041
a0	IS	9.656
a1	IC	10.256
a1	IS	9.950

Analysis completed Tue Oct 16 09:19:03 2012

Ποιες είναι οι καθυστερήσεις που αναφέρονται στην στατική ανάλυση χρονισμού ?



## Προγραμματισμός του FPGA

Αφού επιλέξετε την διαδικασία “Generate Programming File”, ρυθμίστε τις ιδιότητες όπως ακολουθεί:

The dialog box shows configuration options for the FPGA process. The 'Configuration Options' category is selected in the left pane. The main table lists various switches and their values.

Switch Name	Property Name	Value
-g M1Pin:	Configuration Pin M1	Pull Up
-g M2Pin:	Configuration Pin M2	Pull Up
-g ProgPin:	Configuration Pin Program	Pull Up
-g DonePin:	Configuration Pin Done	Pull Up
-g HswapenPin:	Configuration Pin HSWAPEN	Pull Up
-g TckPin:	JTAG Pin TCK	Pull Up
-g TdiPin:	JTAG Pin TDI	Pull Up
-g TdoPin:	JTAG Pin TDO	Pull Up
-g TmsPin:	JTAG Pin TMS	Pull Up
-g UnusedPin:	Unused IOB Pins	Float
-g UserID:	UserID Code (8 Digit Hexadecimal)	0xFFFFFFFF
-g DCMSHutdown:	Reset DCM if SHUTDOWN & AGHIGH performed	<input type="checkbox"/>
-g DCIUpdateMode:	DCI Update Mode	As Required

Property display level: Standard  Display switch names Default

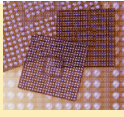
Buttons: OK, Cancel, Apply, Help

The dialog box shows startup options for the FPGA process. The 'Startup Options' category is selected in the left pane. The main table lists various switches and their values.

Switch Name	Property Name	Value
-g StartUpClk:	FPGA Start-Up Clock	JTAG Clock
-g DonePipe:	Enable Internal Done Pipe	<input type="checkbox"/>
-g DONE_cycle:	Done (Output Events)	Default (4)
-g GTS_cycle:	Enable Outputs (Output Events)	Default (5)
-g GWE_cycle:	Release Write Enable (Output Events)	Default (6)
-g LCK_cycle:	Wait for DLL Lock (Output Events)	Default (NoWait)
-g Match_cycle:	Wait for DCI Match (Output Events)	Auto
-g DriveDone:	Drive Done Pin High	<input type="checkbox"/>

Property display level: Standard  Display switch names Default

Buttons: OK, Cancel, Apply, Help

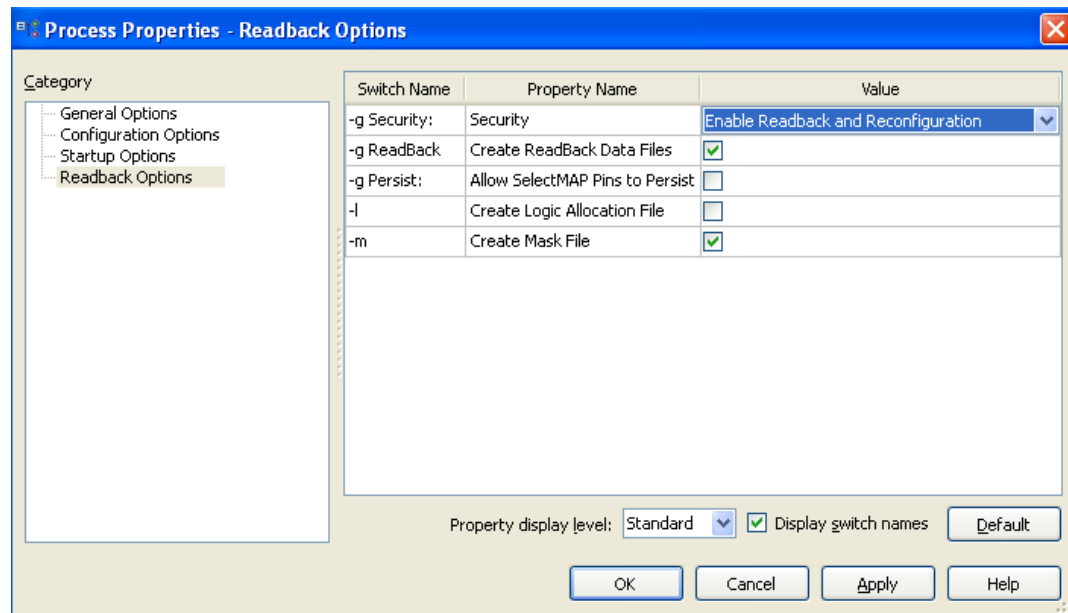


## Σημαντικό για το ISE 12.1 :

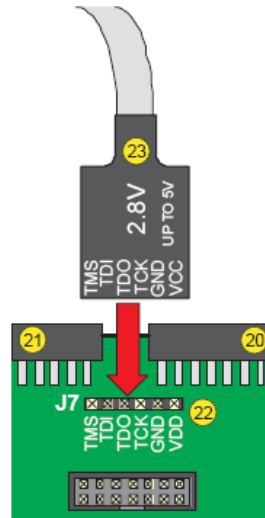
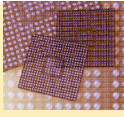
Στο "Generate programming" properties πρέπει στην καρτέλα "Enable readback & reconfiguration" να γίνει generate the mask file.

Στην ίδια καρτέλα check **mask** και **write readback files**.

Μετά όταν θα τρέξει το impact check to **verify** check box.



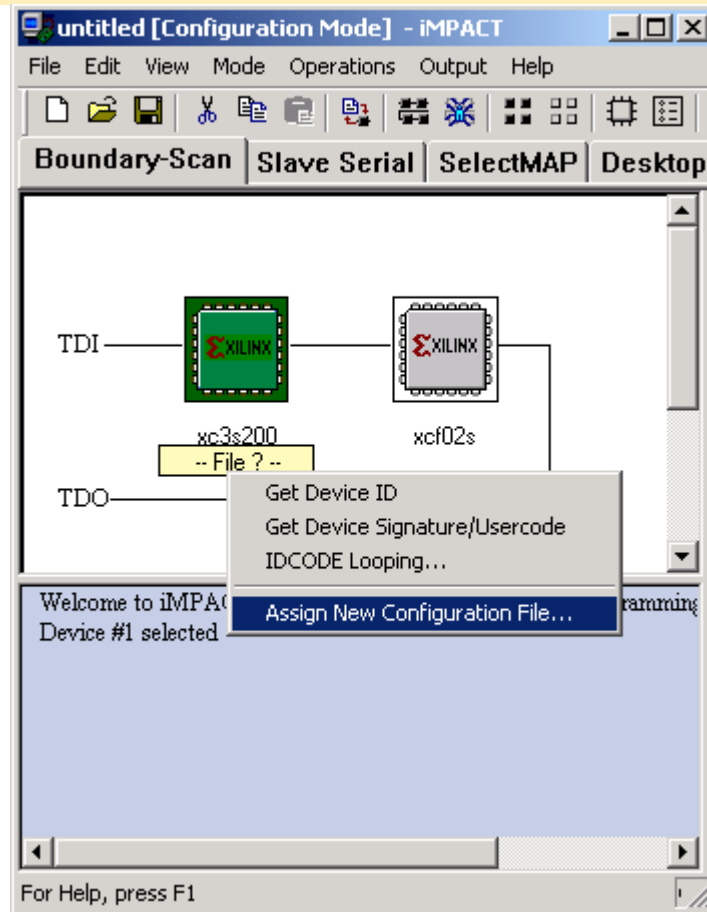
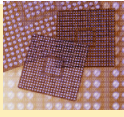
- Συνδέστε το καλώδιο φόρτωσης στην παράλληλη θύρα του μηχανήματος και την άλλη άκρη του όπως φαίνεται :



- Επιλέξτε Configure Device (iMPACT)
- Επιλέξτε Boundary-Scan mode
- Επιλέξτε το halfadder.bit ως configuration file για την FPGA xc3s200
- Επιλέξτε bypass για την prom : xc3s200 (δεν προγραμματίζουμε μέσω prom)

Αν κάτι δεν πάει καλά μπορείτε να ξαναεπιλέξετε το σωστό αρχείο :

## Σχεδίαση Ψηφιακών Κυκλωμάτων σε FPGA



- Τελικά επιλέξτε την FPGA και με δεξί κλικ **“Program”**