

Ο **διαιρέτης συχνότητας** (frequency divider) είναι ένα ψηφιακό κύκλωμα που **μειώνει** τη συχνότητα ενός σήματος ρολογιού κατά έναν συγκεκριμένο παράγοντα  $N$ .

Χρησιμοποιείται σε χρονομετρητές, χρονιστές, counters, PLLs, microcontrollers κ.λπ.

## ✓ Τι κάνει ένας διαιρέτης συχνότητας;

Αν η είσοδος έχει συχνότητα

$$f_{in}$$

και ο διαιρέτης έχει βαθμό διαίρεσης

$$N,$$

τότε η έξοδος έχει συχνότητα:

$$f_{out} = \frac{f_{in}}{N}$$

## ✓ Πώς υλοποιείται στην πράξη;

### 1) Με flip-flops (T ή D flip-flops)

Κάθε flip-flop που αλλάζει κατάσταση σε κάθε ακμή του ρολογιού διαιρεί τη συχνότητα δια 2.

**Παράδειγμα διαιρέτη δια 2:**

- Χρησιμοποιούμε ένα T-flip-flop ή ένα D-flip-flop με  $D = \neg Q$ .
- Σε κάθε ακμή ο Q αλλάζει κατάσταση  $\rightarrow$  συχνότητα/2.

Ακολουθία:

100 MHz  $\rightarrow$  50 MHz  $\rightarrow$  25 MHz  $\rightarrow$  12.5 MHz  $\rightarrow$  ...

Κάθε στάδιο FF μειώνει στο μισό.

---

### 2) Με binary counter (για διαίρεση με δύναμη του 2)

Ένας μετρητής n-bit παράγει στην έξοδο:

- το LSB  $\rightarrow$  divide-by-2
- το bit 1  $\rightarrow$  divide-by-4
- το bit 2  $\rightarrow$  divide-by-8
- κ.ο.κ.

### 3) Με counter (γενική διαίρεση με αυθαίρετο N)

Για διαίρεση με οποιοδήποτε N:

- αυξάνω έναν μετρητή,
- όταν φτάσει την τιμή N-1,
- τον μηδενίζω και αλλάζω την έξοδο.

Η έξοδος μπορεί να είναι:

- παλμός (pulse) κάθε N κύκλους ή
- square wave (με κατάλληλη λογική για duty cycle 50%).

---

#### ✓ □ Παραδείγματα

##### Διαίρεση με 5 (N = 5)

Μετρητής  $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 4 \rightarrow 0$

Κάθε φορά που επανέρχεται στο 0, παράγεται παλμός  $\rightarrow f/5$ .

##### Διαίρεση με 10 (π.χ. από 100MHz $\rightarrow$ 10MHz)

- Counter modulo-10
- Νέος παλμός κάθε 10 κύκλους
- Για τετραγωνικό σήμα απαιτείται επιπλέον λογική (toggle στη μέση του count για duty cycle  $\approx$  50%).

Μικρό παράδειγμα σε Verilog (διαίρετης δια 2)

```
module divide_by_2 (  
    input wire clk,  
    input wire rst,  
    output reg clk_out  
);  
always @(posedge clk or posedge rst) begin  
    if (rst)  
        clk_out <= 0;  
    else  
        clk_out <= ~clk_out; // Toggle -> divide by 2  
    end  
endmodule
```

Γενικός διαιρέτης με N (Verilog)

```
module freq_divider #(parameter N = 5) (  
    input wire clk,  
    input wire rst,  
    output reg out  
);  
  
    integer count = 0;  
  
    always @(posedge clk or posedge rst) begin  
        if (rst) begin  
            count <= 0;  
            out <= 0;  
        end else begin  
            if (count == N-1) begin  
                count <= 0;  
                out <= ~out; // Toggle -> divide-by-(2N)  
            end else begin  
                count <= count + 1;  
            end  
        end  
    end  
  
endmodule
```

**Τι σημαίνει «ακμοπυροδοτούμενο flip-flop»;**

Είναι ένα στοιχείο μνήμης που **αλλάζει την έξοδό του μόνο στη συγκεκριμένη ακμή του ρολογιού:**

- **στην ανερχόμενη ακμή (positive edge, posedge) ή**
- **στην κατερχόμενη ακμή (negative edge, negedge).**

Με άλλα λόγια:

- Δεν αλλάζει όσο το ρολόι είναι σταθερό (high ή low).

- Δειγματοληπτεί την είσοδο **μόνο** τη στιγμή της ακμής.

### ✓□ Τι ΔΕΝ σημαίνει;

Δεν αναφέρεται σε:

- **latch** (διαφανές επίπεδο-ευαίσθητο, level-sensitive)
- **ασύγχρονο** κύκλωμα
- **μονάδες αποθήκευσης που "ακολουθούν" το clock όσο είναι ενεργό**

Αυτά είναι διαφορετικά.

### ✓□ Σχέση με τους συνηθισμένους τύπους

Τα πιο συνηθισμένα ακμοπυροδοτούμενα flip-flops:

- **D flip-flop (edge-triggered)**
- **T flip-flop (edge-triggered)**
- **JK flip-flop (edge-triggered)**

Στα σύγχρονα ψηφιακά συστήματα (VLSI, FPGA, MCU) σχεδόν πάντα εννοούμε **edge-triggered D flip-flops**.

## 1. Τι είναι ένα flip-flop;

Ένα **flip-flop** είναι ένα **στοιχειώδες bit μνήμης** που αποθηκεύει 1 bit και αλλάζει την τιμή του **στην ακμή του ρολογιού** (edge-triggered).

Χρησιμοποιείται για:

- καταχωρητές
- counters
- FSMs (καταστάσεις)
- pipeline stages
- σύγχρονη λογική γενικά

## ✓ 2. Πότε ένα flip-flop λειτουργεί ως διαιρέτης συχνότητας;

Όταν το χρησιμοποιούμε με αναστροφή πίσω στην είσοδο:

D flip-flop με:

$$D = \bar{Q}$$

Τότε κάθε φορά που έρχεται μια ακμή ρολογιού, το Q αντιστρέφεται.

Άρα:

- Το ρολόι έχει συχνότητα  $f$
- Το Q αλλάζει κατάσταση κάθε ακμή  $\Rightarrow$  κάνει ένα πλήρη κύκλο (0 $\rightarrow$ 1 $\rightarrow$ 0) κάθε 2 ακμές

Έτσι προκύπτει:

$$f_{out} = \frac{f_{in}}{2}$$

Δηλαδή το flip-flop γίνεται διαιρέτης δια 2.

Και αν τα βάλεις σε αλυσίδα:

- 1ο FF:  $f/2$
- 2ο FF:  $f/4$
- 3ο FF:  $f/8$

κ.ο.κ.

Γι' αυτό τα χρησιμοποιούμε σε counters και frequency dividers.

### ✓ 3. Αλλά δεν είναι εγγενώς διαιρέτες συχνότητας

Το flip-flop από μόνο του:

- δεν διαιρεί συχνότητα
- δεν παράγει νέο clock
- απλώς αποθηκεύει bit

Μόνο όταν το συνδέσουμε συγκεκριμένα (π.χ.  $D = \neg Q$ ) λειτουργεί ως διαιρέτης.

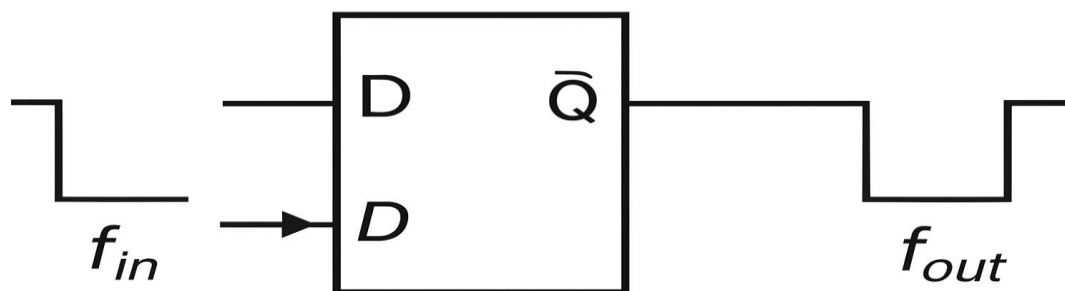
### ✓ 4. Ουσιαστική διαφορά

- Flip-flop = στοιχείο μνήμης γενικής χρήσης
- Διαιρέτης συχνότητας = λειτουργία που μπορεί να υλοποιηθεί με flip-flop + λογική

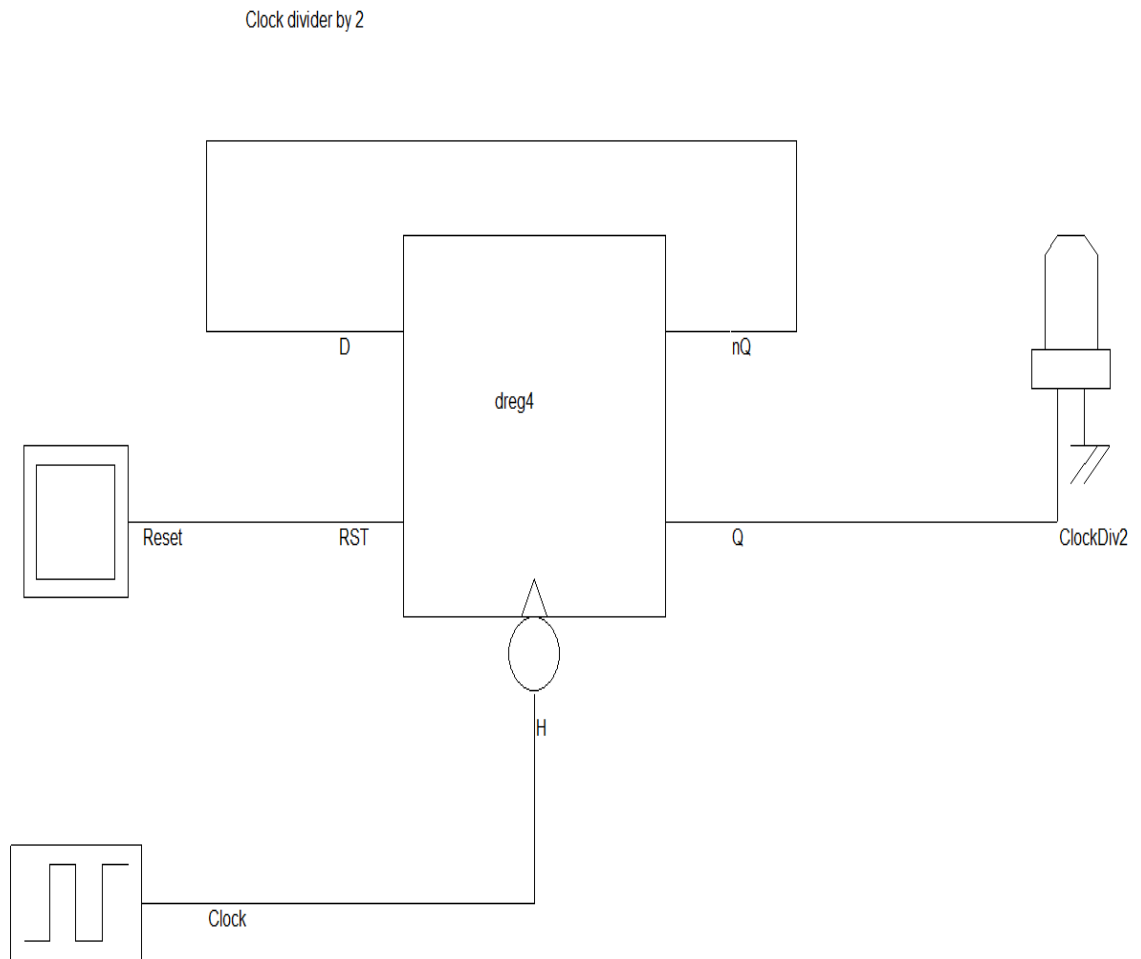
Δεν είναι συνώνυμα.

### ✓ Συμπέρασμα

- 👉 Τα flip-flop δεν είναι από τη φύση τους διαιρέτες συχνότητας.
- 👉 Αλλά μπορούν πολύ εύκολα να χρησιμοποιηθούν ως διαιρέτες δια 2.

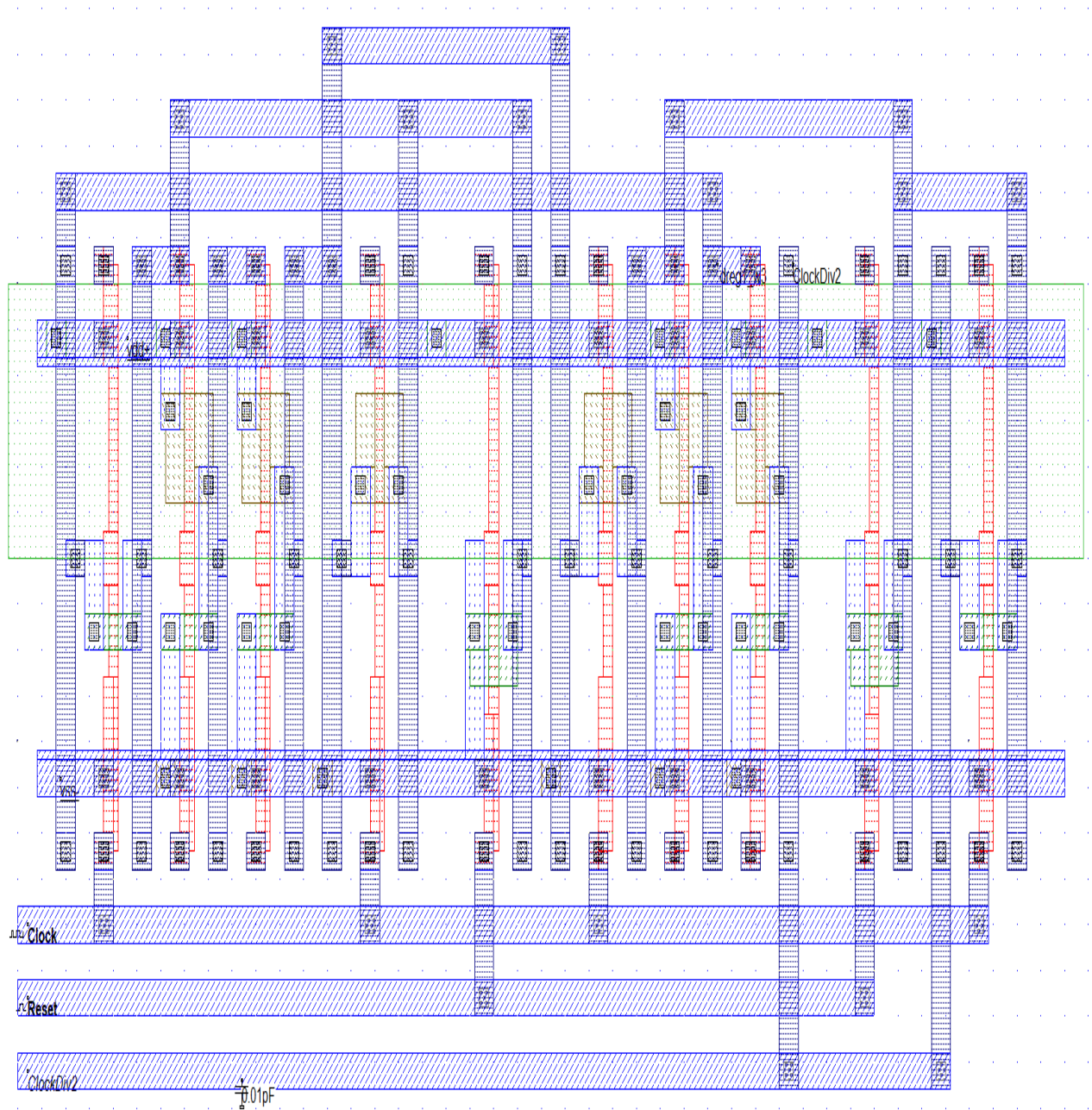


Διαιρέτης δια 2





Clkdiv2





Διαιρέτης δια 4

