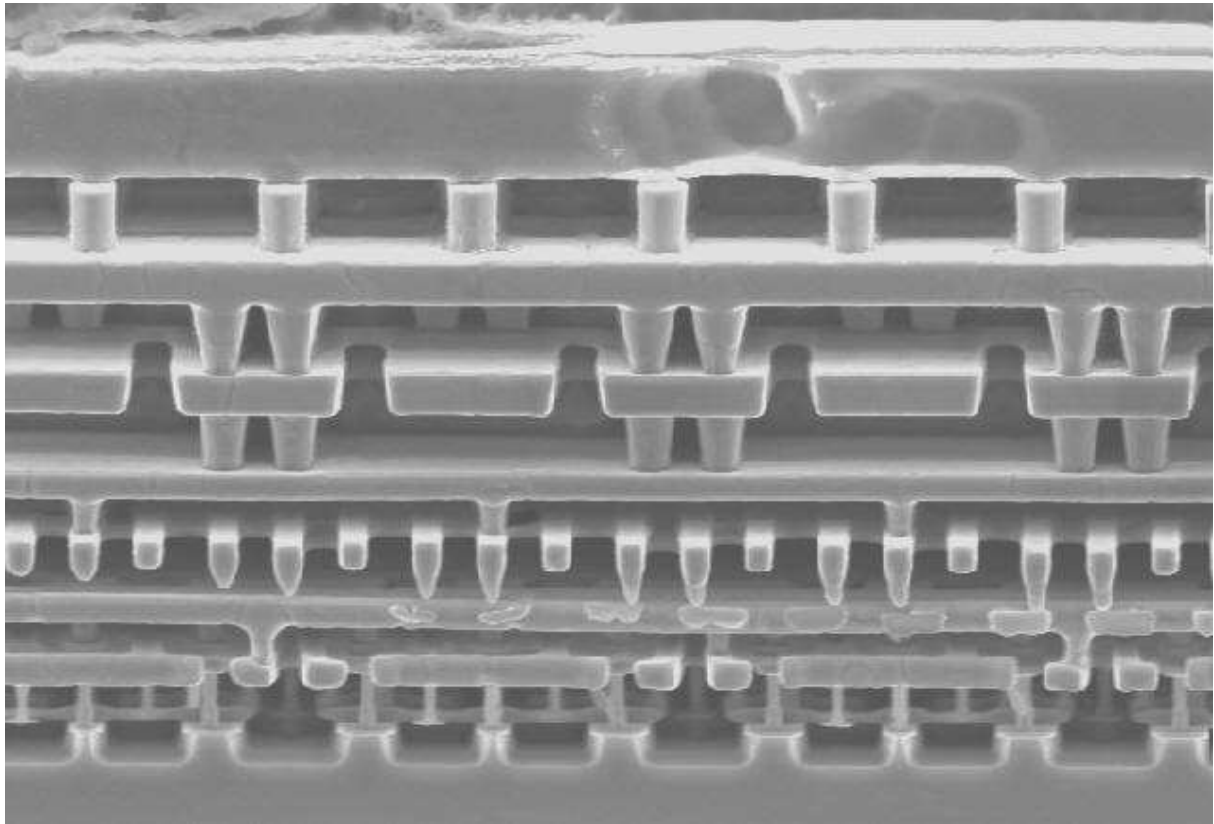


**ΕΛΜΕΠΑ / ΣΧΟΛΗ ΜΗΧΑΝΙΚΩΝ
ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ ΜΗΧΑΝΙΚΩΝ**

**ΣΗΜΕΙΩΣΕΙΣ ΕΡΓΑΣΤΗΡΙΟΥ
ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗΣ ΚΑΙ VLSI**

Εγχειρίδιο Microwind



Νικόλαος Πετράκης, Καθηγητής Εφαρμογών
Ηλίας Μαλαμάς, Εργαστηριακός Συνεργάτης

Χειρισμός & Εντολές Προγράμματος Microwind2

1. Ξεκινώντας

Για να ξεκινήσετε το πρόγραμμα MICROWIND2 από το CD, χρησιμοποιείτε την ακόλουθη διαδικασία:

- ❶ Εισάγετε το συνοδευτικό CD στον οδηγό
- ❷ Στα Windows 98/NT/XP, κάντε διπλό κλικ στο index.html
- ❸ Κάντε κλικ στο “Download Microwind2”. Αποσυμπιέστε το αρχείο mw2.zip στον επιθυμητό κατάλογο.
- ❹ Κάντε διπλό κλικ στην εικόνα του Microwind2 για να εκκινήσετε το λογισμικό.

Το λογισμικό τρέχει στα λειτουργικά συστήματα Windows 95, 98, NT και XP.

Παράμετροι γραμμής εντολών

Η γραμμή εντολών μπορεί να περιλάβει δύο παραμέτρους:

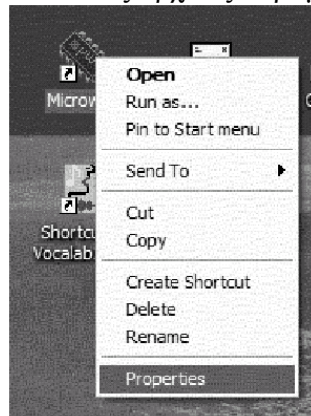
Η Πρώτη παράμετρος είναι το αρχείο της αρχικής μάσκας που φορτώνεται στην αρχικοποίηση.

Η Δεύτερη παράμετρος είναι το αρχείο των κανόνων σχεδιασμού που φορτώνεται κατά την αρχικοποίηση.

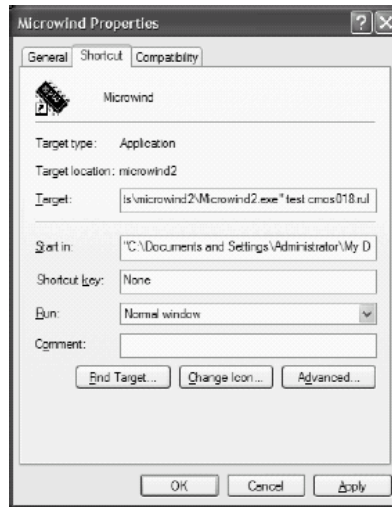
Για παράδειγμα, η εντολή “microwind2 test.MSK cmos018.rul” εκτελεί το MICROWIND2 με αρχείο αρχικής μάσκας το “test.MSK” και αρχείο κανόνων το “cmos018.rul”.

Διαμόρφωση της εικόνας του Microwind2

Μπορείτε να προγραμματίσετε το εικονίδιο (την συντόμευση που ευρίσκεται στην επιφάνεια εργασίας) του Microwind2 με το πάτημα του δεξιού κουμπιού, και μετά “properties”. Ο αρχικός στόχος δεν περιέχει καμιά παράμετρο. Απλά προσθέστε το αρχικό όνομα αρχείου για το layout και το αρχικό αρχείο κανόνων σχεδιασμού. Στο παρακάτω παράδειγμα, το Microwind2 χρησιμοποιεί το αρχείο “TEST.MSK” και το αρχείο κανόνων σχεδιασμού “CMOS018.RUL” ως αρχικές παραμέτρους.



Εικόνα 1: Πρόσβαση στις ιδιότητες του εικονιδίου του Microwind2



Εικόνα 2: Διαμορφώνοντας το Microwind2 με αρχικό όνομα αρχείου το “test.MSK” και αρχική τεχνολογία τη “cmos018.RUL”

2. Κατάλογος εντολών στο Microwind2

About Microwind2

Πληροφορίες για την έκδοση του λογισμικού και για τον τρόπο επαφής για υποστήριξη.

Add Text to Layout



Χρησιμοποιείτε αυτό το εικονίδιο για να τοποθετήσετε κείμενο σε ένα κουτί ή μια τοποθεσία στο σχέδιο. Εκείνο το κείμενο αναδεικνύει το layout και πρέπει να χρησιμοποιείται όσο το δυνατόν περισσότερο για κάθε σημαντικό κόμβο όπως οι εισοδοι και οι έξοδοι. Για να προσθέσετε κείμενο σε ένα συγκεκριμένο μέρος, προχωρήστε ως ακολούθως:

- ❶ Κάντε κλικ στο εικονίδιο
- ❷ Ορίστε τη θέση του κειμένου με το ποντίκι. Ένα κουτί διαλόγου εμφανίζεται
- ❸ Εισαγάγετε το κείμενο μπροστά από το “Label name:” και πατήστε “Assign”. Το κείμενο τοποθετείται στο σχέδιο.

Ένα κείμενο μπορεί να τροποποιηθεί ως εξής: κάντε κλικ στο εικονίδιο, κάντε κλικ μέσα στο υπάρχον κείμενο. Το αρχικό κείμενο εμφανίζεται. Τροποποιήστε το και κάντε κλικ στο “Assign”. Μπορείτε να προσθέσετε ένα ρολόι, έναν παλμό, μια πηγή τάσης VDD ή VSS στο κείμενο.

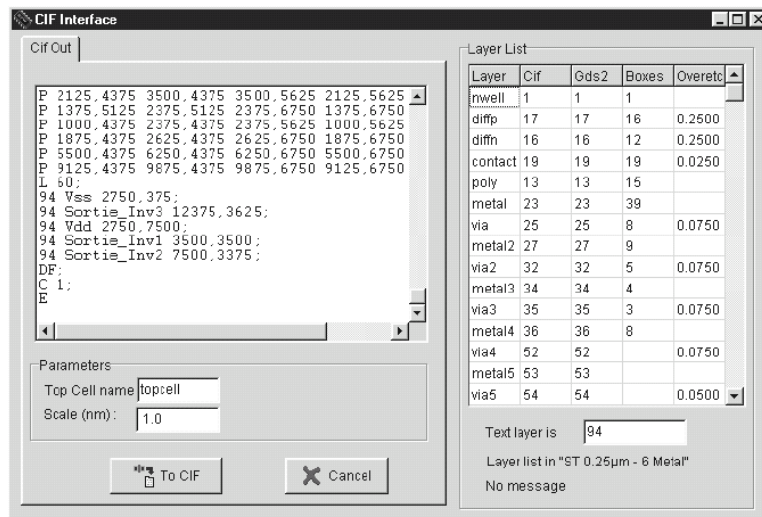
Convert into

Το MICROWIND2 μετατρέπει το MSK layout σε CIF χρησιμοποιώντας μια ειδική διεπαφή, η οποία καλείται με “File -> Make CIF file”. Το CIF αρχείο μπορεί να εξαχθεί σε λογισμικό CAD VLSI. Ο δεξιός πίνακας της οθόνης (Εικόνα 3) δίνει την αντιστοιχία μεταξύ επιπέδων MICROWIND2 και επιπέδων CIF, τον αριθμό των κουτιών στο layout και το αντίστοιχο over-etch. Το over-etch χρησιμοποιείται για να

τροποποιήσει το τελικό μέγεθος των κουτιών CIF προκειμένου να χωρέσουν στους ακριβείς κανόνες σχεδιασμού.

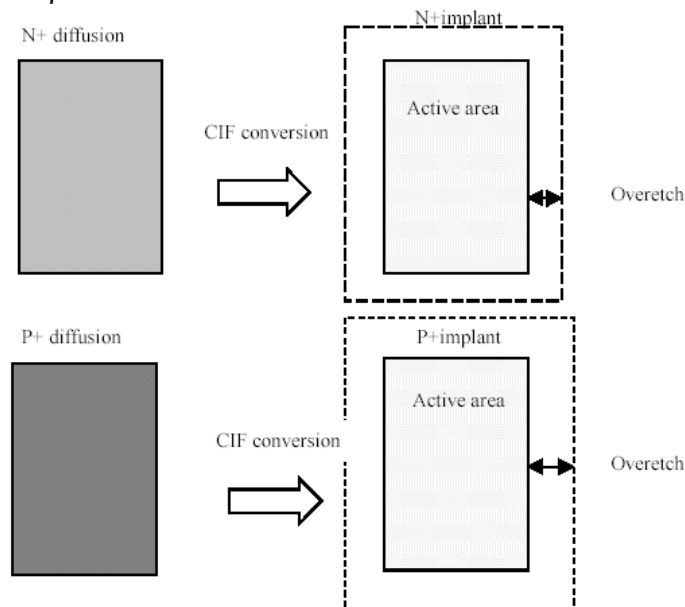
Κάντε κλικ στο “Convert to CIF” για να ξεκινήσετε τη μετατροπή. Ορισμένα μέρη του αποτελέσματος εμφανίζονται στο αριστερό παράθυρο. Η κύρια μονάδα είναι το 1nm. Μπορείτε να την αλλάξετε για να ικανοποιηθούν οι απαιτήσεις του στοχευόμενου εργαλείου CAD.

Για αρχείο κανόνων CMOS 0.25μm (cmos025.RUL), παρατηρήστε το over-etch που εφαρμόζεται στην επαφή και το via. Αυτό το over-etch είναι επιτακτικό να υπακούει στους τελικούς κανόνες σχεδιασμού, ενώ ικανοποιείται ο φιλικός-στο-χρήστη και ο φορητός βασισόμενος-στο-λάμδα σχεδιασμός.



Εικόνα 3: Η οθόνη παραγωγής του CIF

Όσον αφορά στις διαχύσεις, παρατηρήστε ότι η γεννήτρια CIF παράγει ενεργές περιοχές και εμφυτεύσεις. Το Microwind2 χρησιμοποιεί απλή n+διάχυση και p+διάχυση, ενώ τα περισσότερα βιομηχανικά εργαλεία σχεδιασμού layout χρησιμοποιούν την ιδέα της ενεργούς περιοχής περιστοιχισμένης από εμφυτεύσεις, είτε n+ είτε p+, όπως φαίνεται παρακάτω.



Εικόνα 4: Η μετατροπή CIF παράγει ενεργές περιοχές και εμφυτεύσεις, ώστε να είναι συμβατές με βιομηχανική διεργασία

Αυτό σημαίνει ότι κάθε κουτί n+ διάχυσης που σχεδιάζεται στο Microwind μετατρέπεται σε δύο κουτιά, ένα συνδεδεμένο με “Active Area” (Ενεργό Περιοχή), με ένα κωδικό όνομα δηλωμένο στο αρχείο κανόνων σχεδιασμού, ένα δεύτερο κουτί συνδεδεμένο με το “diffn”, με ένα δοσμένο overetch. Κάθε κουτί p+ διάχυσης μετατρέπεται σε δύο κουτιά επίσης. Ένα είναι συνδεδεμένο με την ίδια “Active Area”, και ένα δεύτερο κουτί είναι συνδεδεμένο με το “diffp” με ένα δοσμένο overetch.

Colors

- Μετατροπή σε μονόχρωμο: το φυσικό σχέδιο (layout) σχεδιάζεται σε μαύρο και άσπρο. Αυτός ο τύπος σχεδιασμού είναι βολικός για την κατασκευή μονόχρωμης τεκμηρίωσης. Πατήστε “Alt”+ “Print Screen” για να αντιγράψετε την οθόνη στο clipboard. Μετά, ανοίξτε “Word”, κάντε κλικ “Edit->Paste”. Η οθόνη εισάγεται στο έγγραφο.
- Άσπρο παρασκήνιο. Τα επίπεδα εμφανίζονται με μια παλέτα χρωμάτων πάνω σε άσπρο παρασκήνιο.

Copy



Κάντε κλικ στο εικονίδιο Copy. Μετακινήστε τον δρομέα (cursor) στο παράθυρο σχεδιασμού και οριοθετήστε την ενεργό περιοχή με το ποντίκι. Ακολούθως, όλα τα γραφικά που περιλαμβάνονται σε αυτήν την περιοχή αντιγράφονται. Το εξωτερικό περίγραμμα των αντιγραμμένων αντικειμένων εμφανίζεται. Τοποθετείστε εκείνα τα αντιγραμμένα αντικείμενα στην επιθυμητή θέση με ένα κλικ στο ποντίκι.

Κάντε κλικ στο Undo για να ακυρώσετε την εντολή αντιγραφής.

ΠΡΟΣΟΧΗ!! Η διαδικασία της αναίρεσης στο MICROWIND λειτουργεί δυστυχώς **μόνο** για την τελευταία ενέργεια.

Cut

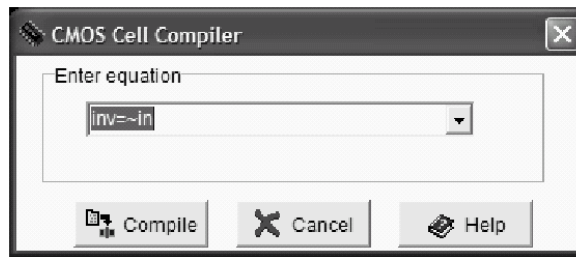


Κάντε κλικ στο εικονίδιο Cut. Μετακινήστε τον δρομέα (cursor) στο παράθυρο σχεδιασμού και περιορίστε την ενεργό περιοχή με το ποντίκι. Ακολούθως, όλα τα γραφικά που περιλαμβάνονται σε αυτή την περιοχή διαγράφονται. Κάντε κλικ στο Undo αν επιθυμείτε να τα επαναφέρετε πίσω στο σχέδιο.

- Ένα επίπεδο προστατεύεται από σβήσιμο αν αφαιρέσετε το tik στην παλέτα δύο φορές. Στην παλέτα ένα άδειο τετράγωνο στα δεξιά του επιπέδου υποδεικνύει ένα προστατευμένο επίπεδο.
- Ένα επίπεδο είναι απροστάτευτο στο σβήσιμο αν επιλέξετε ξανά στην παλέτα. Ένα tik στο τετράγωνο στα δεξιά του επιπέδου υποδεικνύει ένα απροστάτευτο επίπεδο.
- Ένα κουτί μόνο μπορεί να σβηστεί με ένα κλικ μέσα σε εκείνο το κουτί όταν η εντολή αποκοπής είναι ενεργή. Το κουτί τότε σβήνεται.

Compile one Line

Ο μεταγλωττιστής κελιών είναι ένα συγκεκριμένο εργαλείο σχεδιασμένο για την αυτόματη δημιουργία κελιών CMOS από μια λογική περιγραφή. Κάντε κλικ στο Compile -> Compile One Line. Το παρακάτω μενού εμφανίζεται (Εικόνα 5). Η αρχική εξίσωση αντιστοιχεί σε μια πύλη NOR τριών εισόδων. Αν απαιτείται, μπορεί κανείς να χρησιμοποιήσει το πληκτρολόγιο προκειμένου να τροποποιήσει την εξίσωση και τότε να κάνει κλικ στο Compile. Η πύλη μεταγλωττίζεται και το αντίστοιχο layout παράγεται.



Εικόνα 5: Το παράθυρο του μεταγλωττιστή κελιών.

- Το πρώτο μέρος της σύνταξης μιας-γραμμής αντιστοιχεί στο όνομα της εξόδου.
- Το τελευταίο ακολουθείται από το σύμβολο “=”, από τον κατάλογο των ονομάτων εισόδου διαχωρισμένα από τελεστές AND ‘&’, OR ‘|’, XOR ‘^’, NOT ‘~’, XNOR ‘^~’. Αν χρειάζεται, μπορούν να προστεθούν παρενθέσεις.
- Τα ονόματα των εισόδων και των εξόδων είναι φράσεις των 8 χαρακτήρων κατά μέγιστο.

Cell	Formula
Inverter	out=/in
NAND gate	n=/ (a.b)
3 Input OR	s=a+b+c
3 Input NAND	out=/ (a.b.c)
AND-OR Gate	cgate=a. (b+c)
CARRY Cell	cout= (a.b) + (cin. (a+b))

Πίνακας 1: Παραδείγματα περιγραφών λογικών κελιών

Τα τρανζίστορ p-καναλιού τοποθετούνται στο πάνω μέρος του δικτύου των τρανζίστορ n-καναλιού. Αν κάποιο layout υπάρχει ήδη κοντά σε εκείνα τα εικονίδια, η αρχή του κελιού μετακινείται προς τα δεξιά μέχρι να βρεθεί αρκετός ελεύθερος χώρος. Αν ο τελεστής NOT (Σύμβολο ‘~’) δεν έχει προσδιοριστεί μετά το σύμβολο ‘=’, ένας αντιστροφέας (INVERTER) προστίθεται στο δεξιό μέρος του μεταγλωττισμένου κελιού. Αυτός είναι ο λόγος για τον οποίο μια πύλη AND μεταγλωττίζεται ως μια πύλη NAND ακολουθούμενη από έναν αντιστροφέα.

Compile VERILOG file

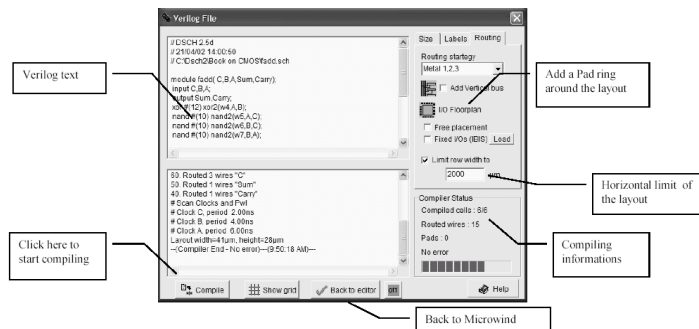
Ο μεταγλωττιστής κελιών μπορεί να χειριστεί αυτόματα την παραγωγή φυσικού σχεδίου (layout) από ένα αρχέγονα-βασισμένο κείμενο περιγραφής σε VERILOG. Κάντε κλικ στο Compile -> Compile Verilog File. Επιλέξτε ένα αρχείο κειμένου VERILOG και κάντε κλικ στο “Generate”. Για παράδειγμα, ο κατάλογος του microwind2 περιέχει το αρχείο “FADD.TXT”, το οποίο αντιστοιχεί στην περιγραφή ενός πλήρους αθροιστή (Full Adder).

```
// DSCH 2.5d
// 21/04/02 14:00:50
// C:\Dsch2\Book on CMOS\fadd.sch

module fadd( C,B,A,Sum,Carry );
input C,B,A;
output Sum,Carry;
xor #(12) xor2(w4,A,B);
nand #(10) nand2(w5,A,C);
nand #(10) nand2(w6,B,C);
nand #(10) nand2(w7,B,A);
xor #(12) xor2(Sum,w4,C);
nand #(10) nand3(Carry,w7,w6,w5);

endmodule

// Simulation parameters
// C CLK 10 10
// B CLK 20 20
// A CLK 30 30
```

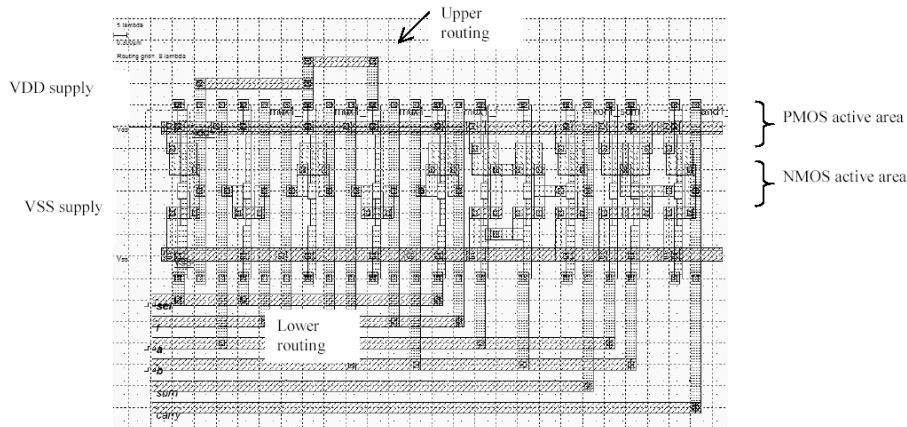


Εικόνα 6: Το παράθυρο του μεταγλωττιστή VERILOG

PRIMITIVE	NODES	EXAMPLE
dreg	Inputs : Data, RESET, CLOCK Outputs: Q, nQ	dreg reg1(d,rst,h,q,nq);
Inv, not	Inputs : IN Outputs: OUT	inv inv1(s,e); // both 'inv' and 'not' not inv1(s,e); // can be used
and	Inputs : 2 to 4 Outputs: S	and and1(s,a,b,c,d); // limit inputs to 4
nand	Inputs : 2 to 4 Outputs: S	nand nand1(s,a,b,c,d);
or	Inputs : 2 to 4 Outputs: S	or or3(s,a,b,c);
nor	Inputs : 2 to 4 Outputs: S	nor my_nor4(s,a,b,c,d);
xor	Inputs : a,b Outputs: S	xor xor_gate(xor_out,d0,d1);
Nmos	Inputs: gate, source Outputs: drain	nmos nmos1(d,s,g);

Εικόνα 7: Τα αρχέγονα κελιά σε VERILOG που υποστηρίζονται από τον μεταγωγτιστή CMOS

Οι κόμβοι εισόδου/εξόδου δρομολογούνται στο πάνω και στο κάτω μέρος των ενεργών μερών, με ένα κανονικό διάκενο για να διευκολυνθεί η αυτόματη δρομολόγηση καναλιών μεταξύ κελιών. Κάντε κλικ σε **Compile -> Show grid** για να υπερθέσετε το πλέγμα (grid) δρομολόγησης πάνω στο layout. Στην εικόνα 8 παρουσιάζεται η δρομολόγηση εισόδων/εξόδων μεταξύ βασικών κελιών. Παρατηρείστε ότι η δρομολόγηση πραγματοποιείται είτε στο πάνω μέρος είτε στο κάτω μέρος των ενεργών μερών.

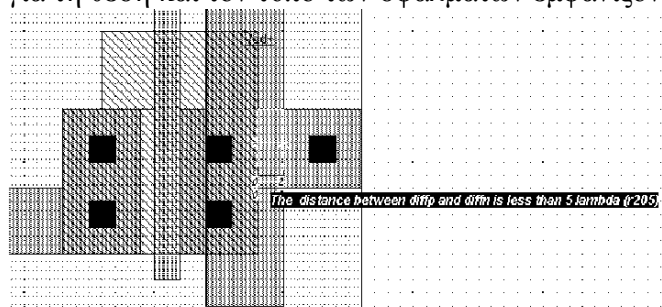


Εικόνα 8: Το πλέγμα (grid) του μεταγωγτιστή κελιών (CMOS cell Compiler)

Design Rule Checker



Ο ελεγκτής κανόνων σχεδιασμού (Design Rule Checker-DRC) σαρώνει όλο το σχέδιο και εντοπίζει τα σημεία του φυσικού σχεδίου (layout) στα οποία παραβιάζονται βασικοί κανόνες σχεδιασμού. Κάντε κλικ στο παραπάνω εικονίδιο ή στο Analysis -> Design Rule Checker για να τρέξετε το DRC. Τα σφάλματα επισημαίνονται στο παράθυρο παρουσίασης, με ένα κατάλληλο μήνυμα που περιγράφει τη φύση του σφάλματος. Λεπτομέρειες για τη θέση και τον τύπο των σφαλμάτων εμφανίζονται στην οθόνη.



Εικόνα 9: Παράδειγμα σφάλματος κανόνων σχεδιασμού

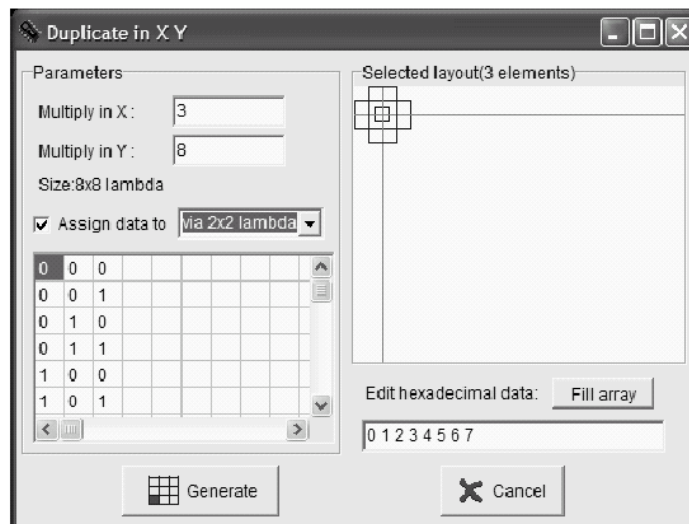
Draw a Box

Το εικονίδιο “Draw Box” είναι το αρχικό εικονίδιο (που επιλέγεται ως ιδιότητα στη χρήση του ποντικιού). Δημιουργεί ένα κουτί στο επιλεγμένο επίπεδο. Το αρχικό επίπεδο είναι πολύ-πυρίτιο. Αν το εικονίδιο “Draw Box” δεν είναι επιλεγμένο, κάντε κλικ πάνω του. Μετά, μετακινήστε τον δρομέα στο παράθυρο παρουσίασης και τοποθετήστε την πρώτη ακμή του κουτιού με το πάτημα του ποντικιού. Κρατείστε πατημένο και τραβήξτε το ποντίκι στην απέναντι ακμή του κουτιού. Ελευθερώστε το ποντίκι και δείτε πώς δημιουργείται το κουτί.

- Το ενεργό επίπεδο επιλέγεται στην παλέτα.
- Το κόκκινο χρώμα υποδεικνύει το ενεργό επίπεδο.
- Το γκρι κλειδί στα δεξιά του κουμπιού του επιπέδου προσδιορίζει ότι όλα τα κουτιά που χρησιμοποιούν το επίπεδο αυτό μπορούν να σβηστούν, επιμηκυνθούν, ή να αντιγραφούν.
- Ένα κλικ στο γκρι κλειδί μετατρέπει το χρώμα του κλειδιού σε κόκκινο. Ένα κόκκινο κλειδί προστατεύει το επίπεδο.

Duplicate XY

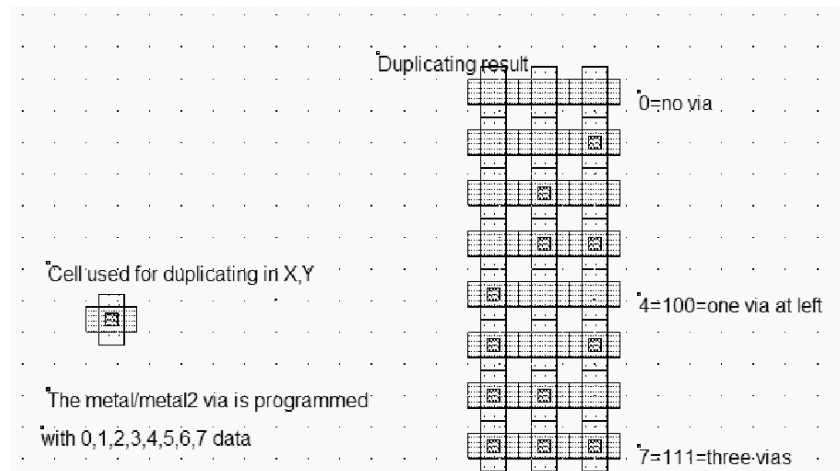
Η εντολή “Duplicate XY” είναι πολύ χρήσιμη για την παραγωγή μιας διάταξης πανομοιότυπων κελιών όπως κελιά RAM για παράδειγμα. Κάντε κλικ στο Edit -> Duplicate XY, περιλάβετε τα στοιχεία για διπλασιασμό σε μια περιοχή που ορίζεται από το ποντίκι και εμφανίζεται η οθόνη που φαίνεται στην εικόνα 10. Τόσο στο X όσο και στο Y, ο αρχικός παράγων πολλαπλασιασμού είναι x2. Μπορείτε να προσαρμόσετε το κενό μεταξύ των κελιών. Εξ αρχής, τα κελιά βρίσκονται σε επαφή μεταξύ τους. Τα επιλεγμένα κουτιά εμφανίζονται στο δεξιό παράθυρο και επίσης με κίτρινο στο κύριο παράθυρο layout.



Εικόνα 10: Το μενού Duplicate X, Y, χρησιμοποιείται για τη διασταύρωση metal1/metal2

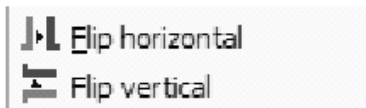
Η επιλογή data (Assign data, Edit Hexadecimal data, Fill Array) είναι πολύ χρήσιμη για την παραγωγή μασκών ROM ή διατάξεων αποκωδικοποιητών. Ένα παράδειγμα μιας διάταξης αποκωδικοποιητή δίδεται στην εικόνα 10. Ο προγραμματισμός επηρεάζει το via μεταξύ metal1 και metal2, σύμφωνα με τη λίστα των δεκαεξαδικών τιμών που δίδονται στη λίστα επεξεργασίας.

- Κάντε κλικ στα επιθυμητά δεδομένα στην περιοχή επεξεργασίας “Edit hexadecimal data”. Οι τιμές πρέπει να διαχωρίζονται με ένα κενό.
- Κάντε κλικ στο “Fill array” για να μετατρέψετε αυτά τα δεδομένα σε Boolean τιμές, σύμφωνα με το μέγεθος της διάταξης X, Y.
- Επιλέξτε το κατάλληλο κουτί για προγραμματισμό. Σε αυτήν την περίπτωση, το 0/1 δημιουργεί ή όχι ένα via σε κάθε θέση X, Y.
- Κάντε κλικ στο “Generate”. Το ακόλουθο αποτέλεσμα εμφανίζεται.



Εικόνα 11: Παράδειγμα διπλασιασμού ενός προτύπου με προγραμματιζόμενο via (DuplicateXYExample.MSK)

Flip



Για να εφαρμόσετε μια περιστροφή ή αντιστροφή σε ένα μέρος του σχεδίου, κάντε κλικ στο “Edit -> Flip and Rotate”, και επιλέξτε την κατάλληλη εντολή Flip (Horizontal ή Vertical). Περιορίστε την ενεργό περιοχή των κουτιών στο layout που θα τροποποιηθεί.

Help

Παρέχει μια on-line βοήθεια στη χρήση του Microwind2. Περιλαμβάνει μια περίληψη των εντολών και μερικές λεπτομέρειες για τους κανόνες σχεδιασμού, όπως φαίνεται στην εικόνα 12.

Layer	Width	Spacing	Surface	Surf. capa	Lin. capa	Ctk. capa	Res	Thickn	Height	Permit
	lambda	lambda	lambda2	af/μm2	af/μm	af/μm	ohm	μm	μm	
nitride	0	0	0							
passiv	1330	1330	0							
metal6	8	8	144	100.00		50.00	0.05/sq	0.70	6.60	3.10
via5	5	5	0				1.00/via	0.50	6.10	4.00
metal5	8	8	100	120.00		50.00	0.05/sq	0.70	5.40	3.10
via4	2	4	0				1.00/via	0.50	4.70	4.00
metal4	3	4	16	140.00		50.00	0.06/sq	0.50	4.20	3.10
via3	2	4	0				2.00/via	0.50	3.70	4.00
metal3	3	4	16	160.00		50.00	0.06/sq	0.50	3.20	3.10
via2	2	4	0				2.00/via	0.50	2.70	4.00
metal2	3	4	16	180.00		50.00	0.06/sq	0.50	2.20	3.10
via	2	4	0				2.00/via	0.50	1.70	4.00
metal	3	4	16	200.00		30.00	0.06/sq	0.50	1.20	3.10
poly	2	3	16	400.00			4.00/sq	0.20	0.01	4.00

Εικόνα 12: Κανόνες σχεδιασμού και ηλεκτρικοί κανόνες που προτείνεται στο μενού βοήθειας

Insert Layout

Η εντολή “File -> Leave Microwind2” (ή CTRL+Q) στο βασικό μενού. Αν έχετε κάνει ένα σχέδιο ή αν έχετε τροποποιήσει κάποια δεδομένα, θα ερωτηθείτε να το αποθηκεύσετε. Μετά την επιβεβαίωση, μπορείτε να επιστρέψετε στα Windows.

Generate



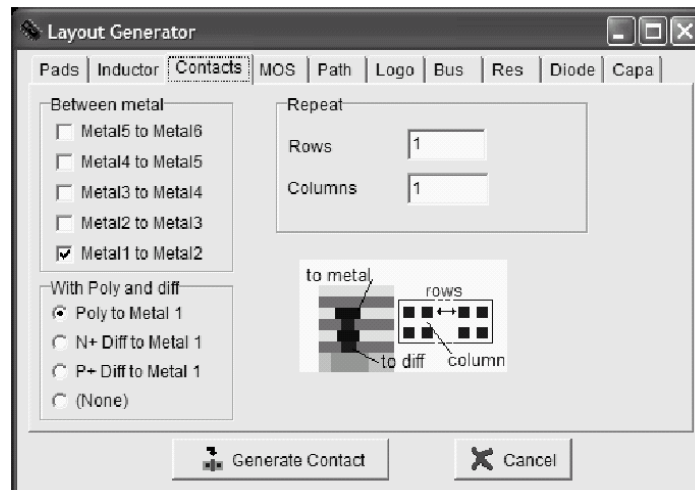
Η γεννήτρια layout περιλαμβάνει ένα σύνολο από προκαθορισμένες μακροεντολές layout όπως κουτί, επαφές, συσκευές n-MOS και p-MOS, αντιστάτες, γραμμές μετάλλου, μονοπάτι μετάλλου, επαγωγό, δίοδο, πυκνωτή, κείμενο και I/O pads. Εκείνα τα κελιά είναι δομημένα σύμφωνα με τους κανόνες σχεδιασμού και παραμέτρους μεγέθους χρήστη.

Generate Box

Όπως και η εντολή “Draw Box” που περιγράφηκε σε προηγούμενες σελίδες.

Generate Contacts

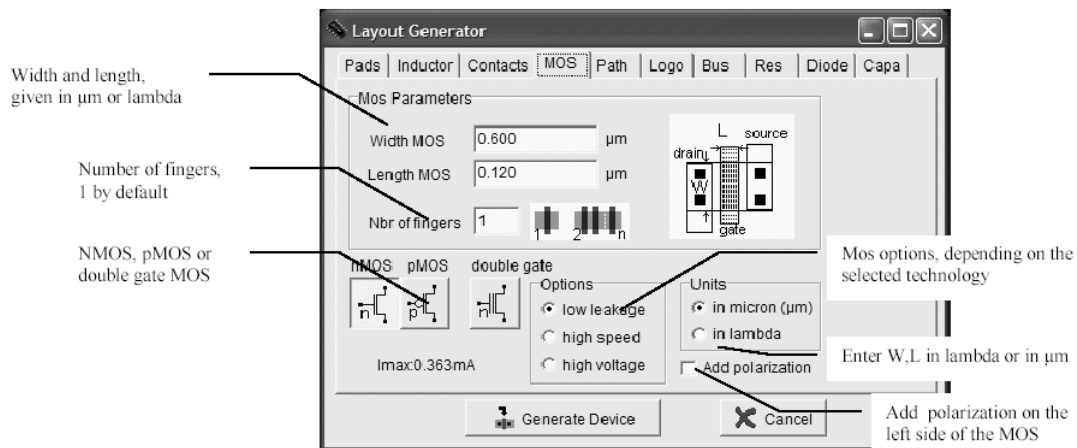
Αυτή η μακροεντολή παράγει επαφές όπως polysilicon/metal, n-diffusion/metal, p-diffusion/metal και metal1/metal2/metal3/metal4, ή σωριασμένες επαφές που μπορούν να ληφθούν εδώ. Μπορείτε επίσης να κάντε κλικ στο παραπάνω εικονίδιο στην παλέτα. Πολλαπλές επαφές μπορούν να παραχθούν όταν εισάγετε αριθμό επαφών στο X και στο Y μεγαλύτερο από ένα.



Εικόνα 13: Το μενού επαφών

Generate nMOS, pMOS devices

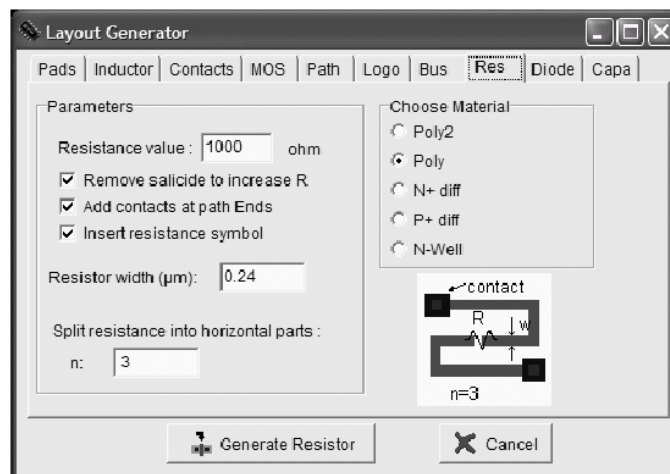
Αυτή η μακροεντολή παράγει είτε τρανζίστορ n-καναλιού είτε p-καναλιού. Η διπλή πύλη MOS είναι επίσης διαθέσιμη σε ορισμένες τεχνολογίες CMOS, για τη δόμηση μνήμης EEPROM. Οι παράμετροι του κελιού είναι το μήκος καναλιού (αρχική τιμή δίδεται από τους κανόνες σχεδιασμού), το πλάτος του και ο αριθμός των πυλών. Όταν αυτές οι παράμετροι οριστούν, εμφανίζεται το περίγραμμα της συσκευής. Κάντε κλικ στο ποντίκι για να την τοποθετήσετε στο κατάλληλο μέρος.



Εικόνα 14: Το μενού παραγωγής MOS

Generate Resistor

Αυτή η εντολή παράγει ένα τρανζίστορ σε n-well, polysilicon ή poly2, N+ ή P+ διάχυση. Η αρχική άποψη του τρανζίστορ είναι ένα Z με τρεις μπάρες (Παράμετρος n στο μενού). Ένα εικονικό σύμβολο αντιστάτη μπορεί να εισαχθεί στο layout του αντιστάτη, για να βεβαιώσει το χειρισμό του φαινομένου αντίστασης κατά τη διάρκεια της εξομοίωσης. Εξ' αρχής, ένα επίπεδο κατ' επιλογήν που διαμορφώνεται για να αφαιρέσει τη salicidation¹ προστίθεται στο layout της αντίστασης. Εξ' αρχής, όλα τα πολυπυρίτια και οι διαχύσεις έχουν μια salicide επιφάνεια επιμετάλλωσης για να μειωθεί κατά ένα παράγοντα περί το 10 η αντίσταση του φύλλου. Η unsalicide επιλογή συνίσταται για υψηλή τιμή αντίστασης σε μικρή περιοχή. Τελικά, οι επαφές προστίθενται εξ' αρχής στις εγγύς και απομακρυσμένες άκρες της αντίστασης για να διευκολυνθεί η περαιτέρω διασύνδεση.

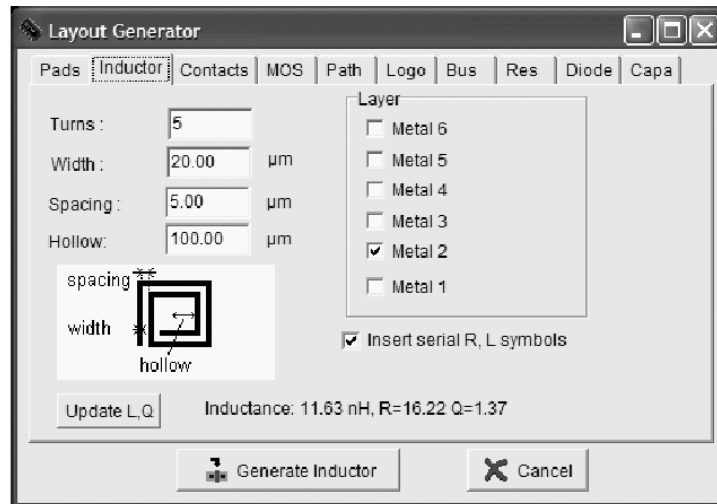


Εικόνα 15: Το μενού γεννήτριας αντιστάσεων

¹ Σημείωση: salicidation (self-aligned silicide) είναι μια διαδικασία στην τεχνολογία παραγωγής ολοκληρωμένων κυκλωμάτων, η οποία βασίζεται στη χρήση πυριτίου (silicon) και τανταλίου (tantalum) ως μείγμα με όνομα silicide. Η διαδικασία salicide χρησιμοποιείται για την κατασκευή μασκών πολυπυριτίου για τις πύλες των pMOS και nMOS τρανζίστορ. Η τεχνική αυτή εξασφαλίζει πολυπυρίτιο χαμηλής σχετικά αντίστασης, καθιστώντας το κατάλληλο για διασυνδέσεις μεταξύ των τρανζίστορ, αντί για τη χρήση μετάλλου. Έτσι χρησιμοποιείται πολυπυρίτιο και για τις πύλες των τρανζίστορ και για τη διασύνδεση των πυλών τους, απλοποιώντας τις μάσκες που χρησιμοποιούνται στην παραγωγή των ολοκληρωμένων κυκλωμάτων.

Generate Inductor

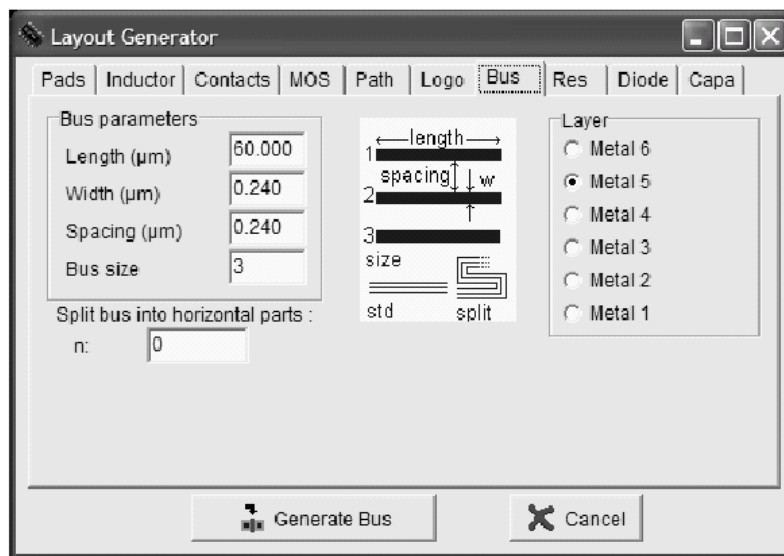
Αυτή η εντολή παράγει μια σπείρα φτιαγμένη από επίπεδα μετάλλου ορισμένα-από-το-χρήστη. Αυτή η συσκευή χρησιμοποιείται για ταλαντωτές πολύ υψηλής συχνότητας. Αυτός ο αγωγός θεωρείται ως μια επαγωγή χάριν στο εικονικό σύμβολο επαγωγού που εισάγεται στο layout. Μια εκτίμηση της επαγωγής προτείνεται με το πάτημα του κουμπιού **Update L,Q**. Ο επαγωγός μπορεί να είναι ένας σωρός από διάφορα επίπεδα, χάριν στο μενού επιπέδων.



Εικόνα 16: Το μενού γεννήτριας επαγωγών

Generate Bus

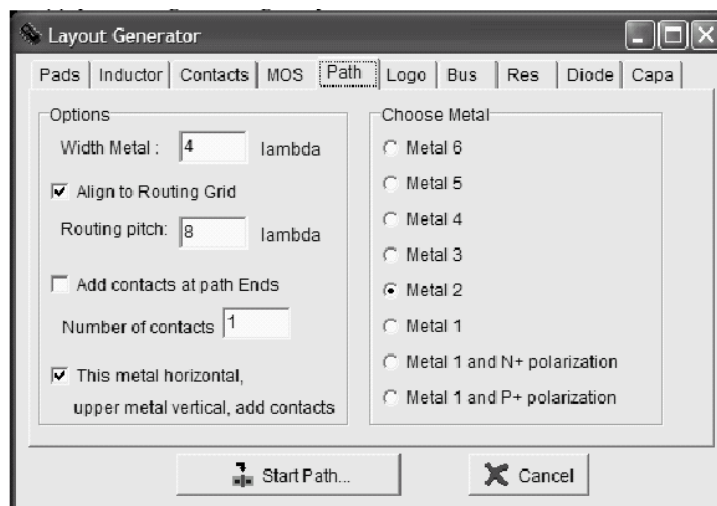
Αυτή η εντολή παράγει ένα σύνολο από παράλληλες γραμμές με επίπεδα, πλάτος και διάκενο ορισμένα-από-το-χρήστη. Αυτή η εντολή είναι χρήσιμη για τη δόμηση συνεζευγμένων διασυνδέσεων, ή μονοπατιών διαύλων που χρησιμοποιούνται στην τελική δρομολόγηση του τσιπ.



Εικόνα 17: Το μενού γεννήτριας διαύλων

Generate Path

Αυτή η εντολή παράγει ένα μονοπάτι από διασυνδέσεις χρησιμοποιώντας ένα και μοναδικό επίπεδο. Το πλάτος του μονοπατιού μπορεί να αλλαχθεί, καθώς επίσης και η ευθυγράμμιση στο δίκτυο δρομολόγησης. Ένα σύνολο επαφών μπορεί επίσης να τοποθετηθεί και στα δύο άκρα του μονοπατιού. Αυτή η εντολή είναι πολύ χρήσιμη για σχεδιασμό τροφοδοσίας VDD και VSS και για διασυνδέσεις ενός επιπέδου.



Εικόνα 18: Το μενού διαμόρφωσης μονοπατιών

Generate I/O pads

Είναι δυνατόν να προστεθούν διάφορα αντικείμενα όπως μονό pad (συνήθως 80x80μm), ή ακόμα και ένα σύνολο από pads παντού και στο layout χρησιμοποιώντας δακτυλίους τροφοδοσίας VDD και VSS. Στην τελευταία περίπτωση (προσθέτοντας περισσότερα από ένα pad), δώστε τον αριθμό των pads για κάθε

πλευρά του τσιπ και αν απαιτείται τροποποιήστε το πλάτος των γραμμών VDD και VSS, καθώς και τον αριθμό των ζευγών pad VDD/VSS.

Generate Diode

Μπορείτε να παράγετε επίσης μια σφραγίδα πόλωσης γύρω από την επαφή για τη δημιουργία μιας προστασίας με pad δίοδο για παράδειγμα.

Make Spice File

Κάντε κλικ στο File -> Make Spice File για να μεταφράσετε το σχέδιό σας σε μια περιγραφή συμβατή με SPICE. Ο εξαγωγέας κυκλωμάτων που περιλαμβάνεται στο λογισμικό παράγει το ισοδύναμο κυκλωματικό διάγραμμα του layout και μια netlist συμβατή με SPICE έτοιμη για εξομοίωση. Μπορείτε να επιλέξετε ένα μοντέλο που θα χρησιμοποιήσετε για την εξομοίωση. Η επιλογή κείται μεταξύ model 1, model 3 και model 9.

- ◆ Η περιγραφή SPICE περιλαμβάνει τη λίστα από τρανζίστορ n-καναλιού και p-καναλιού και το συσχετισμένο με αυτά πλάτος και μήκος εξαχθέν από το layout.
- ◆ Το αρχείο κειμένου επίσης αναφέρει λεπτομερώς τα ονόματα κόμβων, τις παρασιτικές χωρητικότητες, και τα μοντέλα συσκευών.
- ◆ Το όνομα αρχείου του SPICE αντιστοιχεί στο τρέχον όνομα αρχείου με την κατάληξη .CIR

Measure

distance



Ο χάρακας δίνει τις οριζόντιες και κάθετες μετρήσεις (dx και dy) μεταξύ δύο σημείων, απευθείας στην οθόνη σε λάμδα (λ) και μικρά (μm). Η αλγεβρική απόσταση (d) δίδεται επίσης σε μm. Ο χάρακας απλά σβήνεται από την εντολή “View -> Refresh the screen” ή πατώντας <ESC>.

MOS

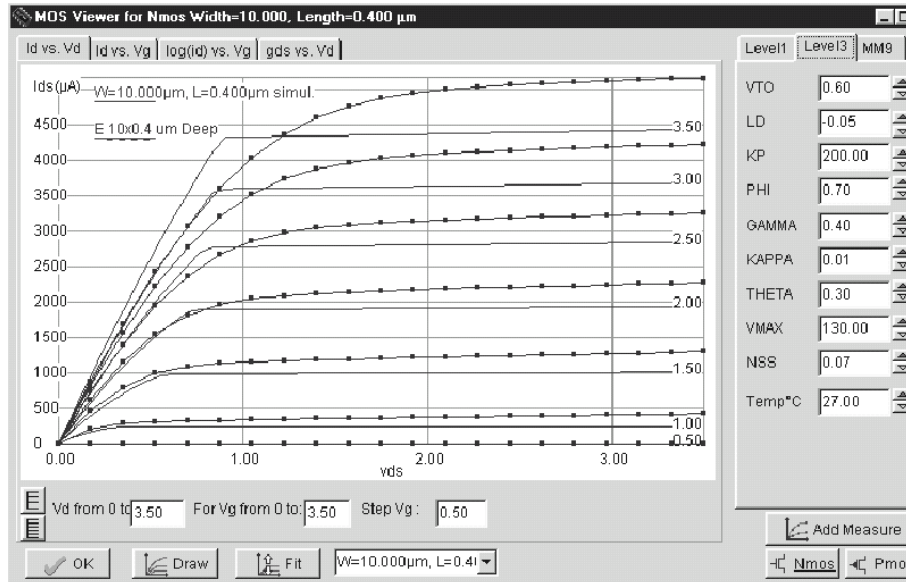
Characteristics



Κάντε κλικ στο εικονίδιο. Η καμπύλη Id/Vd του αρχικού MOS (W=20μm, L=L minimum) εμφανίζεται.

- ◆ Τα αποτελέσματα της αλλαγής των παραμέτρων του μοντέλου μπορούν να φανούν άμεσα στην οθόνη με το κλικ στα μικρά βέλη (Up/Down), τα οποία αλλάζουν τις τιμές των παραμέτρων.
- ◆ Κάντε κλικ στο “Id vs Vg” για να επισημάνετε την τάση κατωφλίου
- ◆ Κάντε κλικ στο “Id(log) vs. Vg” για να δείτε τη συμπεριφορά υπό-κατωφλίου.

- ◆ Προσθέστε μετρήσεις επιλέγοντας ένα αρχείο “.MES”
- ◆ Μεταβείτε από τη συσκευή NMOS στην PMOS κάνοντας κλικ στο αντίστοιχο κουμπί
- ◆ Επιλέξτε ένα μέγεθος για τη συσκευή στο κατώτερο μενού λίστας



Τρία μοντέλα μπορούν να χρησιμοποιηθούν:

- MOS Model 1 (Berkeley Spice level 1) για συσκευές μακριού καναλιού. Αυτό το μοντέλο είναι ξεπερασμένο αλλά παραμένει ενδιαφέρον για σύγκριση με προηγμένα μοντέλα.
- MOS Model 3 (απλουστευμένη μορφή του Berkeley Spice level 3). Παραμένει σε χρήση για πρώτης τάξης εκτίμηση της απόδοσης των κυκλωμάτων.
- BSIM4 (απλουστευμένη μορφή του Berkeley MOS BSIM4). Το μοντέρνο μοντέλο για μοντελοποίηση συσκευών στη βαθιά υπό-μικρόν περιοχή.

MOS List

Κάντε κλικ στο “Edit -> MOS List” για να πάρετε τη λίστα των συσκευών MOS n-καναλιού και p-καναλιού που υπάρχουν την εκάστοτε στιγμή στο layout. Η λίστα MOS παρουσιάζεται στο παράθυρο πλοήγησης. Κάντε κλικ στο επιθυμητό MOS στη λίστα για να μεγεθύνετε στην αντίστοιχη τοποθεσία στο layout.

Move,

Stretch a

Box



Για να μετακινήσετε ένα κουτί, κάντε κλικ στο παραπάνω εικονίδιο. Χρησιμοποιώντας το ποντίκι, δημιουργήστε μια περιοχή που να περικλείει το κουτί. Μετά, τραβήξτε το ποντίκι στη νέα θέση και απελευθερώστε το ποντίκι. Σαν αποτέλεσμα, το κουτί έχει μετακινηθεί στη νέα θέση. Επαναλάβετε το ίδιο προκειμένου να μετακινήσετε ένα σύνολο από κουτιά.

- ♦ Για να προστατέψετε ένα επίπεδο από το να μετακινηθεί, κάντε κλικ στο τετράγωνο της παλέτας η οποία βρίσκεται στη δεξιά πλευρά του επιπέδου. Αυτό θα μετακινήσει το τικ.
- ♦ Για να τεντώσετε ένα κουτί, κάντε κλικ στη μία πλευρά του κουτιού που θέλετε να τεντώσετε. Το περίγραμμα του κουτιού εμφανίζεται. Τραβήξτε το ποντίκι στη νέα θέση και απελευθερώστε το ποντίκι. Το κουτί τεντώθηκε.

Συμβουλή: Για να πιάσετε το επιθυμητό όριο του κουτιού, τραβήξτε μια γραμμή κάθετη στο σύνορο, παίζοντας στο κουτί

Move

Step by

Step

Για να μετακινήσετε ένα κουτί λάμδα-λάμδα, κάντε κλικ στο “Edit -> Move Step by Step”. Χρησιμοποιώντας το ποντίκι, δημιουργήστε μια περιοχή που να περιλαμβάνει τα κουτιά. Η επιλογή εμφανίζεται κίτρινη. Μετά, κάντε κλικ στο βέλος μέχρι η επιλογή να μετακινηθεί στη νέα θέση. Η τιμή του βήματος μετακίνησης (σε λάμδα) δηλώνεται στη γραμμή επεξεργασίας.



New

Κάντε κλικ στο “File -> New” προκειμένου να ξαναξεκινήσετε το λογισμικό με μια άδεια οθόνη. Το τρέχον σχέδιο πρέπει να σωθεί πριν τη χρήση αυτής της εντολής, καθώς όλη η γραφική πληροφορία θα σβηστεί από τη μνήμη του υπολογιστή. Δεν υπάρχει Undo για να αναιρέσετε την εντολή New.

Open

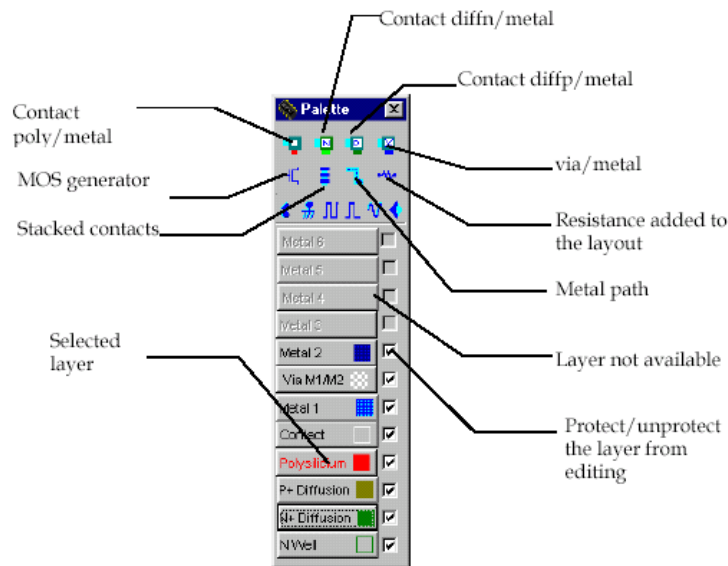


Κάντε κλικ στο παραπάνω εικονίδιο. Στη λίστα, κάντε διπλό κλικ στο αρχείο που θα φορτωθεί. Η αρχική επέκταση είναι “.MSK” η οποία αντιστοιχεί στα αρχεία layout. Τα αρχεία CIF (“.CIF”) μπορούν να φορτωθούν με τον ίδιο τρόπο. Το κατάλληλο πρόγραμμα μετατροπής μετασχηματίζει την είσοδο CIF σε μορφή MSK.

Palette



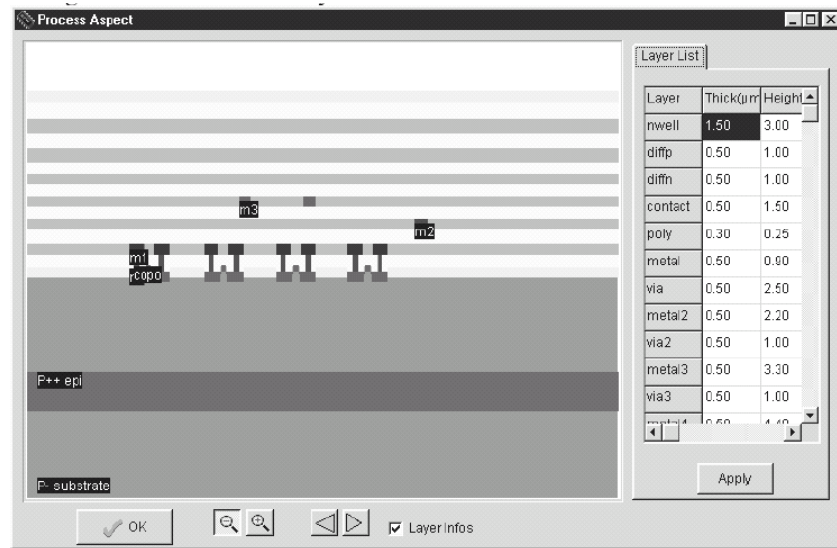
Η παλέτα βρίσκεται στη δεξιά πλευρά της οθόνης. Ένα μικρό τικ υποδεικνύει το τρέχον επίπεδο. Το τρέχον επίπεδο εξ' αρχής είναι το πολυπυρίτιο (polysilicon-PO). Η λίστα των επιπέδων παρουσιάζεται παρακάτω.



- ◆ Αν αφαιρέσετε το τικ στο δεξιό μέρος του επιπέδου, το επίπεδο γυρνάει σε κατάσταση προστασίας. Οι εντολές Cut, Stretch, και Copy δεν μπορούν πλέον να επηρεάσουν το επίπεδο.
- ◆ Χρησιμοποιήστε το “View -> Protect all” για να προστατέψετε όλα τα επίπεδα. Τα τικς σβήνονται.
- ◆ Χρησιμοποιήστε το “View -> Unprotect all” για να ανατρέψετε την προστασία. Όλα τα επίπεδα μπορούν να επεξεργαστούν.

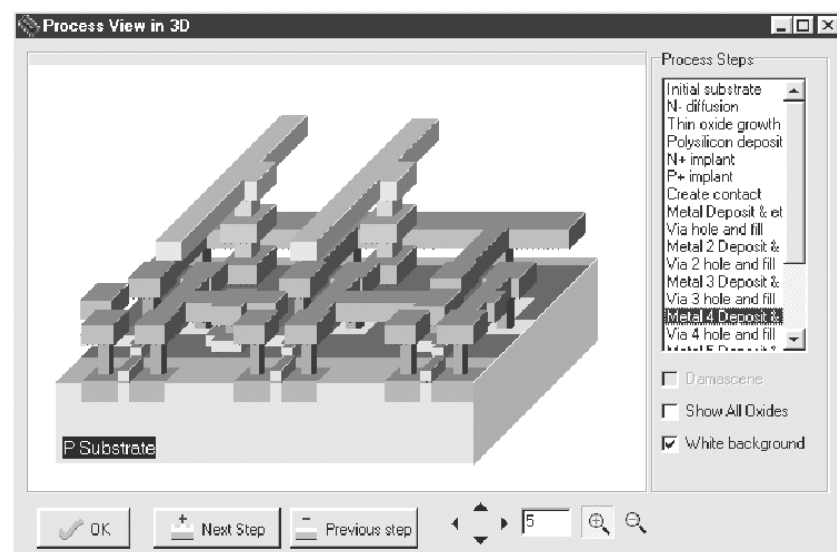
Process Section in 2D

Κάντε κλικ στο παραπάνω εικονίδιο για να προβείτε στην εξομοίωση διεργασίας. Μια γραμμή χειριζόμενη-με-ποντίκι παρέχεται και ενσωματώνει την τομή. Η παρακάτω οθόνη εμφανίζεται. Τα βέλη μπορούν να χρησιμοποιηθούν για να μετακινηθεί η τομή προς τα δεξιά ή προς τα αριστερά του άξονα X, και μπροστά ή πίσω στον Y άξονα. Μεγεθύνσεις ή συμκρύνσεις είναι διαθέσιμες. Αφαιρέστε τα ονόματα επιπέδων, αφαιρώντας το τικ μπροστά από το “Layer infos”.



Process Section in 3D

Κάντε κλικ στο “Simulation -> Process Steps in 3D”. Κάντε κλικ στο “Next step” για να παρακολουθήσετε τον τρόπο με τον οποίο το τρέχον επεξεργαζόμενο layout στην οθόνη, θα παρασκευαστεί χρησιμοποιώντας την επιλεγμένη τεχνολογία. Χρησιμοποιήστε το βέλος για να ολισθήσετε το εμφανιζόμενο μέρος. Μεγεθύνσεις και σμικρύνσεις είναι διαθέσιμες.



Protect All

Κάντε κλικ στο “View -> Protect All” για να προστατέψετε όλα τα επίπεδα από σκοπό επεξεργασίας. Όλα τα ticks στην παλέτα θα αφαιρεθούν.

Print Layout

Κάντε κλικ στο “File -> Print Layout” για να μεταφέρετε τα γραφικά περιεχόμενα της οθόνης στον εκτυπωτή. Εναλλακτικά, μπορείτε να κάνετε ένα αντίγραφο στο παράθυρο στο clipboard προκειμένου να εισάγετε την οθόνη στον επιθυμητό επεξεργαστή κειμένου πατώντας <Alt> + <Print Screen>. Στον επεξεργαστή κειμένου ή στον επεξεργαστή γραφικών, απλά κάντε κλικ στο “Edit -> Paste”. Συνιστούμε να αλλάξετε σε μονόχρωμη παρουσίαση πρώτα καλώντας τη λειτουργία “File -> Colors -> Switch to Monochrome”. Σε αυτήν την περίπτωση το layout θα ζωγραφιστεί σε ένα άσπρο παρασκήνιο χρησιμοποιώντας επίπεδα του γκρι και διαγραμμίσεις.

Rotate

Για να εφαρμόσετε την περιστροφή σε ένα κομμάτι του σχεδίου, κάντε κλικ στο “Edit -> Rotate”. Περιορίστε την ενεργό περιοχή των κουτιών στο layout έτσι ώστε να μπορεί να τροποποιηθεί χρησιμοποιώντας το ποντίκι.

Save



Κάντε κλικ στο “File -> Save” για να σώσετε το layout με το τρέχον όνομά του. Το αρχικό όνομα είναι “EXAMPLE.MSK”.

Save As

Ένα νέο παράθυρο εμφανίζεται, στο οποίο μπορείτε να εισάγετε το όνομα του σχεδίου. Χρησιμοποιήστε το πληκτρολόγιο και γράψτε το επιθυμητό όνομα αρχείου. Πατήστε “Save”. Το σχέδιο καταχωρείται με το επίθεμα .MSK.

Search Text

Ο πιο βολικός τρόπος για να βρείτε ένα κείμενο στο layout είναι καλώντας το “Edit -> Search Text”. Η λίστα των ετικετών κειμένου εμφανίζεται στο μενού πλοήγησης. Αν κάντε κλικ στο επιθυμητό κείμενο, η οθόνη ξανασχεδιάζεται έτσι ώστε η επόμενη ετικέτα να είναι στο κέντρο του παραθύρου, με δύο γραμμές να σχεδιάζουν ένα σταυρό στη θέση του κειμένου. Οι ιδιότητες εμφανίζονται στο μενού πλοήγησης.

- ◆ Κάντε κλικ στο “Hide” για να κλείσετε το παράθυρο πλοήγησης.
- ◆ Κάντε κλικ στο “Extract” για να προσθέσετε τις ηλεκτρικές ιδιότητες του επιλεγμένου κειμένου αν το layout δεν έχει εξαχθεί προηγουμένως.
- ◆ Στην περίπτωση μιας πολύ μεγάλης λίστας κειμένου, επιλέξτε το πρώτο γράμμα του κειμένου ανά χείρας, πατήστε αυτό το γράμμα στο πληκτρολόγιο. Αυτό θα έχει αυτόματα αποτέλεσμα και θα ερευνήσει αλφαβητικά και ο επιλογέας θα μετακινηθεί στην πρώτη ετικέτα που αρχίζει από το επιλεγμένο γράμμα.

Select Foundry

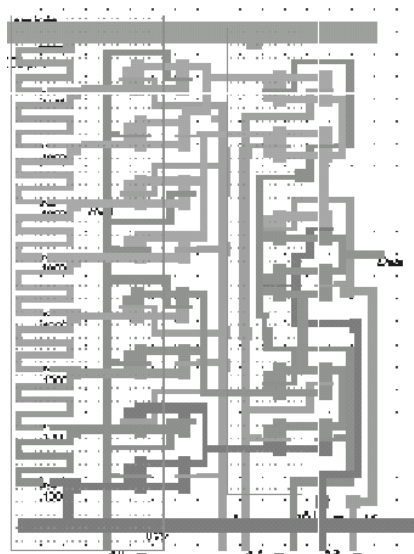
Κάντε κλικ στο “File -> Select Foundry”. Η λίστα με τις διαθέσιμες διεργασίες εμφανίζεται. Το αρχικό αρχείο κανόνων σχεδιασμού είναι γραμμμένο με έντονους χαρακτήρες. Διάφορες τεχνολογίες είναι διαθέσιμες από 1.2 έως και 0.12 μm . Κάντε κλικ στο όνομα αρχείου κανόνων και το λογισμικό αναδιαμορφώνει τον εαυτό του προκειμένου να προσαρμοστεί στη νέα διεργασία.

Simulation Parameters

- ◆ Η αρχική εξαγωγή περιλαμβάνει την αφαίρεση πλεοναζόντων κουτιών (Purge) και την αφαίρεση των επικαλύψεων (Merge). Η γρήγορη εξαγωγή δεν χειρίζεται λειτουργίες Purge ή Merge.
- ◆ Το επίπεδο MOS μπορεί να επιλεγεί μεταξύ επιπέδου 1, 3 και 9. Δείτε το κεφάλαιο 2 για περισσότερες λεπτομέρειες για τα μοντέλα.
- ◆ Άλλες επιλογές αφορούν στον υπολογισμό της πλευρικής (lateral) χωρητικότητας και της ωρητικότητας κάθετου crosstalk.

Simulation on layout

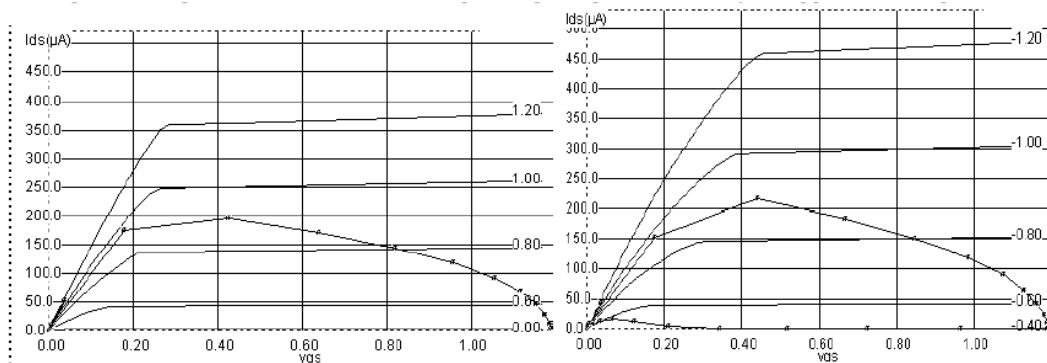
Η εξομοίωση γίνεται άμεσα στο layout με μια παλέτα χρωμάτων. Τα πιο ενδιαφέροντα αρχεία layout που μπορούν να εξομοιωθούν σε αυτή τη διαμόρφωση είναι τα αναλογικά τμήματα όπως ο DAC.



Κατά τη διάρκεια του ανοιγοκλείματος, οι συσκευές MOS του αντιστροφέα συμπεριφέρονται εναλλακτικά ως κλειστοί και ανοικτοί διακόπτες, όπως παρουσιάστηκε προηγουμένως. Σε μια πρώτης τάξης προσέγγιση, το ισοδύναμο μοντέλο του διακόπτη είναι μια αντίσταση. Στην παρουσίαση της εικόνας 4-51, παρέχεται το γράφημα του σημείου λειτουργίας στις χαρακτηριστικές I_d/V_d , και για τις nMOS και για τις pMOS συσκευές. Έτσι, η αντίσταση δεν είναι μια απλή συνάρτηση, αλλά περισσότερο μια μεταβαλλόμενη αντίσταση μεταξύ συγκεκριμένων τιμών.

Η εικόνα 4-51 έχει ληφθεί χρησιμοποιώντας μια συγκεκριμένη λειτουργία εξομοίωσης που λέγεται **Simulation on Layout** στο μενού εξομοίωσης. Οι χαρακτηριστικές I/V των επιλεγμένων συσκευών ενημερώνονται κατά τη διάρκεια της εξομοίωσης για να εντοπίσουν το σημείο λειτουργίας.

Κατά τη διάρκεια της αναλογικής εξομοίωσης, η τάση κόμβου υπερθέτεται στο layout και εμφανίζεται με μια παλέτα χρωμάτων:



Εικόνα 4-51: Οι συσκευές nMOS και pMOS κατά τη διάρκεια του ανοιγοκλείματος (Inv.MSK)

Start Simulation



Το παραπάνω εικονίδιο ή η εντολή “Simulate -> Start Simulation” μπορεί να δώσει πρόσβαση στην αυτόματη εξαγωγή και την αναλογική εξομοίωση του layout.

- Κάντε κλικ στο “Voltage vs Time” για να πάρετε τη μεταβατική ανάλυση όλων των ορατών σημάτων. Η καθυστέρηση μεταξύ του επιλεγμένου κόμβου εκκίνησης και του επιλεγμένου κόμβου τερματισμού υπολογίζεται στο $VDD/2$. Μπορείτε να αλλάξετε τον επιλεγμένο κόμβο εκκίνησης στη λίστα κόμβων, στο δεξιό πάνω μενού του παραθύρου. Μπορείτε να κάνετε το ίδιο για τον επιλεγμένο κόμβο τερματισμού.
- Κάντε κλικ στο “Voltage and Currents” ώστε να εμφανιστούν οι καμπύλες τάσης στο κατώτερο παράθυρο, και τα VDD, VSS και τα επιθυμητά ρεύματα MOS εμφανίζονται στο ανώτερο παράθυρο. Σε αυτή τη διαμόρφωση, η καταναλισκόμενη ισχύς στην εξομοίωση επιδεικνύεται επίσης.
- Κάντε κλικ στο “Voltage vs Voltage” για να πάρετε χαρακτηριστικές μεταφοράς μεταξύ του επιλεγμένου κόμβου στον X άξονα και του αντίστοιχου στον Y άξονα. Αρχικά ο κόμβος εκκίνησης είναι το πρώτο ρολόι ή παλμός στη λίστα κόμβων, και ο κόμβος τερματισμού είναι ο πρώτος μεταβαλλόμενος κόμβος. Αυτή η διαμόρφωση είναι χρήσιμη για τον υπολογισμό των χαρακτηριστικών Αντιστροφέα (σημείο μετάβασης), τη DC απόκριση του τελεστικού ενισχυτή, ή για το σκανδαλισμό Schmitt για να φανεί το φαινόμενο υστέρησης. Η πρώτη εξομοίωση υπολογίζει την τιμή του κόμβου τερματισμού και μεταβολή του κόμβου εκκίνησης από 0 σε VDD. Αυτό το γνώρισμα είναι ενδιαφέρον για κύκλωμα με φαινόμενα μνήμης (Schmitt trigger). Σημειώστε ότι οι καμπύλες μπορεί να μην είναι ακριβώς οι ίδιες. Μπορείτε να αυξήσετε την ακρίβεια μειώνοντας το βήμα υπολογισμού “Precision”, που παρέχεται στο μενού και εκφράζεται σε mV.

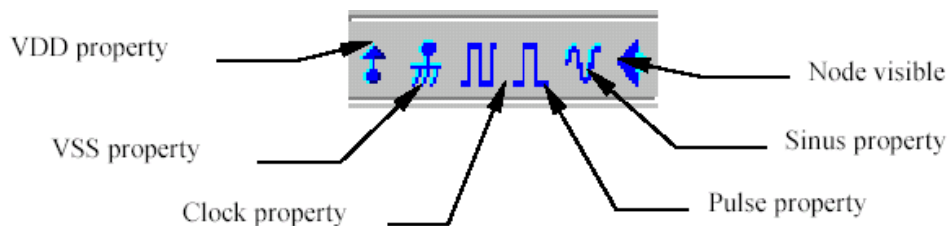
ΣΗΜΕΙΩΣΗ: Μπορείτε να τροποποιήσετε το ελάχιστο βήμα εξομοίωσης Δt , αλλά μπορεί να είναι επικίνδυνο. Αν αυξήσετε το Δt η ταχύτητα εξομοίωσης βελτιώνεται αλλά το αριθμητικό σφάλμα μπορεί

να οδηγήσει σε ασταθείς εξομοιώσεις. Αν μειώσετε το Δt , η ταχύτητα εξομοίωσης μειώνεται επίσης, αλλά η αριθμητική ακρίβεια βελτιώνεται. Το ρίσκο της υπολογιστικής απόκλισης μειώνεται.

Simulation

Simulation Icons

Τα εικονίδια εξομοίωσης προσθέτουν ιδιότητες στους κόμβους. Ιδιότητες εφαρμόζονται στους ηλεκτρικούς κόμβους του κυκλώματος προκειμένου να εξυπηρετήσουν ως οδηγοί εξομοίωσης. Πρέπει να προσδιορίσετε ποιος κόμβος ανατίθεται σε ποια τάση πριν ξεκινήσετε την αναλογική εξομοίωση.



VDD & VSS. Ο κόμβος αποκτά τάση τροφοδοσίας με το εικονίδιο Vdd και τίθεται στα 0V με το εικονίδιο Vss.

CLOCK. Όταν ένας κόμβος γίνεται ρολόι, οι παράμετροι του τελευταίου διαιρούνται ως ακολούθως: χρόνος ανόδου, επίπεδο ένα, χρόνος καθόδου, επίπεδο μηδέν. Όλες οι τιμές εκφράζονται σε nano-seconds (ns). Αν ζητήσετε ένα δεύτερο ρολόι, η περίοδος θα πολλαπλασιαστεί επί δύο.

- ◆ Μπορείτε να ανταλλάξετε το επίπεδο 0 με το επίπεδο 1 εισάγοντας μια νέα τιμή με το πληκτρολόγιο.
- ◆ Για να παράγετε ένα ρολόι που ξεκινά από VDD αντί για VSS, κάντε κλικ στο “Invert L/H”.
- ◆ Χρησιμοποιήστε το “Period * 2” για να πολλαπλασιάσετε την περίοδο του ρολογιού επί δύο.
- ◆ Χρησιμοποιήστε το “Period * 2” για να διαιρέσετε την περίοδο διά του δύο.

PULSE. Ο παλμός ανοιγοκλείνει μεταξύ “Level 0” (0 εξ’ αρχής) και “Level 1” (VDD εξ’ αρχής) ανάλογα με τον οριζόμενο-από-το-χρήστη χρονο-πίνακα.

- ◆ Εισάγετε τη φράση «0101100» και πατήστε “Insert”. Ο χρονο-πίνακας ενημερώνεται
- ◆ Κάντε κλικ στο “Erase”: όλες οι γραμμές που βρίσκονται μετά το επιλεγμένο στοιχείο του χρονο-πίνακα σβήνονται.

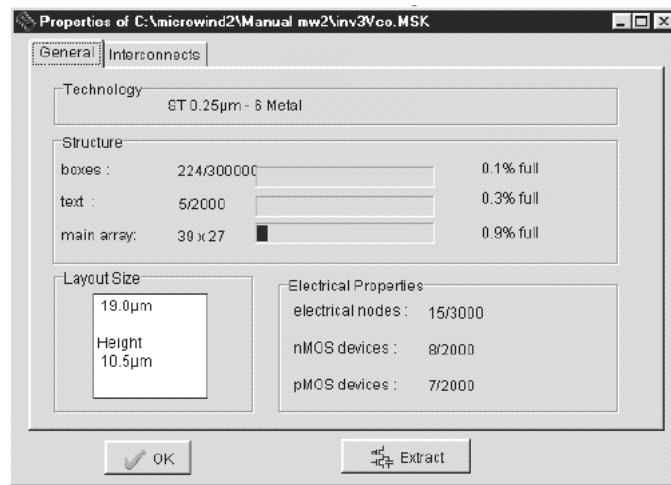
SINUS. Οι παράμετροι της ημιτονοειδούς κυματομορφής είναι το πλάτος, το offset, η συχνότητα και η φάση.

VISIBLE NODE. Κάντε κλικ στο “μάτι” και κάντε κλικ στο υπάρχον κείμενο στο layout για να παράγετε χρονογράμματα του κόμβου. Αρχικά, όλοι οι κόμβοι είναι ορατοί, αλλά τα ρολόγια και οι κόμβοι διέγερσης γίνονται ορατοί ακολούθως.

Statistics

Η εντολή “File -> Statistics” παρέχει κάποια πληροφορία για την τρέχουσα τεχνολογία, το ποσοστό της μνήμης που χρησιμοποιείται από το layout και το μέγεθος του layout συν τα λεπτομερή περιεχόμενά του.

Αν το layout έχει εξαχθεί από πριν ή αν κάνετε κλικ στο “extract now”, ο αριθμός των συσκευών και των κόμβων θα ενημερωθεί.



Undo

Η εντολή Undo (Edit -> Undo) είναι χρήσιμη ώστε να μη ληφθεί υπ' όψιν η τελευταία εντολή επεξεργασίας. Είναι δυνατόν να κάνετε Undo στις εντολές Cut, Paste, Copy, Move, Stretch, Edit και Compile.

Unprotect

All

Κάντε κλικ στο “View -> Unprotect All” για να επιλέξετε όλα τα επίπεδα για λόγους επεξεργασίας. Όλα τα τικς στην παλέτα διεγείρονται.

Unselect

All

Κάντε κλικ στο “View -> Unselect All” (ή στο <ESC>) για να αποεπιλέξετε το layout. Αυτή η εντολή είναι χρήσιμη για το σχεδιασμό του layout με τα αρχικά χρώματα μετά από εντολές όπως η View Interconnect ή η View Node, οι οποίες επισημαίνουν ένα και μόνο κόμβο.

View All



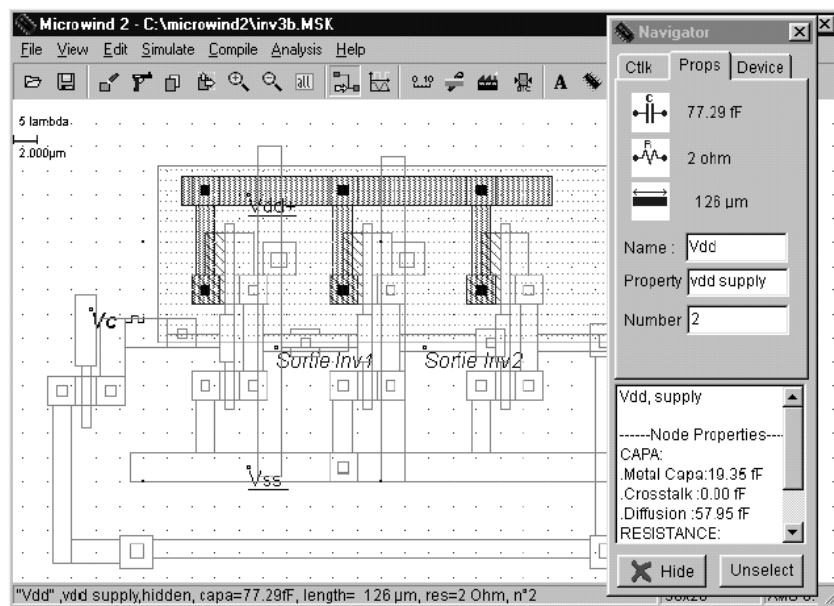
Κάντε κλικ στο “View -> View All” για να χωρέσετε την εικόνα με όλα τα τρέχοντα γραφικά στοιχεία στην οθόνη.

View

Node



Κάντε κλικ στο παραπάνω εικονίδιο ή στο “View -> View Node”. Μετά, κάντε κλικ στο επιθυμητό κουτί στο layout. Μετά από την ολοκλήρωση μιας διαδικασίας εξαγωγής, θα δείτε όλα τα κουτιά που είναι συνδεδεμένα σε αυτόν τον κόμβο. Στην περίπτωση ενός μεγάλου layout, η εντολή μπορεί να πάρει χρόνο. Η συσχετιζόμενη παρασιτική χωρητικότητα, η λίστα των ετικετών κειμένου που έχει προστεθεί στα επιλεγμένα κουτιά, και οι ιδιότητες κόμβου θα φανούν επίσης σε ένα ξεχωριστό παράθυρο πλοήγησης. Κάντε κλικ στο “Unselect”, “Hide”, <Escape> “View -> Unselect All” για να αποεπιλέξετε το layout.

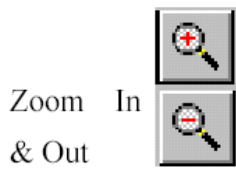


View

Interconn

ect

Η εντολή “View -> View Interconnect” εκτελεί μια ηλεκτρική εξαγωγή των κουτιών μετάλλου και πολυπυριτίου που είναι συνδεδεμένα με το επιθυμητό σημείο. Σε σύγκριση με το View Node, αυτή η εντολή δουλεύει ταχύτερα αλλά δεν λαμβάνει υπ’ όψιν διαχυμένα επίπεδα που μπορούν να προεκτείνουν τον δίκτυο κόμβων διασύνδεσης. Η εντολή δίνει μια λίστα συνδεδεμένων ετικετών κειμένου. Κάντε κλικ στο <Escape> ή στο View -> Unselect All για να αποεπιλέξετε το layout.



Τα παραπάνω εικονίδια εκτελούν Μεγέθυνση ή Σμίκρυνση. Όταν μεγεθύνετε, η περιοχή που προσδιορίστηκε από το ποντίκι θα μεγαλώσει για να χωρέσει στο παράθυρο παρουσίασης. Όταν σμικρύνετε, η περιοχή που προσδιορίστηκε με το ποντίκι θα περιέχει το παράθυρο παρουσίασης.

- ◆ Αν κάνετε κλικ μία φορά, μια μεγέθυνση θα εκτελεστεί στην επιθυμητή περιοχή.
- ◆ Πατήστε CTRL+A για να κάνετε “View All”, και CTRL+ο για να κάνετε σμίκρυνση.

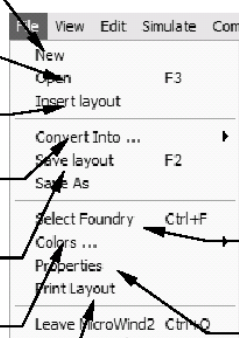
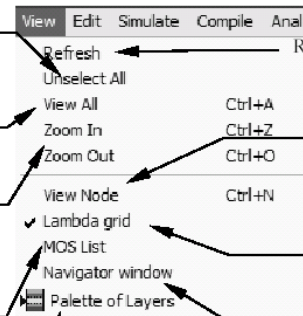
Βιβλιογραφία

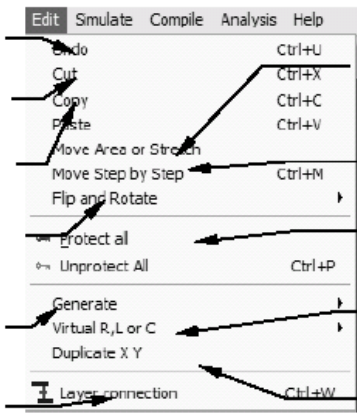
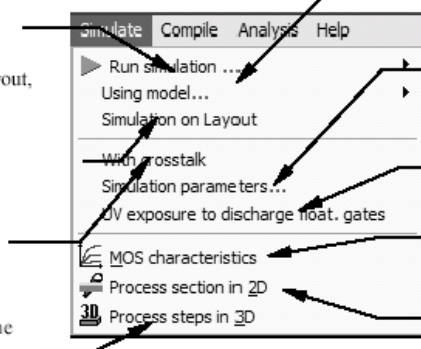
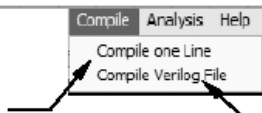
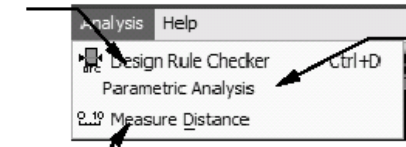
A book on deep submicron CMOS design using Microwind (Appendix B)

by Etienne Sicard and Sonia Bendhia, <http://intrade.insa-toulouse.fr/~etienne/microwind/book.html>


ΟΔΗΓΟΣ ΓΡΗΓΟΡΗΣ ΑΝΑΦΟΡΑΣ ΤΟΥ MICROWIND

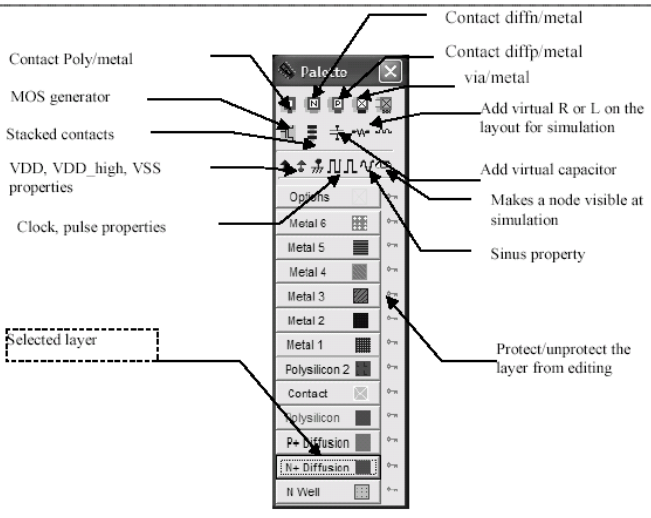
1. Microwind2 Menus

<p>FILE MENU</p>	<p>Reset the program and starts with a clean screen</p> <p>Read a layout data file</p> <p>Insert a layout in the current layout</p> <p>Translates the layout into CIF, SPICE</p> <p>Save the current layout into the current filename</p> <p>Switch to monochrom/Color mode</p> <p>Print the layout</p>  <p>Configure Microwind2 to a foundry</p> <p>Layout properties : number of box, devices, size, etc...</p> <p>Quit Microwind2 and returns to Windows</p>
<p>VIEW MENU</p>	<p>Unselect all layers and redraw the layout</p> <p>Fit the window with all the edited layout</p> <p>Zoom In, Zoom out the layout window</p> <p>Give the list of nMOS and pMOS devices</p> <p>Show the palette of layers, the layout macro and the simulation properties</p>  <p>Redraw the screen</p> <p>Extract the electrical node starting at the cursor location</p> <p>Show/Hide the lambda grid</p> <p>Show the navigator window to display the node properties</p>

<p>EDIT MENU</p>	<p>Cancel last editing command</p> <p>Cut elements included in an area</p> <p>Duplicate elements included in an area</p> <p>Flip or rotate elements included in an area</p> <p>Generate MOS, contacts, pads, diodes, resistors, capacitors, etc...</p> <p>Connect layers at a desired location</p>  <p>Move elements included in an area or stretch the selected box border</p> <p>Move step by step a selection of elements</p> <p>Protect and unprotect layers from copying, moving, erasing</p> <p>Add a virtual R,L,C for simulation purpose</p> <p>Duplicate in X and Y a selection of elements</p>
<p>SIMULATE MENU</p>	<p>Run the simulation and choose the appropriate mode V(t), I(t), V/V, F(t), etc.</p> <p>Simulate directly on the layout, with a palette of colors representing voltage</p> <p>Include crosstalk effects in simulation</p> <p>View the process steps of the layout fabrication in 3D</p>  <p>Select model 1, model 3 or BSIM4</p> <p>Access to the SPICE model and some simulation options : VDD value, temperature, simulation step</p> <p>Discharge floating gates</p> <p>Access to static characteristics of the MOS devices</p> <p>2D view of the circuit at the desired location</p>
<p>COMPILE MENU</p>	<p>Compile one single line (on-line)</p>  <p>Compile a Verilog file generated by DSCH2</p>
<p>ANALYSIS MENU</p>	<p>Verifies the layout and highlight the design rule violations</p> <p>Measure the distance in the layout window, in μm and λ</p>  <p>Computes the influence of one parameter such as VDD, t°, capacitance, on a set of parameters: delay, frequency, etc...</p>

PALETTE



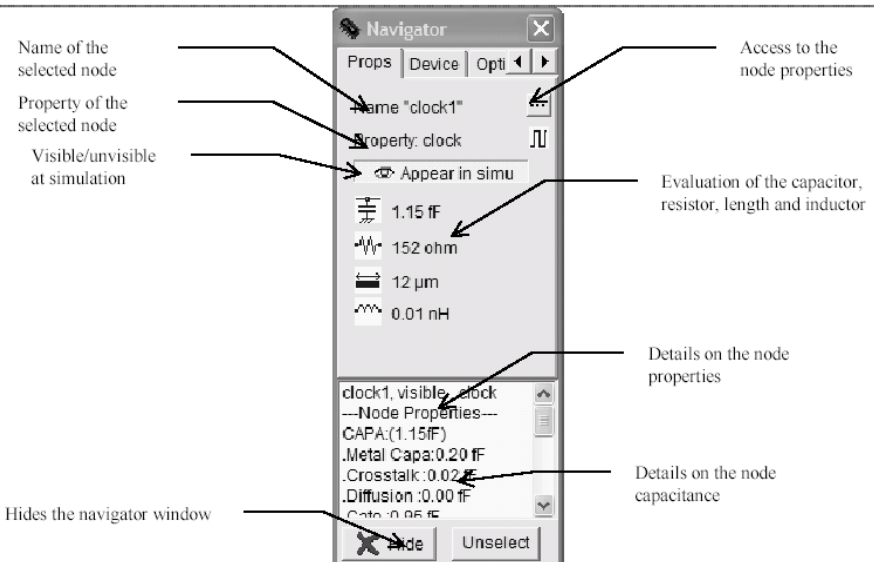


Contact Poly/metal
 MOS generator
 Stacked contacts
 VDD, VDD_high, VSS properties
 Clock, pulse properties

Contact diffn/metal
 Contact diffp/metal
 via/metal
 Add virtual R or L on the layout for simulation
 Add virtual capacitor
 Makes a node visible at simulation
 Sinus property
 Protect/unprotect the layer from editing

Selected layer

NAVIGATOR WINDOW























Name of the selected node
 Property of the selected node
 Visible/unvisible at simulation

Access to the node properties
 Evaluation of the capacitor, resistor, length and inductor
 Details on the node properties
 Details on the node capacitance

Hides the navigator window

LIST OF ICONS

	Open a layout file (MSK format)		Extract and simulate the circuit
	Save the layout file in MSK format		Measure the distance in lambda and micron between two points
	Draw a box using the selected layer of the palette		2D vertical aspect of the device
	Delete boxes or text.		Step by step fabrication of the layout in 3D
	Copy boxes or text		Design rule checking of the circuit. Errors are notified in the layout
	Stretch or move elements		Add a text to the layout. The text may include simulation properties.
	Zoom In		Connect the lower to the upper layers at the desired location using appropriate contacts.
	Zoom Out		Static MOS characteristics
	View all the drawing		View the palette
	Extract and view the electrical node pointed by the cursor		Move the layout up, left, right, down

2. Microwind2 Simulation menu

