

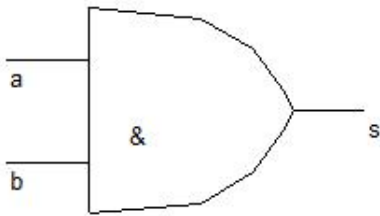
ΣΥΜΠΛΗΡΩΜΑΤΙΚΕΣ ΕΡΓΑΣΤΗΡΙΑΚΕΣ
ΣΗΜΕΙΩΣΕΙΣ ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗΣ &
VLSI

ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗΣ

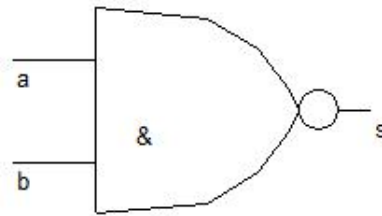
16/10/2021

ΑΝΤΩΝΙΟΣ ΜΙΧ. ΜΑΡΑΓΚΟΥΔΑΚΗΣ

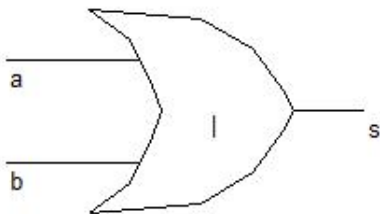
Not



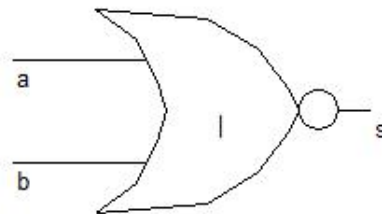
NotIf1



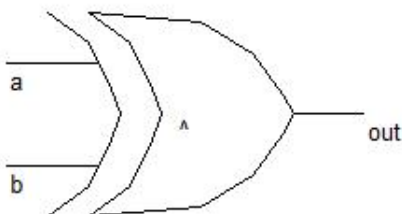
And



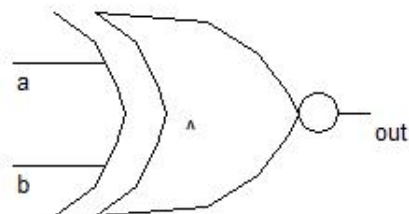
Nand



Or



Nor










Xor

Xnor


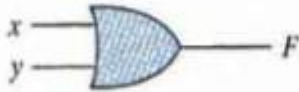






Καλύπτει συμπληρωματικά τα κεφάλαια 1,2,3,4,5,6,7,8,9,10 των Εργαστηριακών Σημειώσεων Μικροηλεκτρονικής & VLSI. Έχει επίσης σχηματικά διαγράμματα για κάθε πύλη και επίσης και γλώσσα περιγραφής υλικού Verilog και VHDL

Logic Gates

NOT	AND	NAND	OR	NOR	XOR	XNOR																																																																																																
\bar{A}	AB	\overline{AB}	$A+B$	$\overline{A+B}$	$A\oplus B$	$\overline{A\oplus B}$																																																																																																
																																																																																																						
<table border="1"> <thead> <tr> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> </tr> </tbody> </table>	A	X	0	1	1	0	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	B	A	X	0	0	0	0	1	0	1	0	0	1	1	1	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	B	A	X	0	0	1	0	1	1	1	0	1	1	1	0	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	1	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	0	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> </tr> </tbody> </table>	B	A	X	0	0	0	0	1	1	1	0	1	1	1	0	<table border="1"> <thead> <tr> <th>B</th> <th>A</th> <th>X</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>1</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> </tr> </tbody> </table>	B	A	X	0	0	1	0	1	0	1	0	0	1	1	1
A	X																																																																																																					
0	1																																																																																																					
1	0																																																																																																					
B	A	X																																																																																																				
0	0	0																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	1																																																																																																				
B	A	X																																																																																																				
0	0	1																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	0																																																																																																				
B	A	X																																																																																																				
0	0	0																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	1																																																																																																				
B	A	X																																																																																																				
0	0	1																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	0																																																																																																				
B	A	X																																																																																																				
0	0	0																																																																																																				
0	1	1																																																																																																				
1	0	1																																																																																																				
1	1	0																																																																																																				
B	A	X																																																																																																				
0	0	1																																																																																																				
0	1	0																																																																																																				
1	0	0																																																																																																				
1	1	1																																																																																																				

Από τους πίνακες αληθείας βγαίνουν τα ακόλουθα συμπεράσματα :

- 1) Η πύλη NOT αναστρέφει το σήμα εισόδου
- 2) Η πύλη AND ισοδυναμεί με δύο διακόπτες σειρά . Η πύλη αυτή άγει ,δηλαδή έξοδος = λογικό '1', μόνο όταν και οι δύο διακόπτες είναι κλειστοί .
- 3) Η πύλη OR αντίθετα ισοδυναμεί με δύο διακόπτες τοποθετημένους παράλληλα. Όταν όμως ένας τουλάχιστον διακόπτης είναι κλειστός , δηλαδή λογικό '1', τότε έχουμε έξοδο λογικό '1'.
- 4) Η πύλη NAND είναι συνδυασμός μιας NOT και μιας AND πύλης , κάνει την αντίστροφη λειτουργία της πύλης AND.
- 5) Η πύλη NOR είναι ο συνδυασμός των πυλών OR και NOT , δηλαδή εκτελεί την αντίστροφη λειτουργία της πύλης OR. Άρα ο πίνακας αληθείας της πύλης NOR είναι αντίθετος σε σχέση με εκείνον της OR.
- 6) Η πύλη XOR που ονομάζεται και αποκλειστικό 'Η' ,για να δώσει έξοδο θα πρέπει μόνον μία από τις δύο εισόδους να τεθεί στο λογικό '1'.
- 7) Η πύλη XNOR που ουσιαστικά είναι συνδυασμός μιας πύλης XOR και μιας πύλης NOT . Ο πίνακας αληθείας αυτής είναι ο αντίθετος από της XOR πύλης.

Name	Graphic symbol	Algebraic function	Truth table															
AND		$F = xy$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	x	y	F	0	0	0	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$F = x + y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	1
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
Inverter		$F = x'$	<table border="1"> <thead> <tr> <th>x</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>1</td></tr> <tr><td>1</td><td>0</td></tr> </tbody> </table>	x	F	0	1	1	0									
x	F																	
0	1																	
1	0																	
Buffer		$F = x$	<table border="1"> <thead> <tr> <th>x</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td></tr> </tbody> </table>	x	F	0	0	1	1									
x	F																	
0	0																	
1	1																	
NAND		$F = (xy)'$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	x	y	F	0	0	1	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$F = (x + y)'$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	0
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
Exclusive-OR (XOR)		$F = xy' + x'y$ $= x \oplus y$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td></tr> <tr><td>0</td><td>1</td><td>1</td></tr> <tr><td>1</td><td>0</td><td>1</td></tr> <tr><td>1</td><td>1</td><td>0</td></tr> </tbody> </table>	x	y	F	0	0	0	0	1	1	1	0	1	1	1	0
x	y	F																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
Exclusive-NOR or equivalence		$F = xy + x'y'$ $= (x \oplus y)'$	<table border="1"> <thead> <tr> <th>x</th> <th>y</th> <th>F</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>1</td></tr> <tr><td>0</td><td>1</td><td>0</td></tr> <tr><td>1</td><td>0</td><td>0</td></tr> <tr><td>1</td><td>1</td><td>1</td></tr> </tbody> </table>	x	y	F	0	0	1	0	1	0	1	0	0	1	1	1
x	y	F																
0	0	1																
0	1	0																
1	0	0																
1	1	1																

ΑΝΤΩΝΙΟΣ ΜΙΧ ΜΑΡΑΓΚΟΥΔΑΚΗΣ

ΜΙΚΡΟΗΛΕΚΤΡΟΝΙΚΗ & VLSI

ΑΝΤΙΣΤΡΟΦΕΑΣ INVERTER

VERILOG

```
// DSCH 2.7a
// 16/10/2021 10:00:14 πμ
// C:\Users\User\Documents\export dsch2\Export dsch2\Inverter.sch

module Inverter( A,A,A,nA);
  input A,A,A;
  output nA;
  not #(17) inv(w2,A);
  not #(10) inv(nA,A);
  not #(17) inv(w2,A);
  nmos #(10) nmos(w6,vss,w5); // 1.0u 0.12u
  pmos #(10) pmos(w6,vdd,w5); // 2.0u 0.12u
endmodule

// Simulation parameters in Verilog Format
always
#1000 A=~A;
#2000 A=~A;
#4000 A=~A;

// Simulation parameters
// A CLK 10 10
// A CLK 20 20
// A CLK 40 40
```

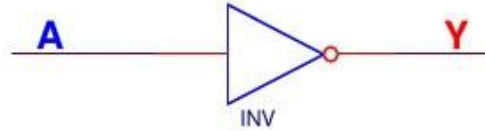
VHDL CODE

c) **NOT Gate:** A logic gate whose input is complement of its input.

Truth table

Input	Output
A	Y
0	1
1	0

Logic diagram



$$Y = \text{NOT } A$$

VHDL Code for NOT Gate:

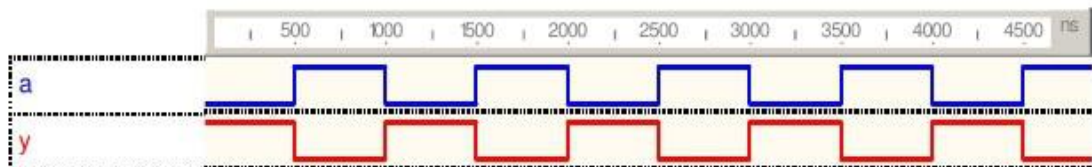
```

-----
-- File           :   notgate.vhd
-- Entity          :   notgate
-----
-- University     :   Vishweswaraia Technological University
                    :   Belgaum,Karnataka
-- Simulators     :   Mentor Graphics Modelsim OR Active HDL
-- Synthesizers   :   Xilinx ISE
-- Target Device  :   XC4000 Series
-----
-- Description    :   VHDL code to realize NOT gate functionality
-----

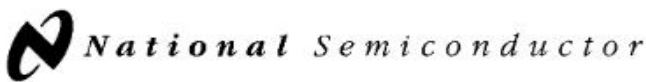
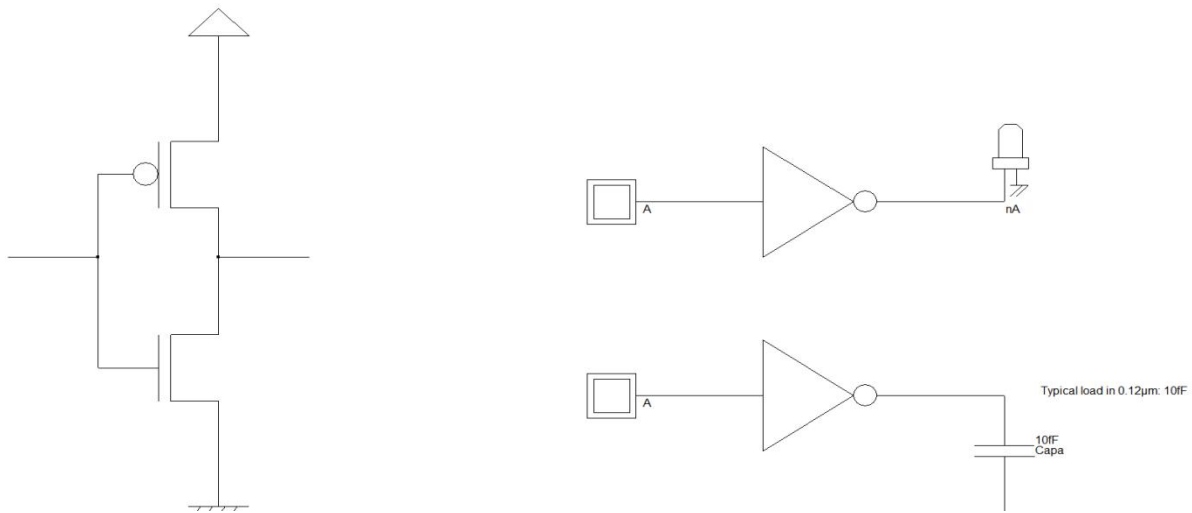
--The IEEE standard 1164 package, declares std_logic, etc.
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;
----- Entity Declarations -----
entity notgate is
    Port( A : in std_logic;
          Y : out std_logic
        );
end notgate;

architecture Behavioral of notgate is
begin
    Y<= not A ;
end Behavioral;

```



ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ – DATA SHEETS



June 1989

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

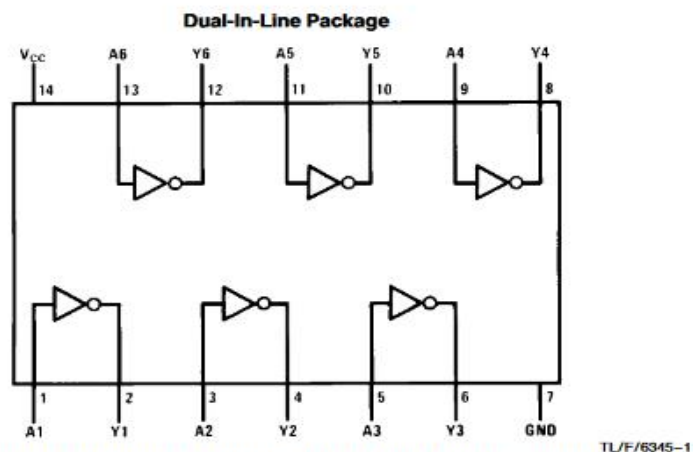
General Description

This device contains six independent gates each of which performs the logic INVERT function.

Features

- Alternate Military/Aerospace device (54LS04) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS04DMQB, 54LS04FMQB, 54LS04LMQB, DM54LS04J, DM54LS04W, DM74LS04M or DM74LS04N
See NS Package Number E20A, J14A, M14A, N14A or W14B

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

Function Table

$Y = \bar{A}$

Input	Output
A	Y
L	H
H	L

H – High Logic Level
L – Low Logic Level

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	–55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	–65°C to +150°C

Note: The “Absolute Maximum Ratings” are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the “Electrical Characteristics” table are not guaranteed at the absolute maximum ratings. The “Recommended Operating Conditions” table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54LS04			DM74LS04			Units
		Min	Nom	Max	Min	Nom	Max	
V _{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High Level Input Voltage	2			2			V
V _{IL}	Low Level Input Voltage			0.7			0.8	V
I _{OH}	High Level Output Current			–0.4			–0.4	mA
I _{OL}	Low Level Output Current			4			8	mA
T _A	Free Air Operating Temperature	–55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

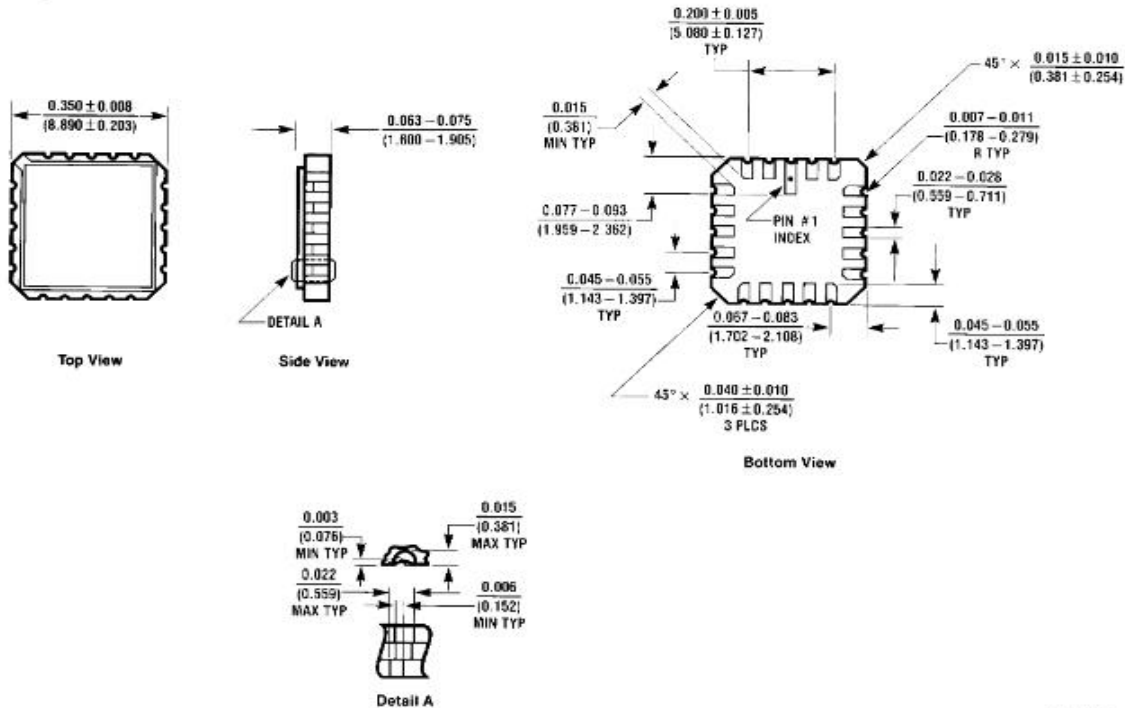
Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = –18 mA			–1.5	V
V _{OH}	High Level Output Voltage	V _{CC} = Min, I _{OH} = Max, V _{IL} = Max	DM54 2.5	3.4		V
V _{OL}	Low Level Output Voltage	V _{CC} = Min, I _{OL} = Max, V _{IH} = Min	DM54 0.25	0.25	0.4	V
		I _{OL} = 4 mA, V _{CC} = Min	DM74 0.25	0.35	0.5	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V			0.1	mA
I _{IH}	High Level Input Current	V _{CC} = Max, V _I = 2.7V			20	μA
I _{IL}	Low Level Input Current	V _{CC} = Max, V _I = 0.4V			–0.36	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	DM54 –20		–100	mA
			DM74 –20		–100	
I _{CCH}	Supply Current with Outputs High	V _{CC} = Max		1.2	2.4	mA
I _{CCL}	Supply Current with Outputs Low	V _{CC} = Max		3.6	6.6	mA

Switching Characteristics at $V_{CC} = 5V$ and $T_A = 25^{\circ}C$ (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	$R_L = 2\text{ k}\Omega$				Units
		$C_L = 15\text{ pF}$		$C_L = 50\text{ pF}$		
		Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time Low to High Level Output	3	10	4	15	ns
t_{PHL}	Propagation Delay Time High to Low Level Output	3	10	4	15	ns

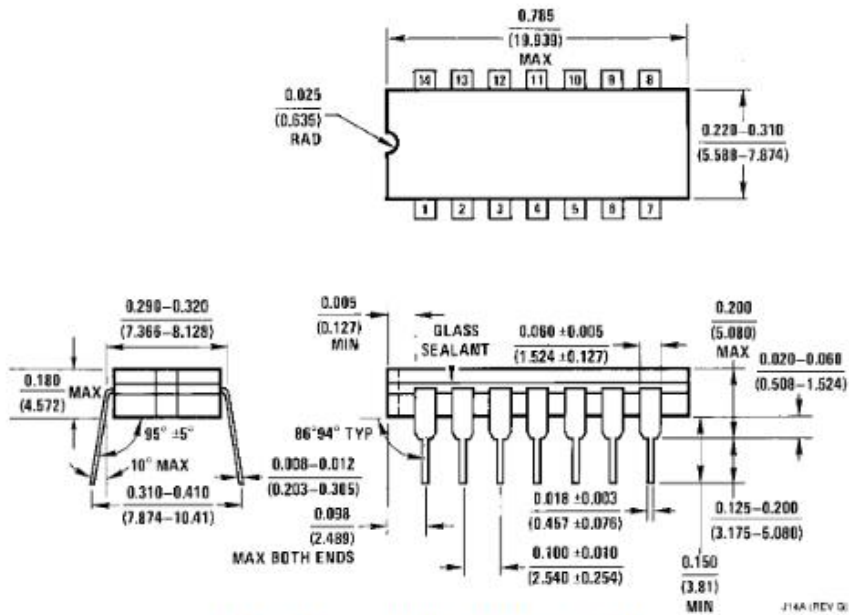
Note 1: All typicals are at $V_{CC} = 5V$, $T_A = 25^{\circ}C$.
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Physical Dimensions inches (millimeters)



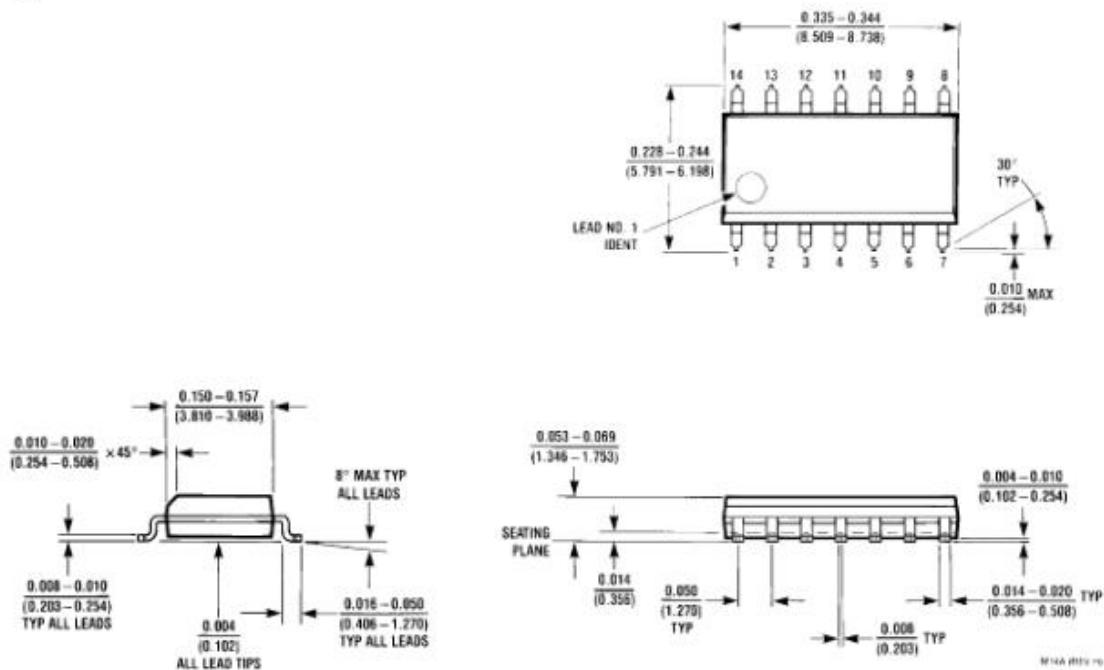
Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS04LMQB
NS Package Number E20A

E20A (REV. 0)

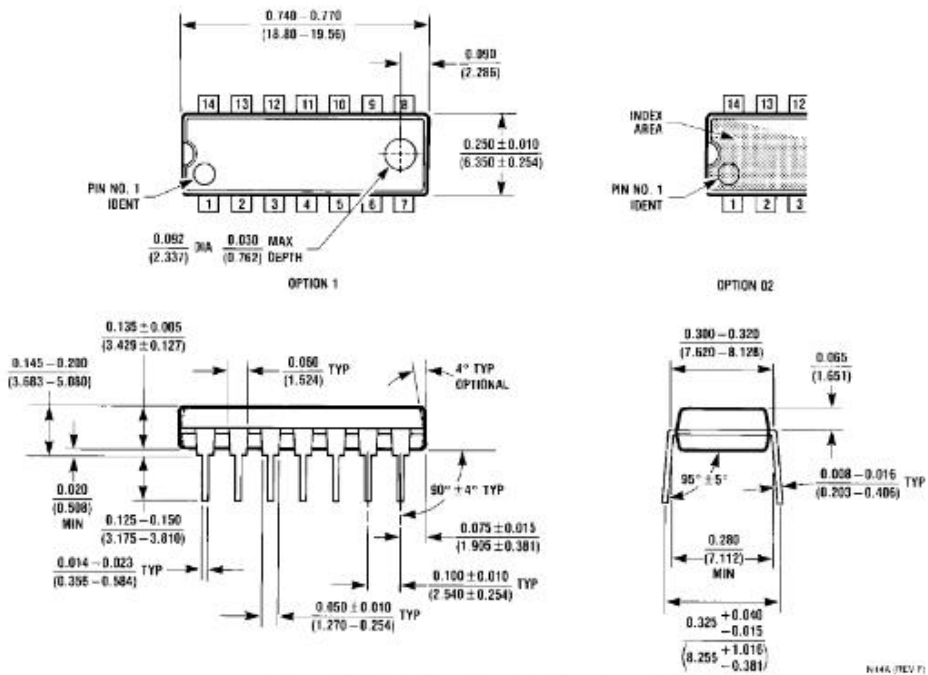


14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS04DMQB or DM54LS04J
NS Package Number J14A

Physical Dimensions inches (millimeters) (Continued)



14-Lead Small Outline Molded Package (M)
Order Number DM74LS04M
NS Package Number M14A

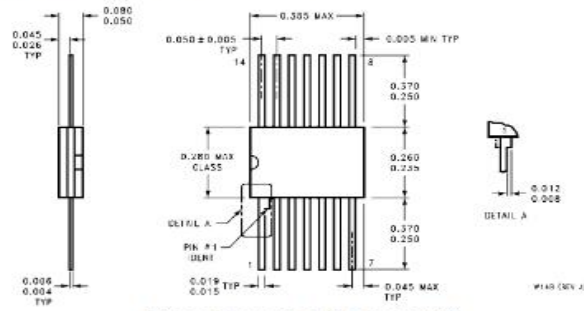


14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS04N
NS Package Number N14A

N14A (REV F)

54LS04/DM54LS04/DM74LS04 Hex Inverting Gates

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS04FMQB or DM54LS04W
NS Package Number W14B

NAND GATE

VERILOG

```
// DSCH 2.7a
// 16/10/2021 10:16:16 μμ
// C:\Users\User\Documents\export dsch2\Export dsch2\nand2Cmos.sch

module nand2Cmos( B,A,A,B,B,A,A,B,
  Nand2,Nand2,Nand2,Nand2);
  input B,A,A,B,B,A,A,B;
  output Nand2,Nand2,Nand2,Nand2;
  nmos #(107) nmos(w2,vss,B); // 1.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,B); // 2.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,A); // 2.0u 0.12u
  nmos #(121) nmos(Nand2,w2,A); // 1.0u 0.12u
  nmos #(121) nmos(Nand2,w5,A); // 1.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,A); // 2.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,B); // 2.0u 0.12u
  nmos #(107) nmos(w5,vss,B); // 1.0u 0.12u
  nmos #(107) nmos(w10,vss,B); // 1.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,B); // 2.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,A); // 2.0u 0.12u
  nmos #(121) nmos(Nand2,w10,A); // 1.0u 0.12u
  nmos #(121) nmos(Nand2,w13,A); // 1.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,A); // 2.0u 0.12u
  pmos #(121) pmos(Nand2,vdd,B); // 2.0u 0.12u
  nmos #(107) nmos(w13,vss,B); // 1.0u 0.12u
  pmos #(150) pmos(vdd,w17,w18); // 2.0u 0.12u
  pmos #(150) pmos(vdd,w17,w19); // 2.0u 0.12u
  pmos #(10) pmos(w21,vdd,w20); // 2.0u 0.12u
  pmos #(10) pmos(w21,vdd,w22); // 2.0u 0.12u
endmodule

// Simulation parameters in Verilog Format
always
#1000 B=~B;
#2000 A=~A;
#4000 A=~A;
#8000 B=~B;
#16000 B=~B;
#32000 A=~A;
#64000 A=~A;
#128000 B=~B;

// Simulation parameters
// B CLK 10 10
// A CLK 20 20
// A CLK 40 40
// B CLK 80 80
// B CLK 160 160
// A CLK 320 320
// A CLK 640 640
// B CLK 1280 1280
|
```

VHDL CODE

NAND_2X1 *Salouwe*

NAND_2X1.vhd

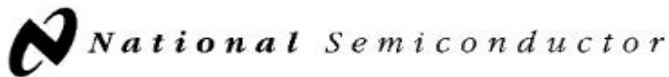
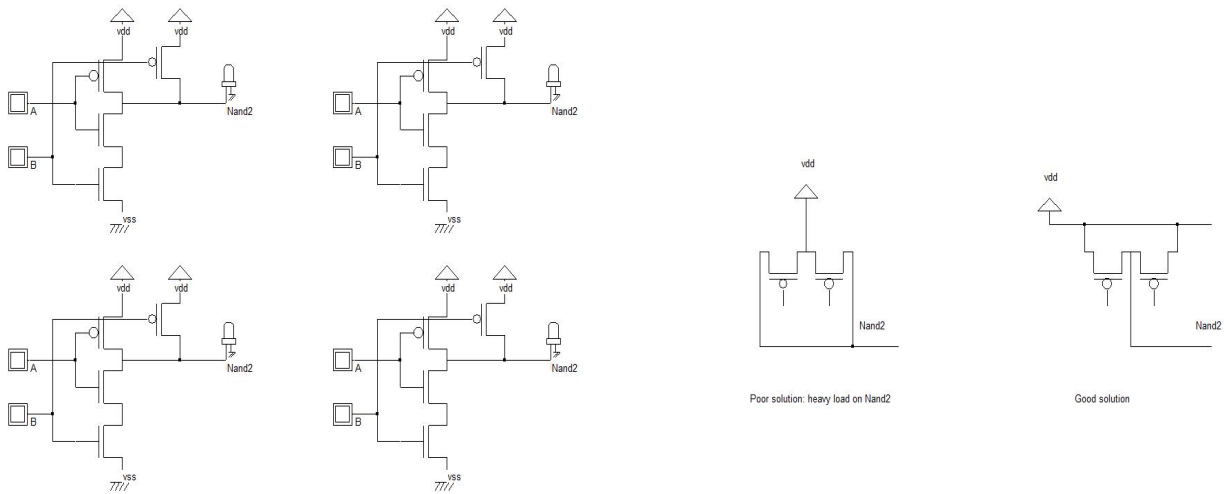
Tue Oct 17 11:28:59 2017

```

1  -----
2  -- Company:
3  -- Engineer:
4  --
5  -- Create Date:    11:12:29 10/17/2017
6  -- Design Name:
7  -- Module Name:    NAND_2X1 - Behavioral
8  -- Project Name:
9  -- Target Devices:
10 -- Tool versions:
11 -- Description:
12 --
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19  -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity NAND_2X1 is
33     Port ( A : in  STD_LOGIC;
34           B : in  STD_LOGIC;
35           Y : out STD_LOGIC);
36 end NAND_2X1;
37
38 architecture Behavioral of NAND_2X1 is
39
40 begin
41
42 Y<= A NAND B;
43
44 end Behavioral;
45
46

```

ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ – DATA SHEETS



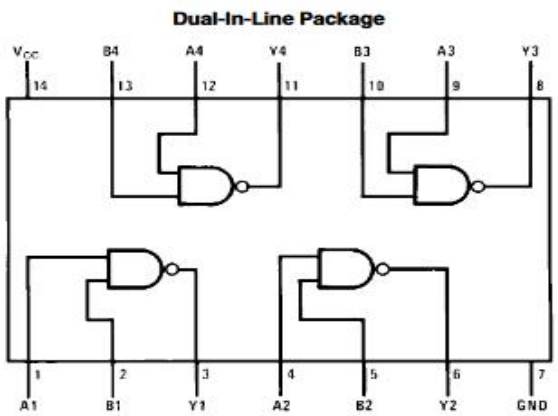
June 1989

DM54L00
Quad 2-Input NAND Gates

General Description

This device contains four independent gates each of which performs the logic NAND function.

Connection Diagram



Order Number DM54L00J or DM54L00W
See NS Package Number J14A or W14B

TL/F/6654-1

Function Table

$$Y = \overline{AB}$$

Inputs		Output
A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

H – High Logic Level
L – Low Logic Level

DM54L00 Quad 2-Input NAND Gates

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	8V
Input Voltage	5.5V
Operating Free Air Temperature Range	
DM57L	-55°C to +125°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54L00			Units
		Min	Nom	Max	
V _{CC}	Supply Voltage	4.5	5	5.5	V
V _{IH}	High Level Input Voltage	2			V
V _{IL}	Low Level Input Voltage			0.7	V
I _{OH}	High Level Output Current			-0.2	mA
I _{OL}	Low Level Output Current			2	mA
T _A	Free Air Operating Temperature	-55		125	°C

Electrical Characteristics over recommended operating free air temperature (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V _{OH}	High Level Output Voltage	V _{CC} = Min, I _{OH} = Max V _{IL} = Max	2.4	3.3		V
V _{OL}	Low Level Output Voltage	V _{CC} = Min, I _{OL} = Max V _{IH} = Min		0.15	0.3	V
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 5.5V			0.1	mA
I _{IH}	High Level Input Current	V _{CC} = Max, V _I = 2.4V			10	μA
I _{IL}	Low Level Input Current	V _{CC} = Max, V _I = 0.3V			-0.18	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	-3		-15	mA
I _{CCH}	Supply Current with Outputs High	V _{CC} = Max		0.44	0.8	mA
I _{CCL}	Supply Current with Outputs Low	V _{CC} = Max		1.16	2.04	mA

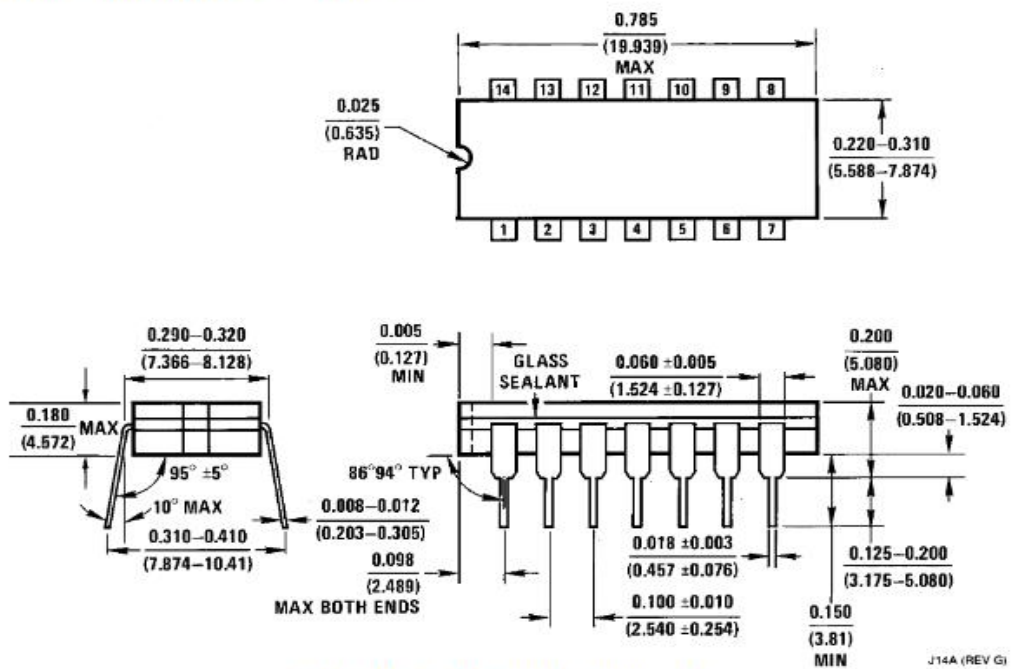
Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 2: Not more than one should be shorted at a time.

Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	Conditions	Min	Max	Units
t _{PLH}	Propagation Delay Low to High Level Output	R _L = 4 kΩ C _L = 50 pF		60	ns
t _{PHL}	Propagation Delay High to Low Level Output			60	ns

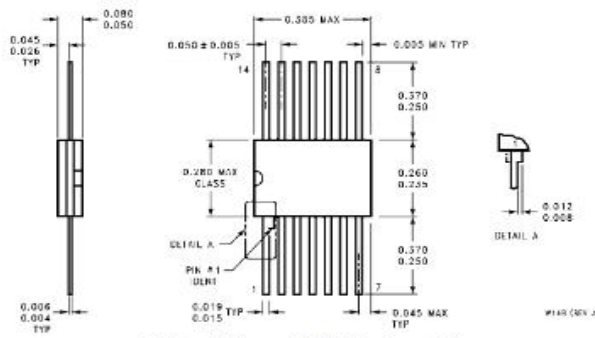
Physical Dimensions inches (millimeters)



14-Lead Ceramic Dual-In-Line Package (J)
Order Number DM54L00J
NS Package Number J14A

DM54L00 Quad 2-Input NAND Gates

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number DM54L00W
NS Package Number W14B

NOR GATE - VERILOG

```
// DSCH 2.7a
// 16/10/2021 10:28:26 πμ
// C:\Users\User\Documents\export dsch2\Export dsch2\nor2Cmos.sch

module nor2Cmos( A,B,b,B,A,A,B,B,
  A,a,Nor2,Nor2,Nor2,Nor2,Nor2);
  input A,B,b,B,A,A,B,B;
  input A,a;
  output Nor2,Nor2,Nor2,Nor2,Nor2;
  pmos #(121) pmos(Nor2,w1,B); // 2.0u 0.12u
  pmos #(107) pmos(w1,vdd,A); // 2.0u 0.12u
  nmos #(121) nmos(Nor2,vss,B); // 1.0u 0.12u
  nmos #(121) nmos(Nor2,vss,A); // 1.0u 0.12u
  nmos #(121) nmos(Nor2,vss,A); // 1.0u 0.12u
  nmos #(121) nmos(Nor2,vss,B); // 1.0u 0.12u
  pmos #(107) pmos(w9,vdd,A); // 2.0u 0.12u
  pmos #(121) pmos(Nor2,w9,B); // 2.0u 0.12u
  pmos #(121) pmos(Nor2,w10,B); // 2.0u 0.12u
  pmos #(107) pmos(w10,vdd,A); // 2.0u 0.12u
  nmos #(121) nmos(Nor2,vss,B); // 1.0u 0.12u
  nmos #(121) nmos(Nor2,vss,A); // 1.0u 0.12u
  nmos #(121) nmos(Nor2,vss,A); // 1.0u 0.12u
  nmos #(121) nmos(Nor2,vss,B); // 1.0u 0.12u
  pmos #(107) pmos(w17,vdd,A); // 2.0u 0.12u
  pmos #(121) pmos(Nor2,w17,B); // 2.0u 0.12u
  nor #(16) nor2(Nor2,a,b);
  nor #(9) nor2(w22,w20,w21);
  pmos #(17) pmos(w25,w23,w24); // 2.0u 0.12u
  nmos #(17) nmos(w25,vss,w26); // 1.0u 0.12u
  nmos #(136) nmos(vss,w25,w24); // 1.0u 0.12u
  pmos #(10) pmos(w23,vdd,w26); // 2.0u 0.12u
endmodule

// Simulation parameters in Verilog Format
always
#1000 A=~A;
#2000 B=~B;
#4000 b=~b;
#8000 B=~B;
#16000 A=~A;
#32000 A=~A;
#64000 B=~B;
#128000 B=~B;
#256000 A=~A;
#512000 a=~a;

// Simulation parameters
// A CLK 10 10
// B CLK 20 20
// b CLK 40 40
// B CLK 80 80
// A CLK 160 160
// A CLK 320 320
// B CLK 640 640
// B CLK 1280 1280
// A CLK 2560 2560
// a CLK 5120 5120
```

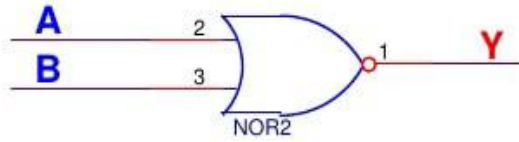
NOR VHDL CODE

e) **NOR Gate:** A logic gate whose output logic '1' if and only if all of its inputs are logic '0'

Truth table

Inputs		Output
A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

Logic diagram



$$Y = A \text{ NOR } B$$

$$= (A + B)'$$

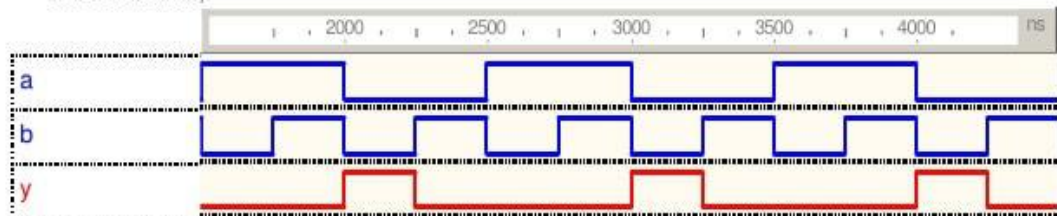
VHDL Code for NOR Gate:

```

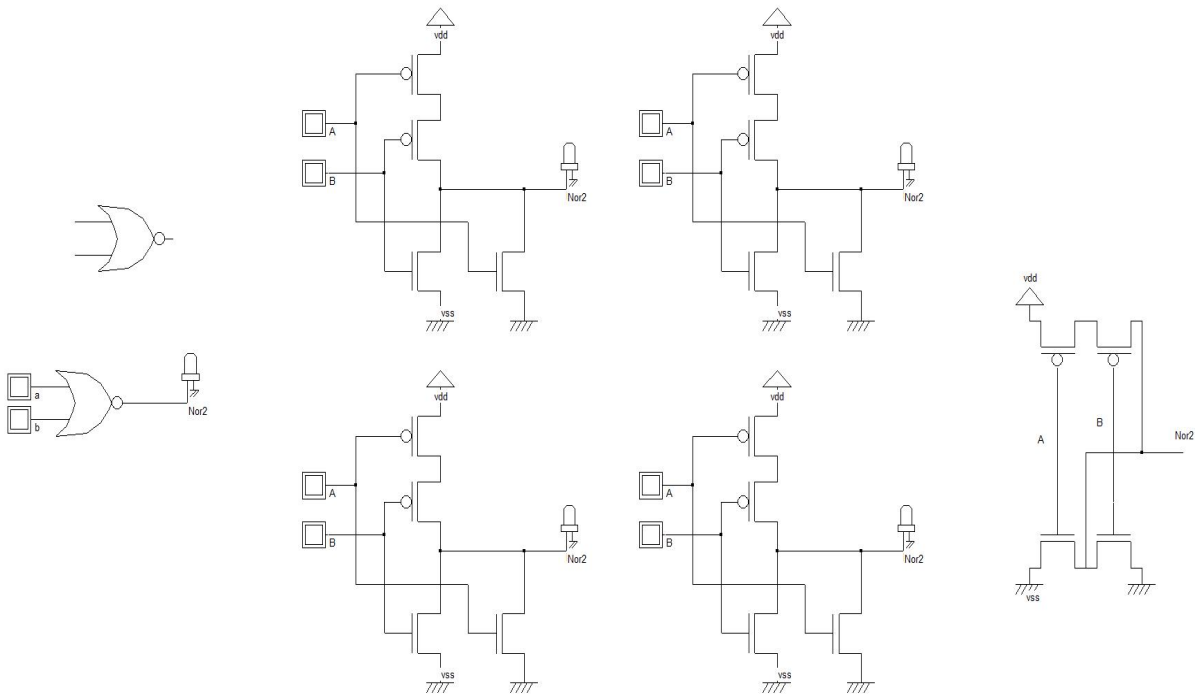
-----
-- File           :   norgate.vhd
-- Entity         :   norgate
-----
-- University     :   Vishweswaraia Technological University
                    :   Belgaum,Karnataka
-- Simulators     :   Mentor Graphics Modelsim OR Active HDL
-- Synthesizers   :   Xilinx ISE
-- Target Device  :   XC4000 Series
-----
-- Description    :   VHDL code to realize NOR gate functionality
-----
--The IEEE standard 1164 package, declares std_logic, etc.
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;
----- Entity Declarations -----
entity norgate is
    Port( A : in std_logic;
          B : in std_logic;
          Y : out std_logic
        );
end norgate;

architecture Behavioral of norgate is
begin
    Y<= A nor B ;
end Behavioral;

```



ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ – DATA SHEETS



May 1986
Revised March 2000

DM74LS02
Quad 2-Input NOR Gate

General Description

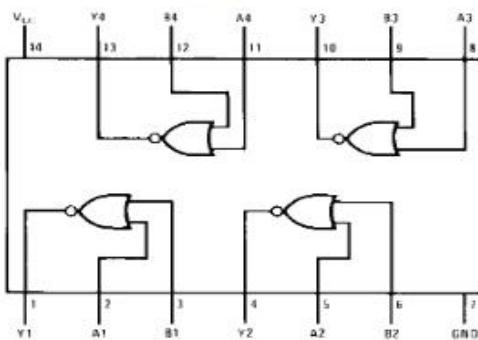
This device contains four independent gates each of which performs the logic NOR function.

Ordering Code:

Order Number	Package Number	Package Description
DM74LS02M	M14A	14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow
DM74LS02SJ	M14D	14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide
DM74LS02N	N14A	14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Devices also available in Tape and Reel. Specify by appending the suffix letter "X" to the ordering code.

Connection Diagram



Function Table

$$Y = \overline{A + B}$$

Inputs		Output
A	B	Y
L	L	H
L	H	L
H	L	L
H	H	L

H = HIGH Logic Level
L = LOW Logic Level

DM74LS02 Quad 2-Input NOR Gate

DM74LS02

Absolute Maximum Ratings(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			-0.4	mA
I _{OL}	LOW Level Output Current			8	mA
T _A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -18 mA			-1.5	V
V _{OH}	HIGH Level Output Voltage	V _{CC} = Min, I _{OH} = Max, V _{IL} = Max	2.7	3.4		V
V _{OL}	LOW Level Output Voltage	V _{CC} = Min, I _{OL} = Max, V _{IH} = Min		0.35	0.5	V
		I _{OL} = 4 mA, V _{CC} = Min		0.25	0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V			0.1	mA
I _{IH}	HIGH Level Input Current	V _{CC} = Max, V _I = 2.7V			20	μA
I _{IL}	LOW Level Input Current	V _{CC} = Max, V _I = 0.4V			-0.40	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 3)	-20		-100	mA
I _{CCH}	Supply Current with Outputs HIGH	V _{CC} = Max		1.6	3.2	mA
I _{CCL}	Supply Current with Outputs LOW	V _{CC} = Max		2.8	5.4	mA

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

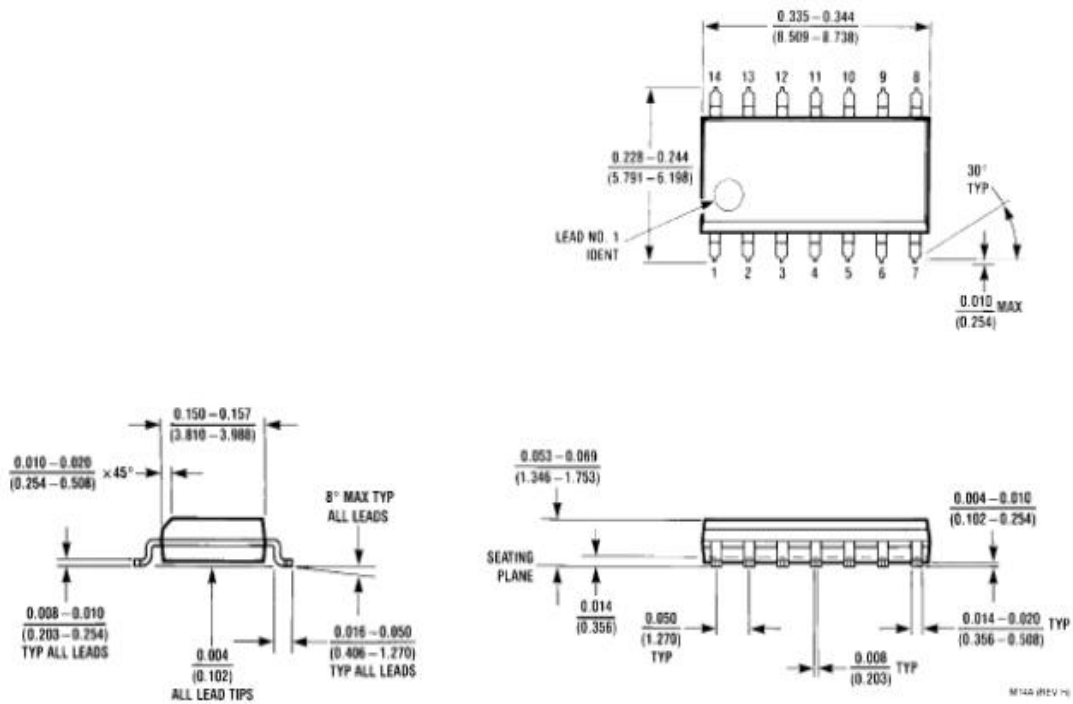
Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Switching Characteristics

at V_{CC} = 5V and T_A = 25°C

Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time LOW-to-HIGH Level Output		13		18	ns
t _{PHL}	Propagation Delay Time HIGH-to-LOW Level Output		10		15	ns

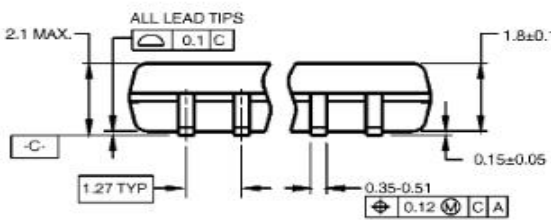
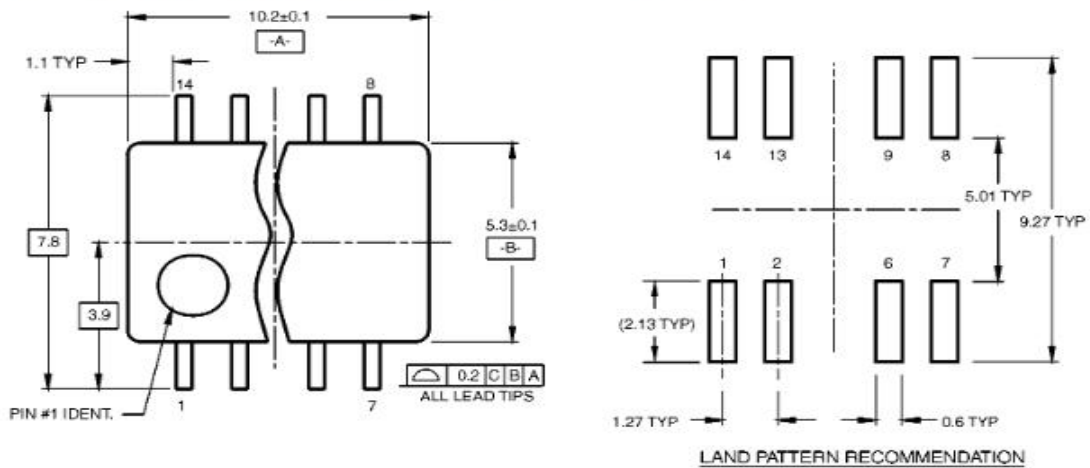
Physical Dimensions inches (millimeters) unless otherwise noted



14-Lead Small Outline Integrated Circuit (SOIC), JEDEC MS-120, 0.150 Narrow Package Number M14A

DM74LS02

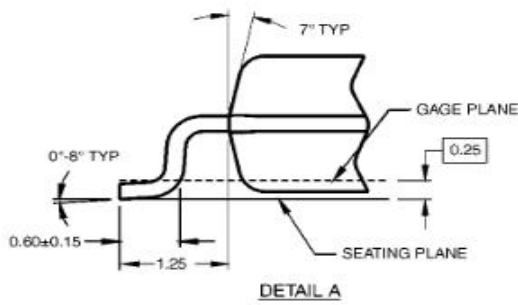
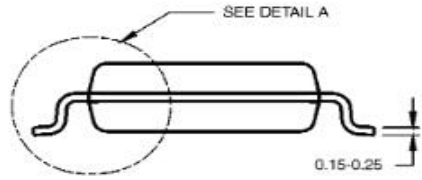
Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



DIMENSIONS ARE IN MILLIMETERS

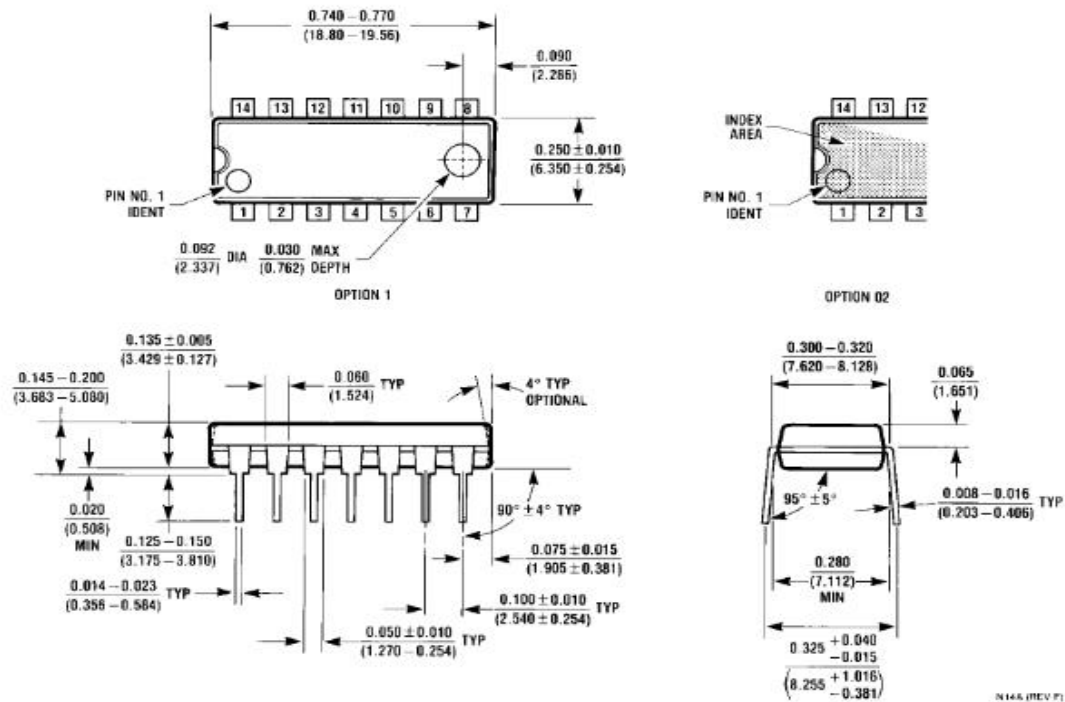
- NOTES:
 A. CONFORMS TO EIAJ EDR-7320 REGISTRATION, ESTABLISHED IN DECEMBER, 1998.
 B. DIMENSIONS ARE IN MILLIMETERS.
 C. DIMENSIONS ARE EXCLUSIVE OF BURRS, MOLD FLASH, AND TIE BAR EXTRUSIONS.

M14DRevB1



14-Lead Small Outline Package (SOP), EIAJ TYPE II, 5.3mm Wide Package Number M14D

Physical Dimensions inches (millimeters) unless otherwise noted (Continued)



14-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide Package Number N14A

N14A (REV F)

AND GATE

VERILOG CODE

```
// DSCH 2.7a
// 16/10/2021 10:40:03 mp
// C:\Users\User\Documents\export dsch2\Export dsch2\and2Cmos.sch

module and2Cmos( B,A,A,B,B,A,A,B,
  And2,And2,And2,And2);
  input B,A,A,B,B,A,A,B;
  output And2,And2,And2,And2;
  pmos #(114) pmos(And2,vdd,w2); // 2.0u 0.12u
  nand #(16) nand2(w7,w5,w6);
  nmos #(114) nmos(And2,vss,w2); // 1.0u 0.12u
  pmos #(128) pmos(w2,vdd,A); // 2.0u 0.12u
  nmos #(128) nmos(w2,w8,A); // 1.0u 0.12u
  not #(3) inv(w9,w7);
  and #(9) and2(w12,w10,w11);
  nmos #(107) nmos(w8,vss,B); // 1.0u 0.12u
  pmos #(128) pmos(w2,vdd,B); // 2.0u 0.12u
  pmos #(128) pmos(w14,vdd,B); // 2.0u 0.12u
  nmos #(107) nmos(w16,vss,B); // 1.0u 0.12u
  nmos #(128) nmos(w14,w16,A); // 1.0u 0.12u
  pmos #(128) pmos(w14,vdd,A); // 2.0u 0.12u
  nmos #(114) nmos(And2,vss,w14); // 1.0u 0.12u
  pmos #(114) pmos(And2,vdd,w14); // 2.0u 0.12u
  pmos #(114) pmos(And2,vdd,w19); // 2.0u 0.12u
  nmos #(114) nmos(And2,vss,w19); // 1.0u 0.12u
  pmos #(128) pmos(w19,vdd,A); // 2.0u 0.12u
  nmos #(128) nmos(w19,w22,A); // 1.0u 0.12u
  nmos #(107) nmos(w22,vss,B); // 1.0u 0.12u
  pmos #(128) pmos(w19,vdd,B); // 2.0u 0.12u
  pmos #(128) pmos(w24,vdd,B); // 2.0u 0.12u
  nmos #(107) nmos(w26,vss,B); // 1.0u 0.12u
  nmos #(128) nmos(w24,w26,A); // 1.0u 0.12u
  pmos #(128) pmos(w24,vdd,A); // 2.0u 0.12u
  nmos #(114) nmos(And2,vss,w24); // 1.0u 0.12u
  pmos #(114) pmos(And2,vdd,w24); // 2.0u 0.12u
endmodule

// Simulation parameters in Verilog Format
always
#1000 B=~B;
#2000 A=~A;
#4000 A=~A;
#8000 B=~B;
#16000 B=~B;
#32000 A=~A;
#64000 A=~A;
#128000 B=~B;

// Simulation parameters
// B CLK 10 10
// A CLK 20 20
// A CLK 40 40
// B CLK 80 80
// B CLK 160 160
// A CLK 320 320
// A CLK 640 640
// B CLK 1280 1280
```

VHDL CODE

ANDgate.vhd

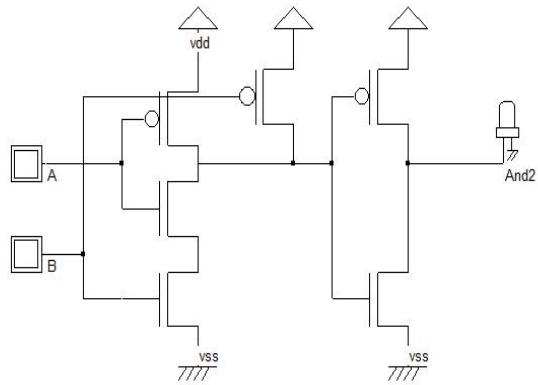
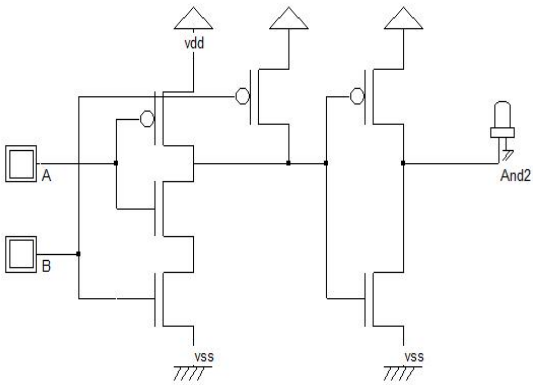
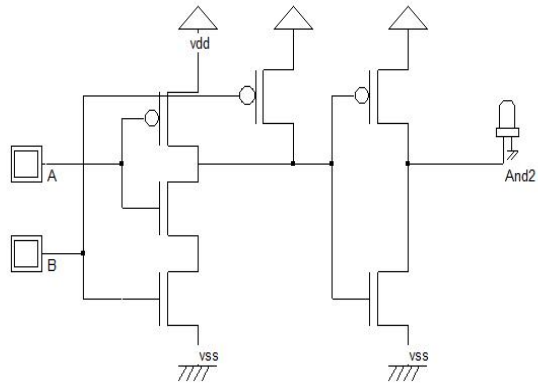
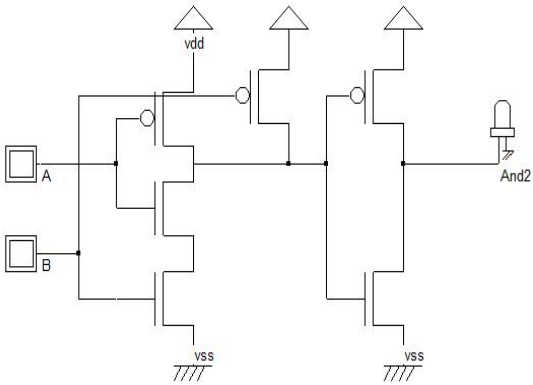
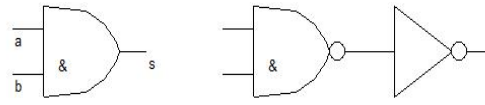
Sat Oct 16 08:39:52 2021

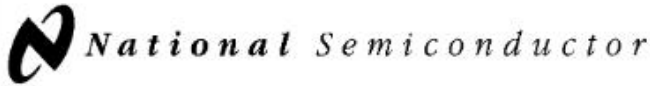
```

1  -----
2  -- Company:
3  -- Engineer:
4  --
5  -- Create Date:    15:11:09 04/04/2016
6  -- Design Name:
7  -- Module Name:    ANDgate - Behavioral
8  -- Project Name:
9  -- Target Devices:
10 -- Tool versions:
11 -- Description:
12 --
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 entity ANDgate is
24     Port ( A : in  STD_LOGIC;    -- AND gate input
25           B : in  STD_LOGIC;    -- AND gate input
26           C : in  STD_LOGIC;
27           D : in  STD_LOGIC;
28           E : in  STD_LOGIC;
29           F : out STD_LOGIC     -- AND gate output
30     );
31 end ANDgate;
32
33 architecture Behavioral of ANDgate is
34
35 begin
36
37     F <= A and B and C and D and E;    -- 2 input AND gate
38
39 end Behavioral;
40

```

ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ – DATA SHEETS





June 1989

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

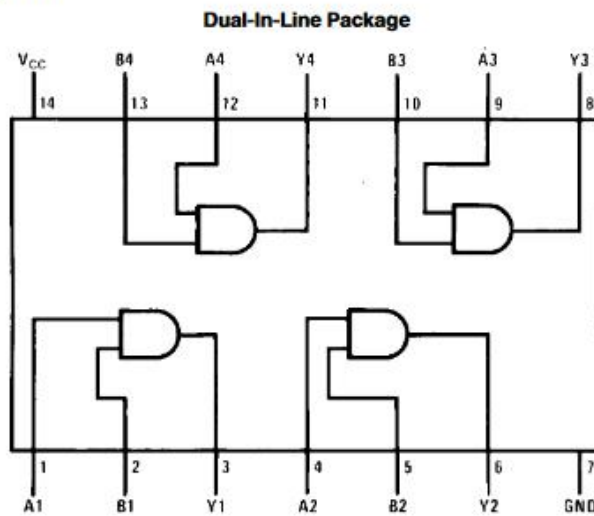
General Description

This device contains four independent gates each of which performs the logic AND function.

Features

- Alternate Military/Aerospace device (54LS08) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



TL/F/6347-1

Order Number 54LS08DMQB, 54LS08FMQB, 54LS08LMQB, DM54LS08J, DM54LS08W, DM74LS08M or DM74LS08N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = AB$$

Inputs		Output
A	B	Y
L	L	L
L	H	L
H	L	L
H	H	H

H = High Logic Level

L = Low Logic Level

54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54LS08			DM74LS08			Units
		Min	Nom	Max	Min	Nom	Max	
V _{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High Level Input Voltage	2			2			V
V _{IL}	Low Level Input Voltage			0.7			0.8	V
I _{OH}	High Level Output Current			-0.4			-0.4	mA
I _{OL}	Low Level Output Current			4			8	mA
T _A	Free Air Operating Temperature	-55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units	
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -18 mA			-1.5	V	
V _{OH}	High Level Output Voltage	V _{CC} = Min, I _{OH} = Max, V _{IH} = Min	DM54	2.5	3.4	V	
			DM74	2.7	3.4		
V _{OL}	Low Level Output Voltage	V _{CC} = Min, I _{OL} = Max, V _{IL} = Max	DM54		0.25	V	
			DM74		0.35		
			DM74		0.25		0.4
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V			0.1	mA	
I _{IH}	High Level Input Current	V _{CC} = Max, V _I = 2.7V			20	μA	
I _{IL}	Low Level Input Current	V _{CC} = Max, V _I = 0.4V			-0.36	mA	
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	DM54	-20		-100	mA
			DM74	-20		-100	
I _{CCH}	Supply Current with Outputs High	V _{CC} = Max		2.4	4.8	mA	
I _{CCL}	Supply Current with Outputs Low	V _{CC} = Max		4.4	8.8	mA	

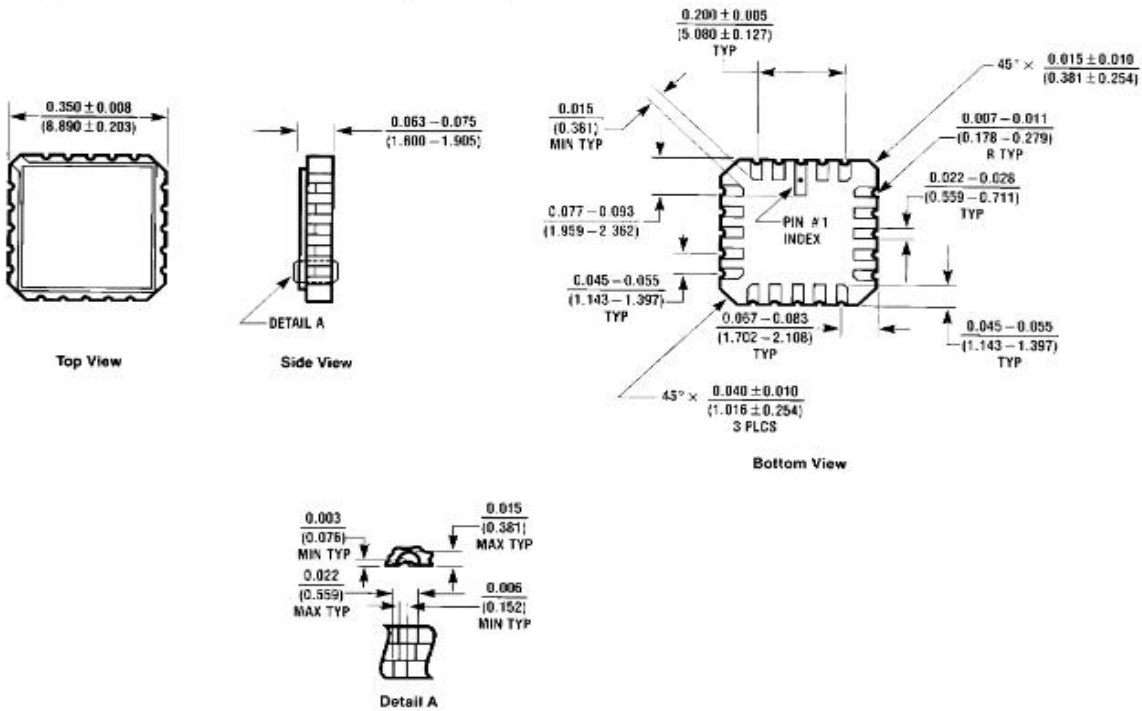
Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time Low to High Level Output	4	13	6	18	ns
t _{PHL}	Propagation Delay Time High to Low Level Output	3	11	5	18	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

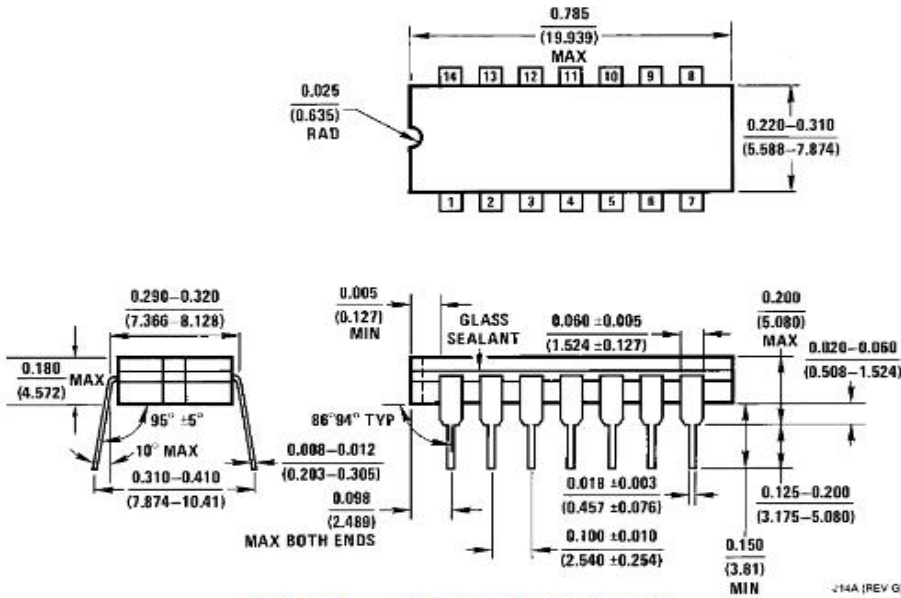
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Physical Dimensions inches (millimeters)



Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS08LMQB
NS Package Number E20A

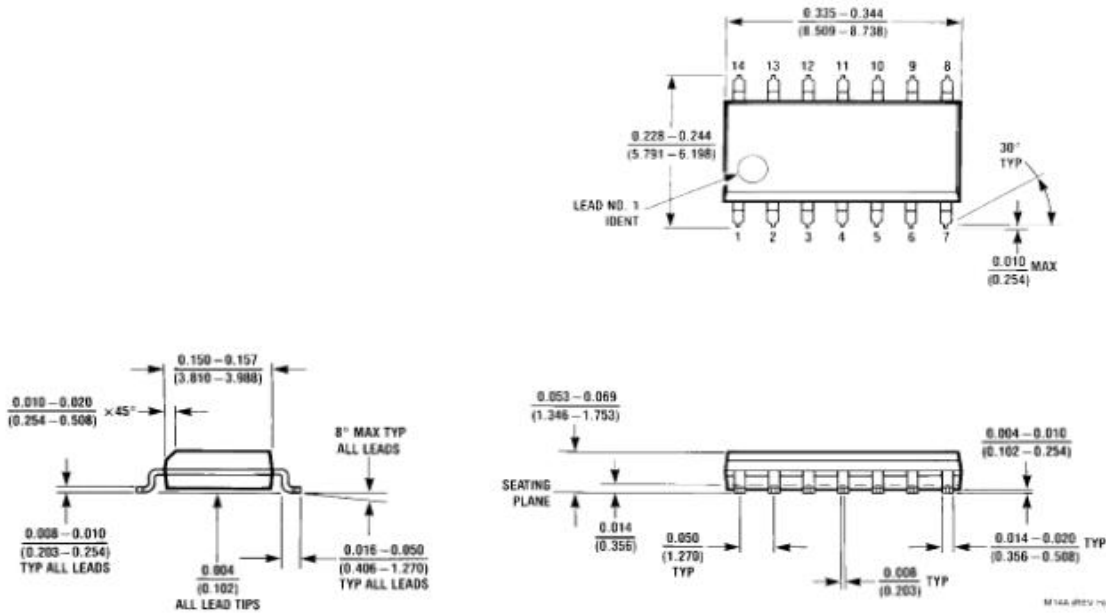
E20A (REV D)



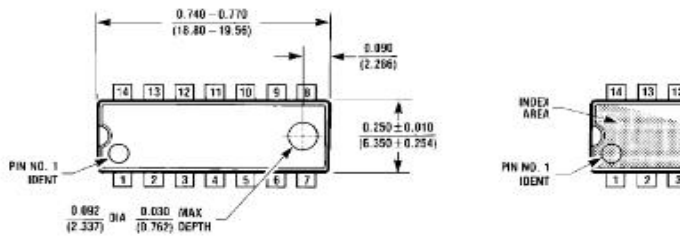
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS08DMQB or DM54LS08J
NS Package Number J14A

J14A (REV G)

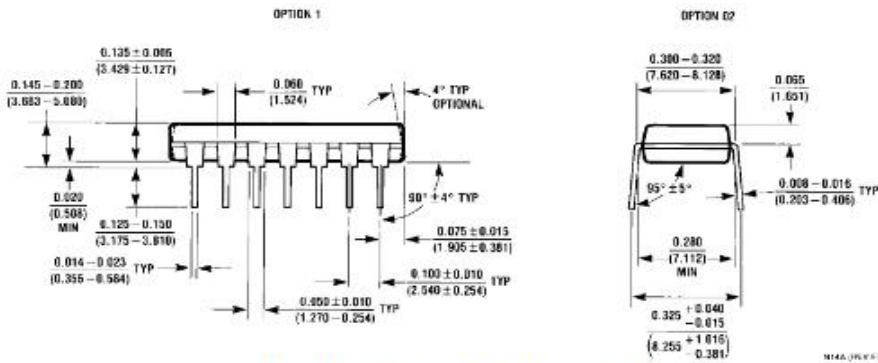
Physical Dimensions inches (millimeters) (Continued)



14-Lead Small Outline Molded Package (M)
Order Number DM74LS08M
NS Package Number M14A

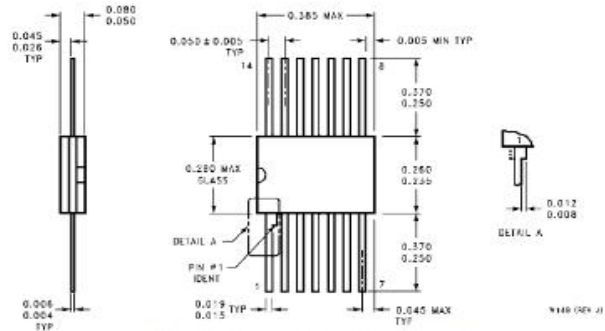


14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS08N
NS Package Number N14A



54LS08/DM54LS08/DM74LS08 Quad 2-Input AND Gates

Physical Dimensions inches (millimeters) (Continued)



14-Lead Ceramic Flat Package (W)
Order Number 54LS08FMQB or DM54LS08W
NS Package Number W14B

VERILOG

OR GATE

```
// DSCH 2.7a
// 16/10/2021 10:48:59 μμ
// C:\Users\User\Documents\export dsch2\Export dsch2\or2Cmos.sch

module or2Cmos( A,B,Or2);
  input A,B;
  output Or2;
  pmos #(10) pmos(w2,vdd,w1); // 2.0u 0.12u
  nmos #(10) nmos(w2,vss,w1); // 1.0u 0.12u
  nmos #(73) nmos(vss,w1,w3); // 1.0u 0.12u
  pmos #(45) pmos(vdd,w4,w3); // 2.0u 0.12u
  nor #(16) nor2(w7,w5,w6);
  pmos #(10) pmos(w4,w1,w8); // 2.0u 0.12u
  nmos #(128) nmos(w10,vss,A); // 1.0u 0.12u
  not #(3) inv(w11,w7);
  nmos #(128) nmos(w10,vss,B); // 1.0u 0.12u
  pmos #(107) pmos(w13,vdd,A); // 2.0u 0.12u
  pmos #(114) pmos(Or2,vdd,w10); // 2.0u 0.12u
  or #(9) or2(w17,w15,w16);
  pmos #(128) pmos(w10,w13,B); // 2.0u 0.12u
  nmos #(114) nmos(Or2,vss,w10); // 1.0u 0.12u
  nmos #(31) nmos(w1,vss,w8); // 1.0u 0.12u
endmodule

// Simulation parameters in Verilog Format
always
#1000 A=~A;
#2000 B=~B;

// Simulation parameters
// A CLK 10 10
// B CLK 20 20
|
```

VHDL CODE

b)OR Gate: A logic gate whose output is logic '0' if and only if all of its inputs are logic '0'.

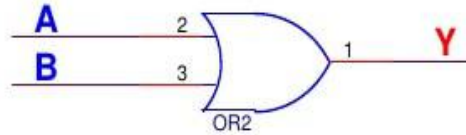
Truth table

Inputs		Output
A	B	Y
0	0	0
0	1	1
1	0	1
1	1	1

$$Y = A \text{ OR } B$$

$$= A + B$$

Logic diagram



VHDL Code for OR Gate:

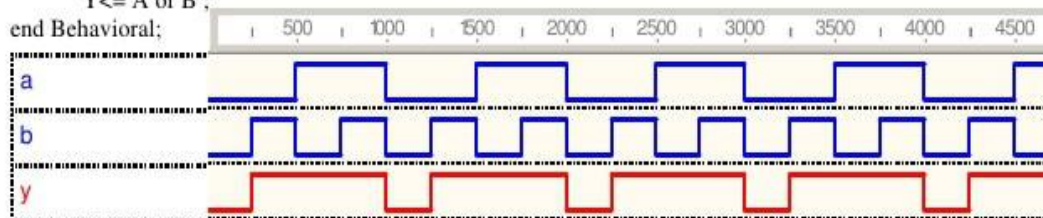
```

-----
-- File           :   orgate.vhd
-- Entity          :   orgate
-----
-- University     :   Vishweswaraia Technological University
                        Belgaum,Karnataka
-- Simulators     :   Mentor Graphics Modelsim OR Active HDL
-- Synthesizers   :   Xilinx ISE
-- Target Device  :   XC4000 Series
-----
-- Description    :   VHDL code to realize OR gate functionality
-----

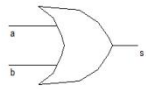
--The IEEE standard 1164 package, declares std_logic, etc.
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;
----- Entity Declarations -----
entity orgate is
    Port( A : in  std_logic;
          B : in  std_logic;
          Y : out std_logic
        );
end orgate;

architecture Behavioral of orgate is
begin
    Y<= A or B ;
end Behavioral;

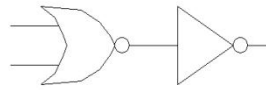
```



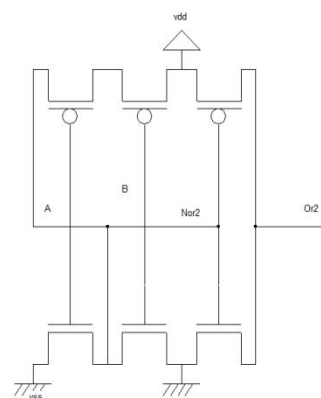
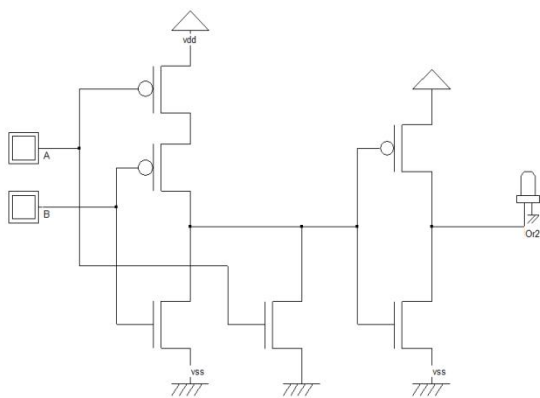
ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ – DATA SHEETS

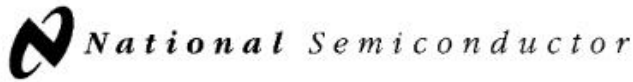


OR2 Gate



OR2 made from NOR2 and Inverter





May 1989

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

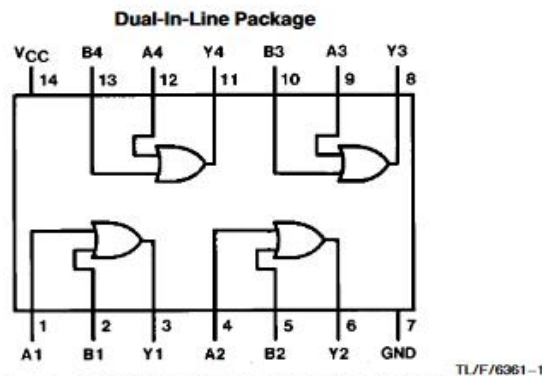
General Description

This device contains four independent gates each of which performs the logic OR function.

Features

- Alternate Military/Aerospace device (54LS32) is available. Contact a National Semiconductor Sales Office/Distributor for specifications.

Connection Diagram



Order Number 54LS32DMQB, 54LS32FMQB, 54LS32LMQB,
DM54LS32J, DM54LS32W, DM74LS32M or DM74LS32N
See NS Package Number E20A, J14A, M14A, N14A or W14B

Function Table

$$Y = A + B$$

Inputs		Output
A	B	Y
L	L	L
L	H	H
H	L	H
H	H	H

H = High Logic Level
L = Low Logic Level

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates

Absolute Maximum Ratings (Note)

If Military/Aerospace specified devices are required, please contact the National Semiconductor Sales Office/Distributors for availability and specifications.

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	
DM54LS and 54LS	-55°C to +125°C
DM74LS	0°C to +70°C
Storage Temperature Range	-65°C to +150°C

Note: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the "Electrical Characteristics" table are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	DM54LS32			DM74LS32			Units
		Min	Nom	Max	Min	Nom	Max	
V _{CC}	Supply Voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High Level Input Voltage	2			2			V
V _{IL}	Low Level Input Voltage			0.7			0.8	V
I _{OH}	High Level Output Current			-0.4			-0.4	mA
I _{OL}	Low Level Output Current			4			8	mA
T _A	Free Air Operating Temperature	-55		125	0		70	°C

Electrical Characteristics over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 1)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -18 mA			-1.5	V
V _{OH}	High Level Output Voltage	V _{CC} = Min, I _{OH} = Max V _{IH} = Min	DM54	2.5	3.4	V
			DM74	2.7	3.4	
V _{OL}	Low Level Output Voltage	V _{CC} = Min, I _{OL} = Max V _{IL} = Max	DM54	0.25	0.4	V
			DM74	0.35	0.5	
		I _{OL} = 4 mA, V _{CC} = Min	DM74	0.25	0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max, V _I = 7V			0.1	mA
I _{IH}	High Level Input Current	V _{CC} = Max, V _I = 2.7V			20	μA
I _{IL}	Low Level Input Current	V _{CC} = Max, V _I = 0.4V			-0.36	mA
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 2)	DM54	-20	-100	mA
			DM74	-20	-100	
I _{CCH}	Supply Current with Outputs High	V _{CC} = Max		3.1	6.2	mA
I _{CCL}	Supply Current with Outputs Low	V _{CC} = Max		4.9	9.8	mA

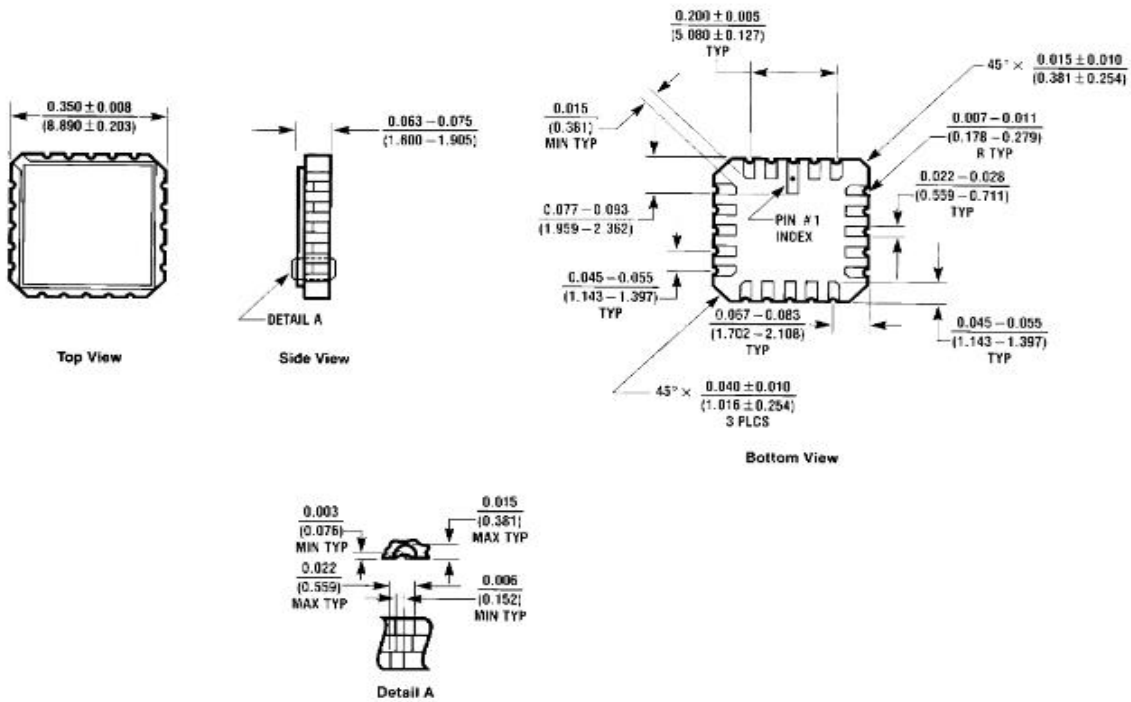
Switching Characteristics at V_{CC} = 5V and T_A = 25°C (See Section 1 for Test Waveforms and Output Load)

Symbol	Parameter	R _L = 2 kΩ				Units
		C _L = 15 pF		C _L = 50 pF		
		Min	Max	Min	Max	
t _{PLH}	Propagation Delay Time Low to High Level Output	3	11	4	15	ns
t _{PHL}	Propagation Delay Time High to Low Level Output	3	11	4	15	ns

Note 1: All typicals are at V_{CC} = 5V, T_A = 25°C.

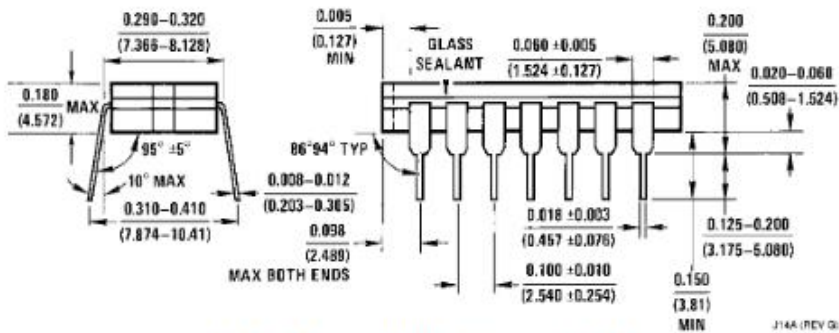
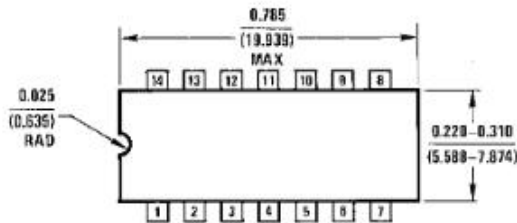
Note 2: Not more than one output should be shorted at a time, and the duration should not exceed one second.

Physical Dimensions inches (millimeters)



Ceramic Leadless Chip Carrier Package (E)
Order Number 54LS32LMQB
NS Package Number E20A

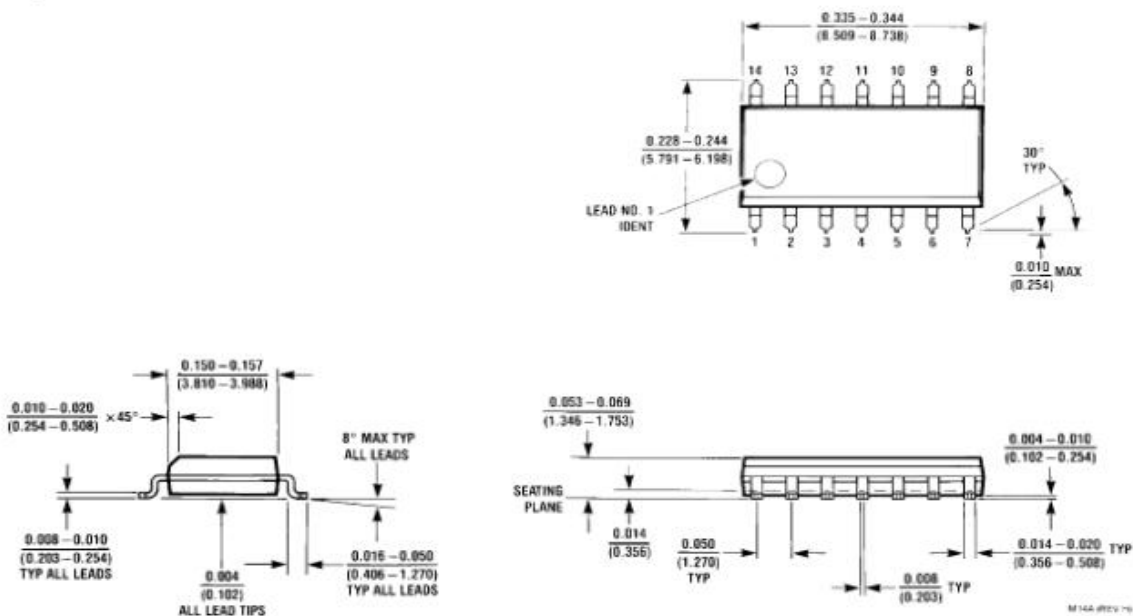
E20A (REV D)



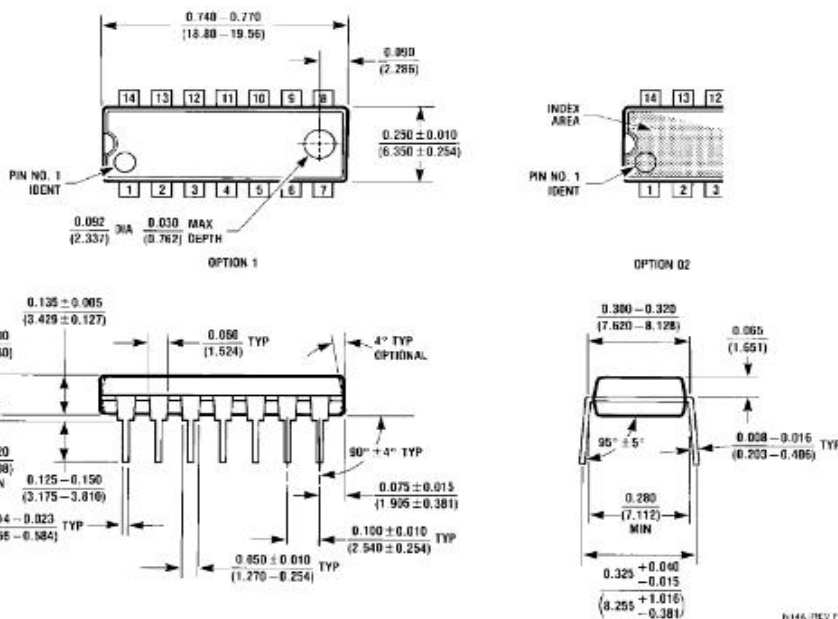
14-Lead Ceramic Dual-In-Line Package (J)
Order Number 54LS32DMQB or DM54LS32J
NS Package Number J14A

J14A (REV D)

Physical Dimensions inches (millimeters)

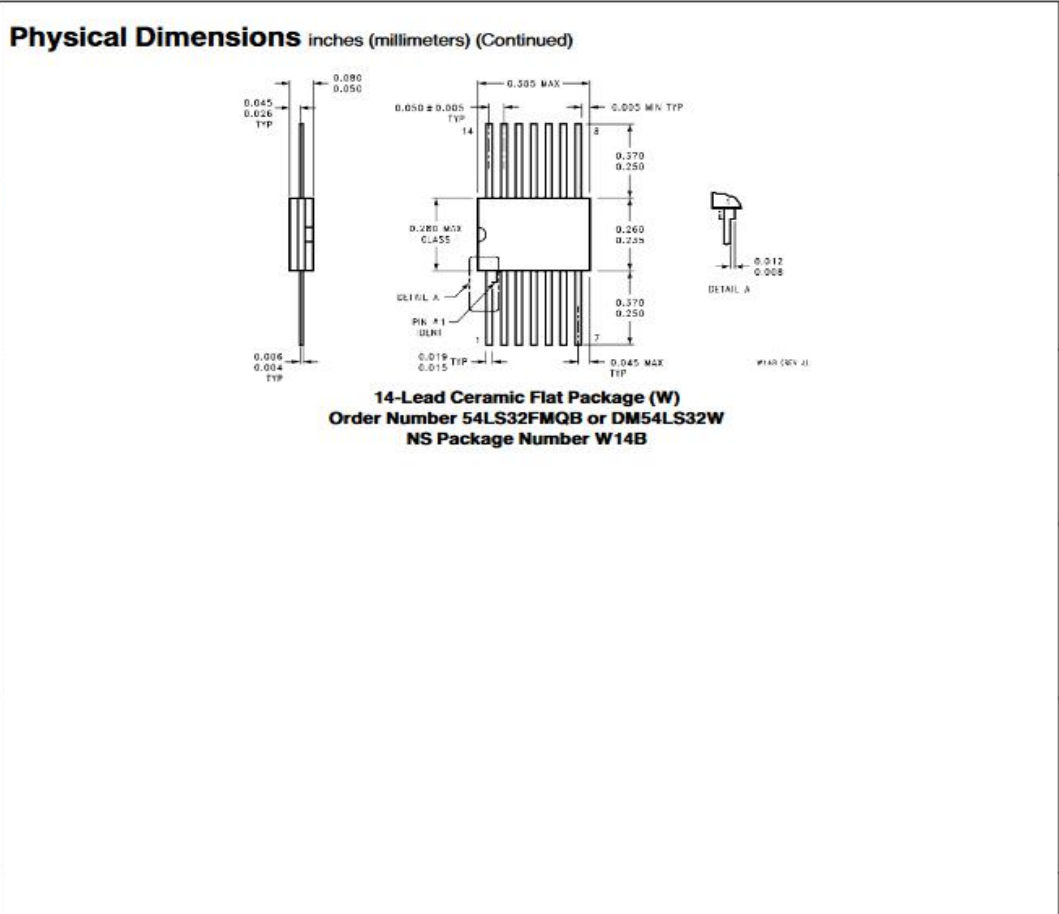


14-Lead Small Outline Molded Package (M)
Order Number DM74LS32M
NS Package Number M14A



14-Lead Molded Dual-In-Line Package (N)
Order Number DM74LS32N
NS Package Number N14A

54LS32/DM54LS32/DM74LS32 Quad 2-Input OR Gates



1. Λειτουργικοί χαρακτηριστικοί αλληλεπιδράσεις Κεντρικότητα

α) - Στάθμες εισόδου /εξόδου και περιθώριο ασφαλείας

β) - Οδηγητική ικανότητα

γ) - Καθυστέρηση διάδοσης και χρονική αστάθεια και καθυστέρηση

δ) - Καταπόνηση ισχύος

α) Στάθμες εισόδου /εξόδου και περιθώριο ασφαλείας

Έχουμε δύο άμεσες καταστάσεις, υψηλή (HIGH) και χαμηλή (LOW) που αντιστοιχούν σε αντίστοιχες σταθερές τάσης οι οποίες περιλαμβάνονται ως εξής:

i) • χαμηλή στάθμη είσοδου και περιλαμβάνεται ως V_{OL} (V output LOW)

ii) • υψηλή στάθμη είσοδου και περιλαμβάνεται ως V_{OH} (V output HIGH)

iii) χαμηλή στάση εισόδου και συμβολίζεται ως V_{IL} (V input LOW)

iv) υψηλή στάση εισόδου και συμβολίζεται ως V_{IH} (V input HIGH)

Τα ρεύματα εισόδου/εξόδου συμβολίζονται ως I_{in}

• Το ρεύμα που ρέει ~~από~~ προς ή από την έξοδο της οδηγούσας γεννή και συμβολίζεται με I_{OL} (I output LOW) για την χαμηλή κατάσταση.

• Το ρεύμα ^{εξόδου} για την υψηλή κατάσταση συμβολίζεται με I_{OH} (I output HIGH) ~~και υψηλή κατάσταση~~

• Τώρα ως προς την οδηγούμενη γεννή, το ρεύμα που ρέει από ή προς την είσοδό της και συμβολίζεται με I_{IL} (I input LOW) για την χαμηλή κατάσταση

• και το ρεύμα εισόδου για την υψηλή κατάσταση συμβολίζεται με I_{IH} (I input HIGH)

Σε σχέση με την διεύθυνση, το ρεύμα που ρέει προς τα εμπρός ή προς τα πίσω χαρακτηρίζεται θετικό (+), ενώ το ρεύμα που

ΡΕΞΙ ΕΙΣΤΕ ΚΑΤΑΛΥΣΤΕΣ ΑΡΧΗΤΙΚΟ(-)

ΞΕΡΩ ΚΑΙΝΕΣ ΑΡΧΕΣ
ΟΙ ΣΤΑΘΕΙ ΕΙΣΘΕ-ΕΞΘΕ ΚΑΤΑ-
-ΛΥΝΤΑΙ ΣΕ ΚΑΤΑΔΟΧΟΡΟΙΣ ΠΕΡΕΧΕΙ ΤΗΝ, ΤΑ
ΑΡΧΗΤΗ ΤΗΝ ΑΛΕΧΗ ΤΩ ΚΑΤΑΛΥΣΤΩ ΣΤΗ
ΕΙΣΘΕΣ ΘΑΡΕΝ.

Ο ΘΑΡΕΝ ΕΙΣΤΕ ΕΙΣΤΕ ΑΡΧΗΤΙΚΕΣ ΠΑ-
-ΡΑΡΕΣ ΣΤΗΝ ΘΑΡΕΝ ΔΕΙΤΕΡΙΑ ΤΩ ΚΑΤΑ-
-ΛΥΣΤΕΣ (ΑΡΧΗΤΕΣ). ΜΠΟΡΕΙ ΝΑ ΤΑΡΕΧΕΤΑΙ ΕΙΣΤΕ
ΑΝ ΕΙΣΤΕΡΙΑΝ, ΠΑΡΑΡΕΣ ΕΙΣΤΕ ΑΝ ΤΟ ΕΙΣΤΕ-
-ΡΙΑ ΝΑ ΚΑΤΑΛΥΣΤΕΣ ΤΩ ΜΠΟΡΕΙ ΝΑ ΑΡΧΗΤΕ-
-ΤΑΙ ΣΕ ΑΡΧΗΤΕΣ ΤΩ ΤΑΡΕΝ ΤΑΡΕΝΙΑΝ
ΣΕ ΘΑΡΕΝΙΑΝ ΑΝ ΜΠΟΡΕΙ ΝΑ ΜΠΟΡΕΙ
ΕΙΣΤΕ ΑΡΧΗΤΕΣ ΤΩ ΑΡΧΗΤΕΣ ΤΩ ΜΠΟΡΕΙ
ΜΠΟΡΕΝ.

Η ΠΑΡΑΡΕΣ «ΠΕΡΙΔΕΝ ΘΑΡΕΝ» ΚΑΙ ΕΙΣΤΕ-
-ΠΕΙ ΝΑ ΚΑΤΑΛΥΣΤΕ ΤΟ ΕΙΣΤΕΡΙΑΝ ΕΙΣΤΕ
ΘΑΡΕΝ ΣΤΗ ΤΩΝ ΕΙΣΤΕ ΜΠΟΡΕΙ ΝΑ ΕΙΣΤΕ
ΚΑΤΕ ΝΑ ΜΠΟΡΕ ΕΙΣΤΕΡΙΑΝ Η ΚΑΤΑΛΥΣΤΕ
ΤΩ ΤΩΝ ΤΩ ΕΙΣΤΕ

ΕΙΣΤΕ ΤΩ ΚΑΤΑΛΥΣΤΕ (LOW) ΠΕΡΙΔΕΝ
ΘΑΡΕΝ NML ΚΑΙ ΤΩ ΚΑΤΑΛΥΣΤΕ
(HIGH) ΠΕΡΙΔΕΝ ΘΑΡΕΝ NML

NML ΑΡΙΣΤΑ ΝΑ Η ΔΙΑΡΧΑ ΜΠΟΡΕΙ ΜΠΟΡΕ
ΤΩ ΜΠΟΡΕ ΤΩ ΜΠΟΡΕ ΤΩ ΜΠΟΡΕ
ΜΠΟΡΕ ΤΩ ΜΠΟΡΕ ΤΩ ΜΠΟΡΕ
ΝΑ ΚΑΤΑΛΥΣΤΕ ΣΕ ΤΩ ΜΠΟΡΕ ΤΩ

NMH ορίζεται ως η διαφορά μεγέθους μεταξύ της ελάχιστης συχνότητας των εισόδων και της ελάχιστης συχνότητας των εξόδων που αναπαριστάται από με σμπρέικεϊν πύλη.

$$NML = |V_{ILmax} - V_{OLmax}|$$

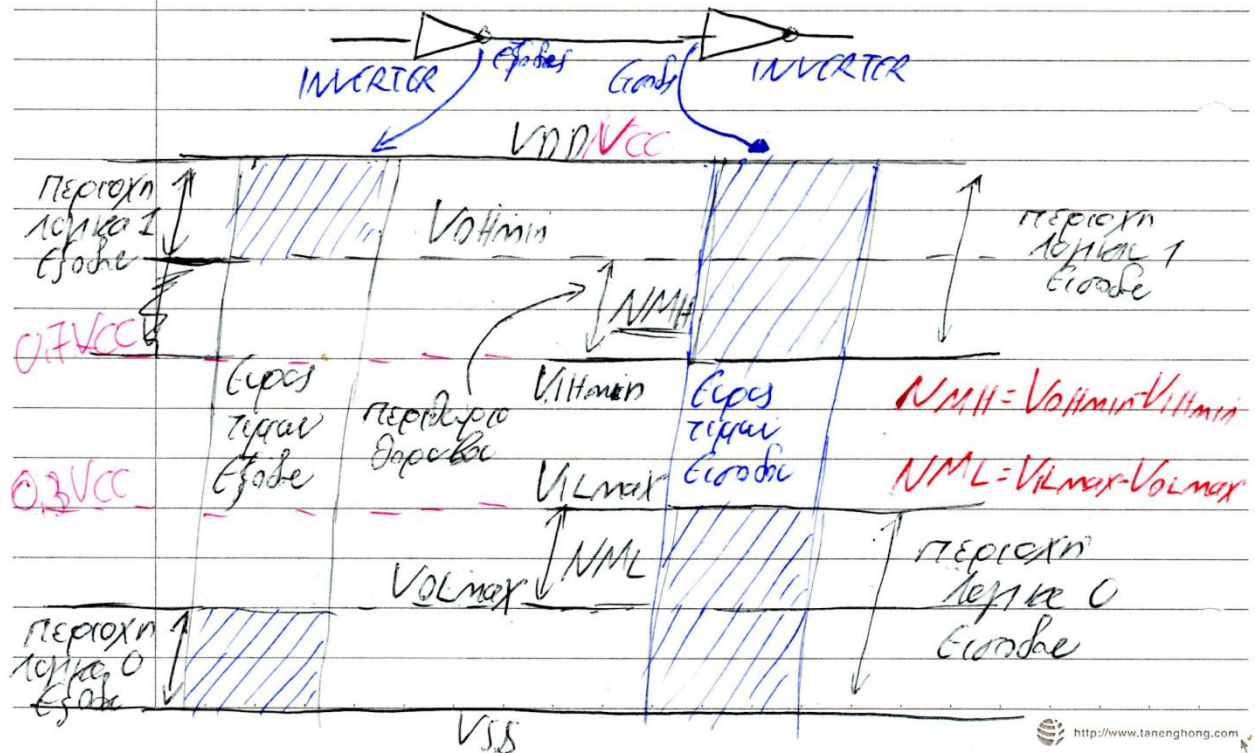
$$NMH = |V_{OHmin} - V_{IHmin}|$$

V_{IHmin} = ελάχιστη συχνότητα των εισόδων

V_{ILmax} = μέγιστη χαμηλή των εισόδων

V_{OHmin} = ελάχιστη συχνότητα των εξόδων

V_{OLmax} = μέγιστη χαμηλή των εξόδων



Α) Οδηγητική Ικανότητα

Με τη βοήθεια αυτών εισάγει το είδος και τα ορίσματα των κερδισμάτων, το οποίο μπορεί να αφεθεί στη βάση της χρηματικής κερδισμάτων, χωρίς να αλλάξει η χρηματική πληροφόρηση. Η οδηγική ικανότητα εφάρμοζεται από την μεγαλύτερη παροχή πληροφορίας της εφόδου.

Η εφόδος των χρηματικών κερδισμάτων αφορούν με τη τεχνολογία κατασκευής, που διαφέρει μια ανεξάρτητη αντιστάση εφόδου σε κάθε μία από τις δύο άκρες κατασκευών.

Η τιμή της ανεξάρτητης αντιστάσης εφόδου δεν είναι πάντα μπορεί να μεταλλάσσεται αδιάφορα με την τιμή εφόδου. Μπορεί να κερδιστεί από 5-50% αδιάφορα με τη τεχνολογία.

Η ικανότητα παροχής πληροφορίας της εφόδου είναι ανεξάρτητη αδιάφορα από τις τιμές της ανεξάρτητης εφόδου.

Στα datasheets μπορεί να βρεθεί το μέγιστο τιμή παροχής πληροφορίας με την τιμή $I_{OL(max)}$ και $I_{OH(max)}$ αντίστοιχα.

Σε περίπτωση με το οδηγούμενα κερδισματα αναζητούν με μεγάλη ποσότητα πληροφορίας από την ανεξάρτητη αντιστάση, τότε η οδηγική αντιστάση της εφόδου θα μεταλλάσσεται εκτός των

ορισμ δείξεως $V_{OH(min)}$ και $V_{OL(max)}$

Είναι στα φύλλα δεδομένων (datasheet) τα I_{OH} και την μέγιστη ροότητα ρεύματος που απαιτείται για την οδηγία και ενοθε σε υψηλή και χαμηλή κατάσταση $I_{IH(max)}$ και $I_{IL(max)}$ αντίστοιχα

Από τις μέγιστες τιμές των ρευσμάτων εισόδου και εξόδου βγαίνει το fan out που είναι ο μέγιστος αριθμός των εισόδων οφείων κυκλώματος, τις οποίες μπορεί να οδηγήσει με ασφάλεια για εφό

Για τας δύο οδηγίες καταστάσεις το fan out υπολογίζεται

$$FO(H) = \frac{I_{OH(max)}}{I_{IH(max)}} \quad FO(L) = \frac{I_{OL(max)}}{I_{IL(max)}}$$

Το μέγιστο fan out βγαίνει ~~από~~ το μικρότερο των $FO(L)$, $FO(H)$

Ουσιαστικά το fan out αντιστοιχεί στον αριθμό των πόρων, που αυξάνεται με την εφο του αντιστάσεων. Επομένως fan out σημαίνει μερικοί αριθμοί αντέχει να είναι ένα μέγιστο κυριζικό φέρτα.

Μια δαυτική πόλη έχει άπειρα αντιστάση εισόδου και μηδενική αντιστάση εξόδου

η καθυστέρηση διαδίου και χρονιά αιώσε και καθυσε

Την ταχύτερα δείκτης μιας κινδύνου-τες την χαρακτηρίζει η καθυστέρηση διαδίου (προσπερατοκον delay).

Η καθυστέρηση διαδίου ~~σε~~ είναι το χρόνο-υπερ διατήρη της αιδάης ~~σε~~ καταστάση τη εισάγει μέχρι να παύσει ανεξέλεγκτα την εφόδου της κινδύνου. Η καθυστέρηση διαδίου είναι περίπου σε 50% της αιδάης της στήλης

t_{PLH} = είναι η καθυστέρηση διαδίου από τη στιγμή της μεταβολής της εφόδου αν χαμηλή σε υψηλή κατάσταση

t_{PHL} = είναι η καθυστέρηση διαδίου από τη στιγμή της μεταβολής τη εφόδου αν υψηλή σε χαμηλή κατάσταση

t_{PLD} = είναι ο μέσος όρος της καθυστέρησης διαδίου

$$t_{PLD} = \frac{(t_{PLH} + t_{PHL})}{2}$$

Η καθυστέρηση διαδίου εξαρτάται σε π

τεχνολογία κατασκευής με ψηφιακή ιακτώ-
ρατες αλλά είναι επηρεάζεται και από την
τάση τροφοδοσίας VCC αλλά και από την
θερμοκρασία τα περιβάλλοντα ΤΑ.

Η καλύτερη διαλογή γίνεται με την
αύξηση της θερμοκρασίας περιβάλλοντα ΤΑ
και μειώνεται με την αύξηση της VCC
Είναι επηρεάζεται και από το είδος του
υφασί που θα υπάρχει στην είσοδο σε
κατασκευές

Η μέση καταπόνηση ~~δίνεται~~ δίνεται
από την σχέση

~~Η~~ καταπόνηση = $\frac{\text{Περίοδος της καταπόνησης}}{2 \times \text{Αριθμός κύκλων}}$

δ) καταπόνηση Ισχύος

Είναι η ισχύς η οποία καταναλώνε-
ται σε ένα ψηφιακό περιβάλλον ισχύος

Όταν έχουμε κάποια καταπόνηση έχουμε
μικρότερη είσοδο θερμοκρασίας, όπως κατασκευά-
στικα πρέπει να χυρουμε, με πολλές κώδικες
σε ένα οδικό περιβάλλον, από ποσοστό
σε κατάντη και ορίζεται η αειδιό-
ρητο και η ανάγκη να μειωθούν οι
μεταβατικές περιπτώσεις. Τέτοια καταπονήσεις

χαμηλές ισχύες προκύπτει να δώσε σε εφικτές λύσεις.

Η καταπόνηση ισχύος που αντιμετωπίζει αξίζει γραμμικά με το χωρητικό φορτίο. Αυτό οφείλεται σε ρεύμα που χρειάζεται για να φορτιστεί και να ελαφρύνει αυτή τη χωρητικότητα.

Τρεις παράγοντες αλληλεπιδρούν στη καταπόνηση ισχύος, το χωρητικό φορτίο, η τάση τροφοδοσίας V_{DD} και η σχετική ελάττωση f . Η παρακάτω σχέση μας δίνει αυτό που περιγράφει

$$P = k \cdot C \cdot V_{DD}^2 \cdot f$$

k = τεχνολογικές παράμετροι (εξαρτάται από την τεχνολογία)

C = χωρητικό φορτίο (F)

V_{DD} = τάση τροφοδοσίας (V)

f = σχετική ελάττωση (Hz)

Εάν έχουμε ηχηστά εισόδους με 50% duty cycle η μέση καταπόνηση ισχύος είναι:

$$P_D = V_{CC} \left(\frac{I_{CCH} + I_{CCL}}{2} \right)$$

I_{CCH} = ρεύμα τροφοδοσίας για κατάσταση HIGH

I_{CCL} = ρεύμα τροφοδοσίας για κατάσταση LOW

2. Τεχνικό χαρακτηριστικό

Ποσότητα ολοκληρώσεων

Όταν λέμε μικρομεσαία ολοκληρώματα εννοούμε τα μικρά και μεσαία με ημερήσια ή τα οποία τα οποία με ημερήσια κατασκευάζονται ως chips

SSI = Small scale έως 10 gates

MSI = medium scale έως 1000 gates

LSI = Large scale έως χίλια, χίλια gates

VLSI = Very large scale integration, αρκετές εκατοντάδες χίλια gates

ULSI (ULTRA LSI) πάνω από 500.000 gates

BSI (Billion SI) πάνω από 100 εκατομμύρια gates

BSI (Billion SI) πάνω από 100.000.000 gates

Τεχνολογία κατασκευής

Εκεί όπου τα gate κατασκευάζονται ως

RTL = Resistor Transistor Logic

DTL = Diode Transistor Logic

TTL = Transistor Transistor Logic

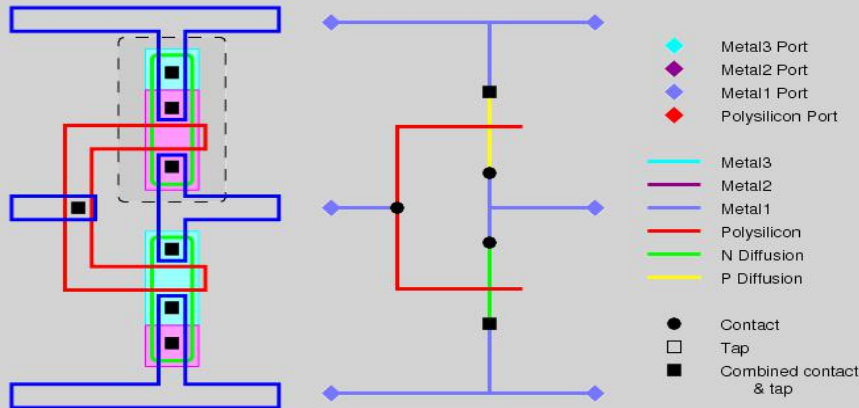
No.

Date

ECL = Emitter Coupled Logic
MOS = Metal Oxide Semiconductor
CMOS = Complementary MOS

STICK DIAGRAMS

• **Mask Layout and Stick Diagram for a CMOS Inverter**



• **Transistors**

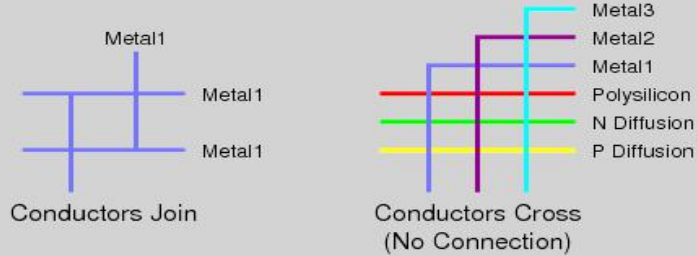
A transistor exists where a polysilicon stick crosses either an N diffusion stick (NMOS transistor) or a P diffusion stick (PMOS transistor).



• **Implied Connections and Crossovers**

Where two sticks of the same colour meet or cross there is always a connection.

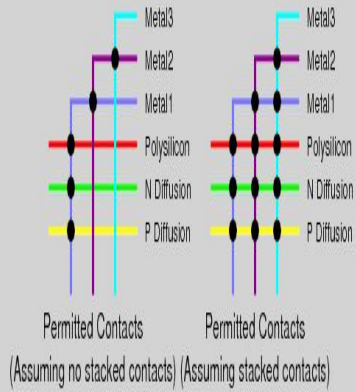
Where two sticks of different colours meet or cross there is no implied connection.



Note that N and P diffusions may not cross each other. Where poly crosses diffusion we have a transistor (see above).

Contacts

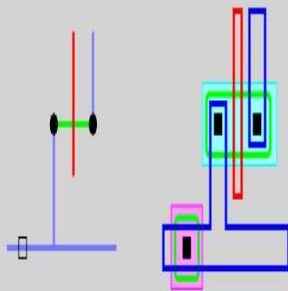
A connection may be explicitly defined using a filled black circle. In the general case a connection is permitted where the mask layers will be separated by just one layer of insulator (through which a "contact cut" may be defined). Thus P diffusion may connect to Metal1 but not directly to Metal2.



In a process where stacked contacts are permitted, we may draw a contact between non-adjacent conductors; e.g. between Poly and Metal3, in which case the connection to intermediate layers (Metal1 and Metal2) is implied.

Taps

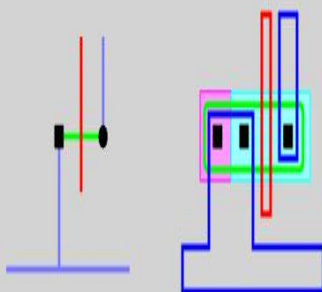
The tap represents a connection to something we can't see; either the N-Well (not shown on our stick diagram) or the wafer substrate. A tap is defined using an unfilled black square. Here there will be only one conductor crossing the square (Metal1 power or ground rail).



An N-Well Tap is inferred where the connection is from a power rail while a Substrate Tap is inferred where the connection is from a ground rail.

Combined Contacts & Taps

We can often save space by using a combined contact and tap. Here the tap shares the same Active Area as the contact. A combined contact and tap is defined using a filled black square in place of the source contact (filled black circle).



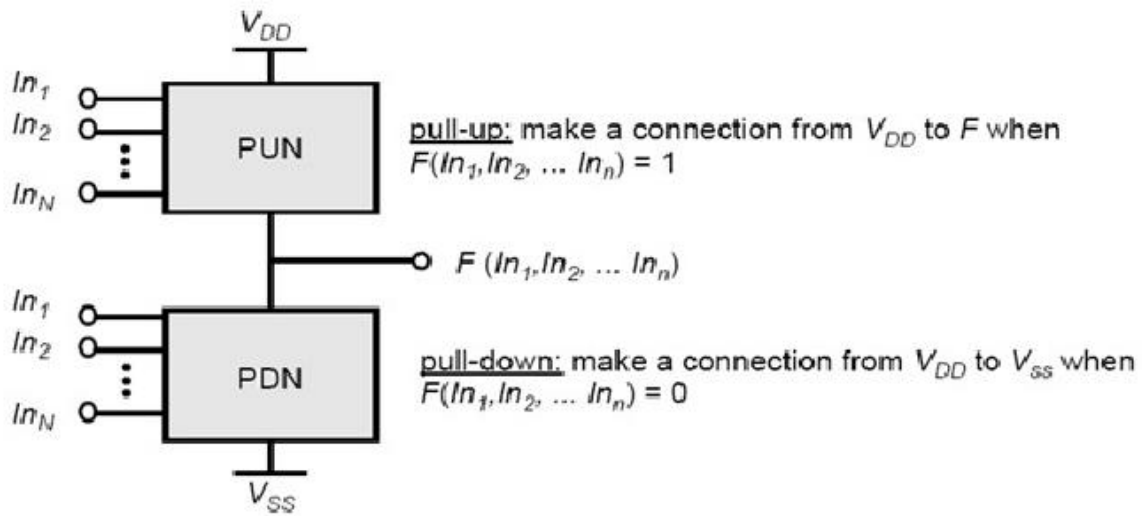
A combined contact and tap can only be used where the end of a diffusion stick coincides with a contact to the power or ground rail.

Stick Diagram Colour Code

P diffusion	: Yellow/Brown	Metal1	: Blue
N diffusion	: Green	Metal2	: Magenta/Purple
Polysilicon	: Red	Metal3	: Cyan/Turquoise
Contacts & Taps	: Black		

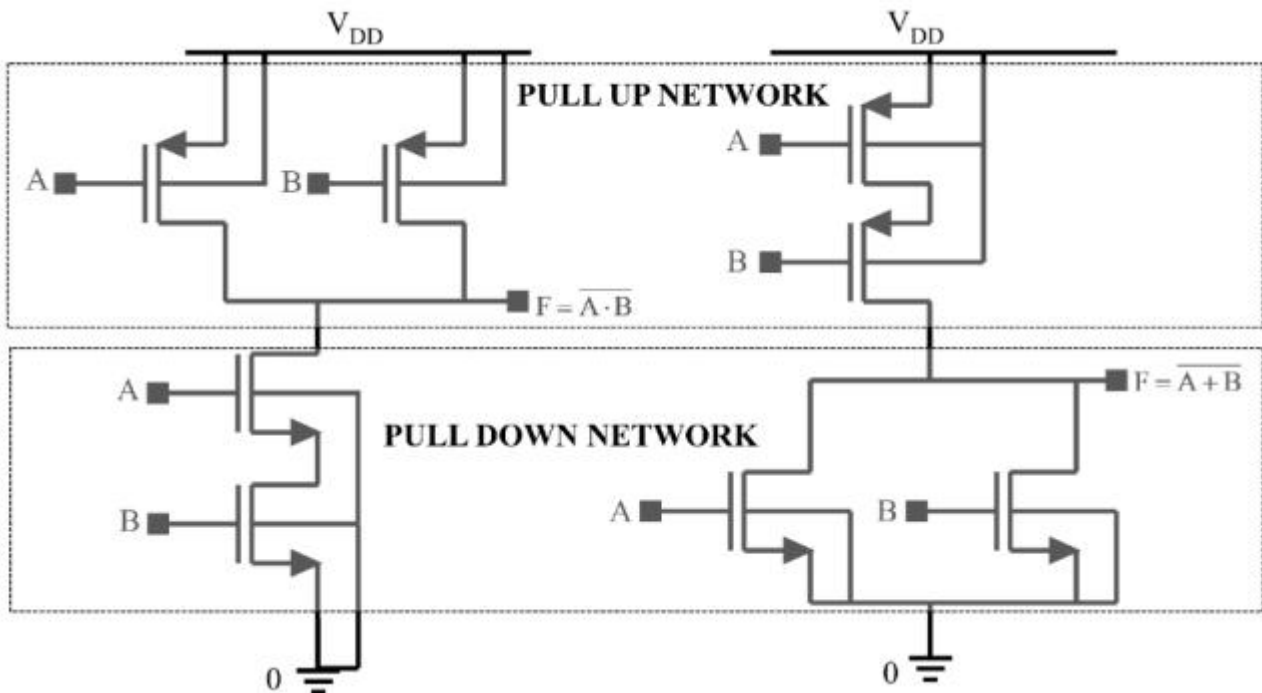
If you deviate from these colours you will need to include a key with your stick diagram.

PULL UP NETWORK – PULL DOWN NETWORK



A general representation of PUN and PDN.

EXAMPLES OF PULL UP AND PULL DOWN NETWORKS



ΣΤΟ ΝΜΟΣ ΕΧΟΥΜΕ ΡΟΗ ΗΛΕΚΤΡΟΝΙΩΝ ΚΑΙ ΣΤΟ ΡΜΟΣ ΕΧΟΥΜΕ ΡΟΗ ΟΠΩΝ

ΤΟ **ΝΜΟΣ** ΑΓΕΙ ΟΤΑΝ Η ΠΥΛΗ G ΕΙΝΑΙ ΣΤΟ ΛΟΓΙΚΟ '1' , ΕΝΩ ΤΟ **ΡΜΟΣ** ΑΓΕΙ ΟΤΑΝ Η ΠΥΛΗ G ΕΙΝΑΙ ΣΤΟ ΛΟΓΙΚΟ '0'. ΤΑ **ΡΜΟΣ** ΠΑΡΑΓΟΥΝ ΙΣΧΥΡΟΥΣ ΑΣΣΟΥΣ (1), ΚΑΙ ΤΑ **ΝΜΟΣ** ΠΑΡΑΓΟΥΝ ΙΣΧΥΡΑ ΜΗΔΕΝΙΚΑ (0).

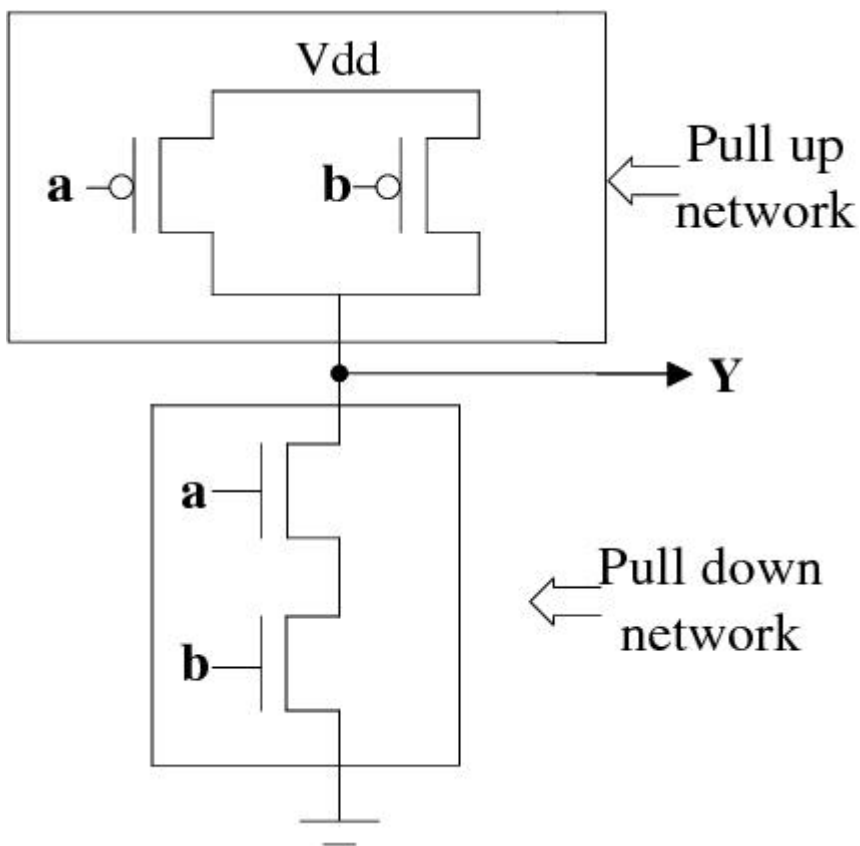
ΝΜΟΣ ΣΕ ΣΕΙΡΑ ΕΙΝΑΙ ΠΥΛΗ AND .

ΝΜΟΣ ΠΑΡΑΛΛΗΛΑ ΕΙΝΑΙ ΠΥΛΗ OR .

ΡΜΟΣ ΣΕ ΣΕΙΡΑ ΕΙΝΑΙ ΠΥΛΗ NOR

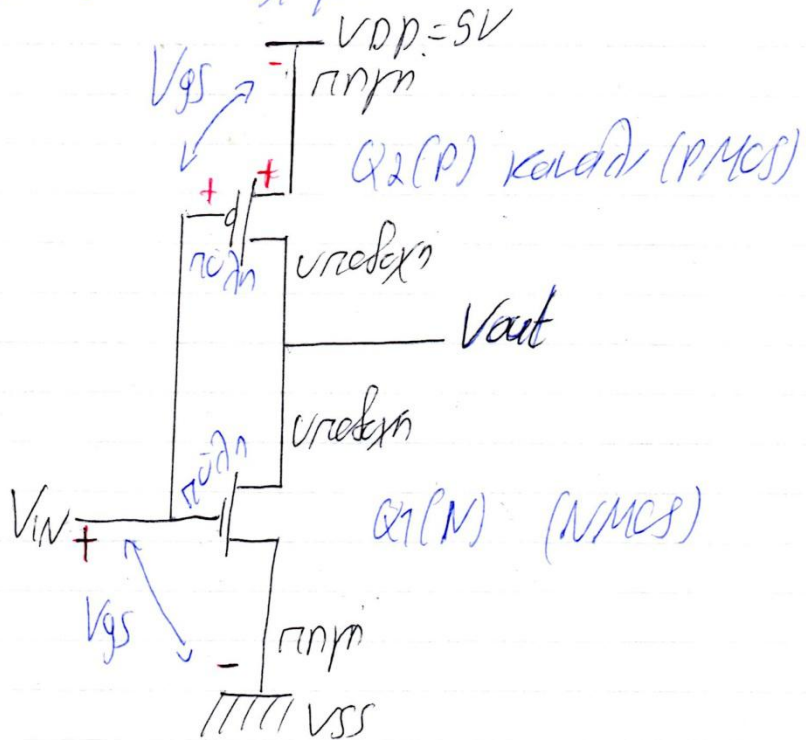
ΡΜΟΣ ΠΑΡΑΛΛΗΛΑ ΕΙΝΑΙ ΠΥΛΗ NAND

ΠΥΛΗ NAND 2 ΕΙΣΟΔΩΝ



ΑΝΤΙΣΤΡΟΦΑΣ ΟΜΟΣ

Γιας άριστες αντιστροφές απαιτείται μια είδη τρανζίστορ από τα κάθε τύπο, μηδενίζεται όταν φαιίνεται από το σχήμα



Η τάση V_{IN} είναι $0.0V$. Τότε το τρανζίστορ NMOS Q_1 είναι σε απενεργοποίηση (OFF) διότι η τάση $V_{gs} = 0V$ αλλά το τρανζίστορ PMOS Q_2 είναι σε κέρνο (ON) άρα η έξοδος της τάσης $V_{gs} = -5V$ (εμφανίζεται ~~πάλι~~ μια μικρή αντιστροφή μεταξύ πηγής - εισόδου). Η τάση $V_{out} = 5V$ λογικό (H('1'))

Εάν η τάση $V_{IN} = 5V$ (λογική Η('1')). Τότε
 το τρανζίστορ NMOS Q1 είναι συν κερύ
 (ON) διότι η $V_{GS} = +5V$, αλλά το PMOS
 Q2 τρανζίστορ είναι σε απενεργο (OFF)
 αφού η δική του τάση $V_{GS} = 0V$
 Μετά το πηνίο και υφάρκην του Q1 εμφανί-
 ζεται μια μικρή αντίσταση. Η τάση εξόδου
 $V_{out} = 0V$ (λογική L('0'))

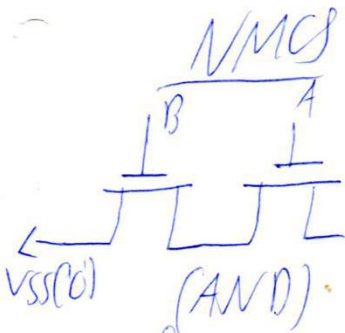
- Τρανζίστορ NMOS συνδέονται σε σειρά αντίστοιχα σε μια αλυσίδα AND
 Αν όλες οι εισόδους είναι σε υψηλή κατάσταση τότε ο ανδρας σε σειρά έχει και η τρέφεται με τάση στα πόδια αλλιώς μη σειρά στο άδικο.

Τα τρανζίστορ NMOS στα είναι αλληλοεξάρτητα παράλληλα αναπαριστούν μια αλυσίδα OR

- Τα τρανζίστορ PMOS σε σειρά έχει αν και οι δύο εισόδους είναι σε χαμηλή κατάσταση αντιπροσωπεύονται για αλυσίδα NOR
 $A=0, B=0$

$$\overline{(A \cdot B)} = \overline{A} + \overline{B}$$

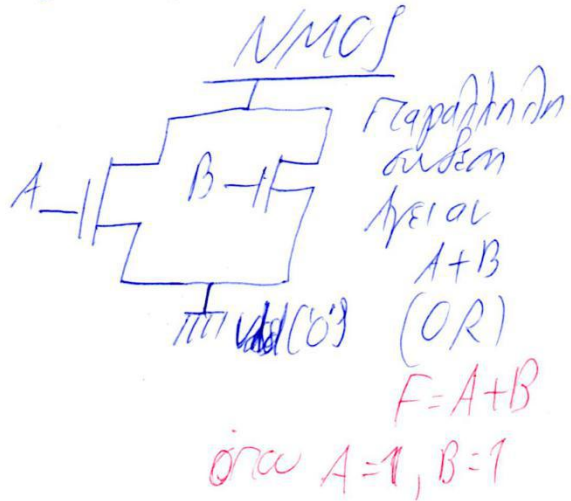
Τα τρανζίστορ PMOS παράλληλα δίνουν $(\overline{A} + \overline{B}) = \overline{A \cdot B}$ $(A=0, B=0)$
 τη αλυσίδα NAND



Συνδεδεμένα σε σειρά
 Απεί αν $A \cdot B$

$$F = A \cdot B$$

$$A=1, B=1$$



Παράλληλα σύνδεση
 Απεί αν $A+B$

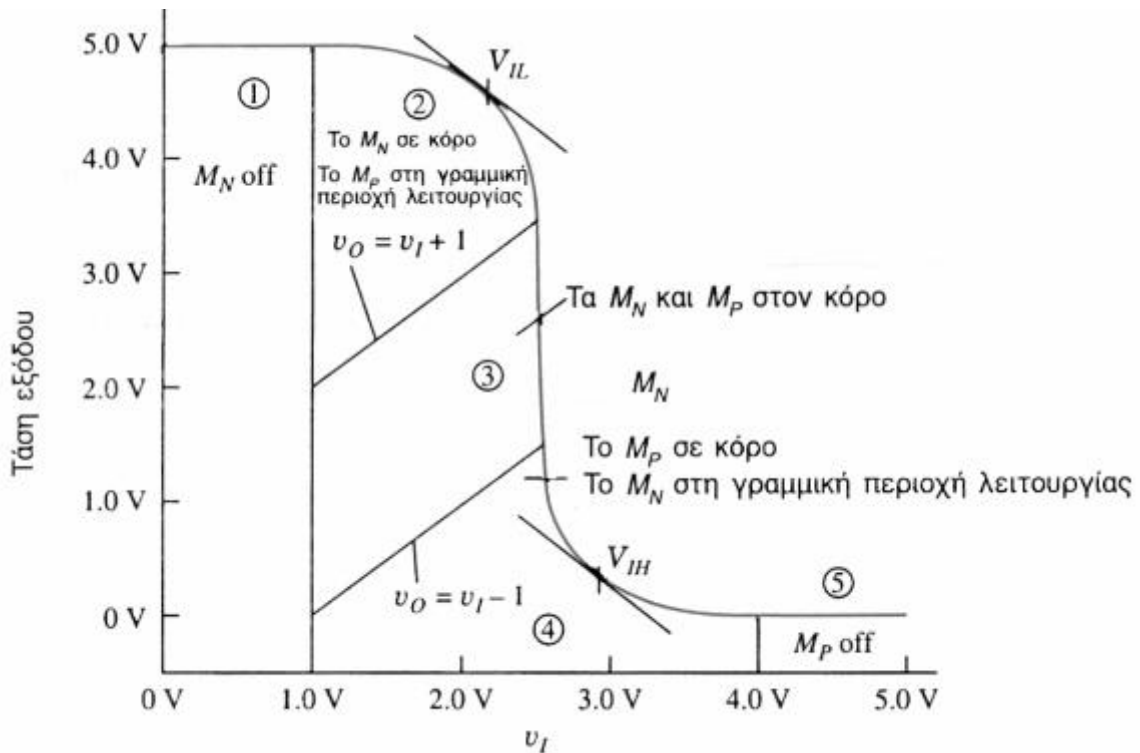
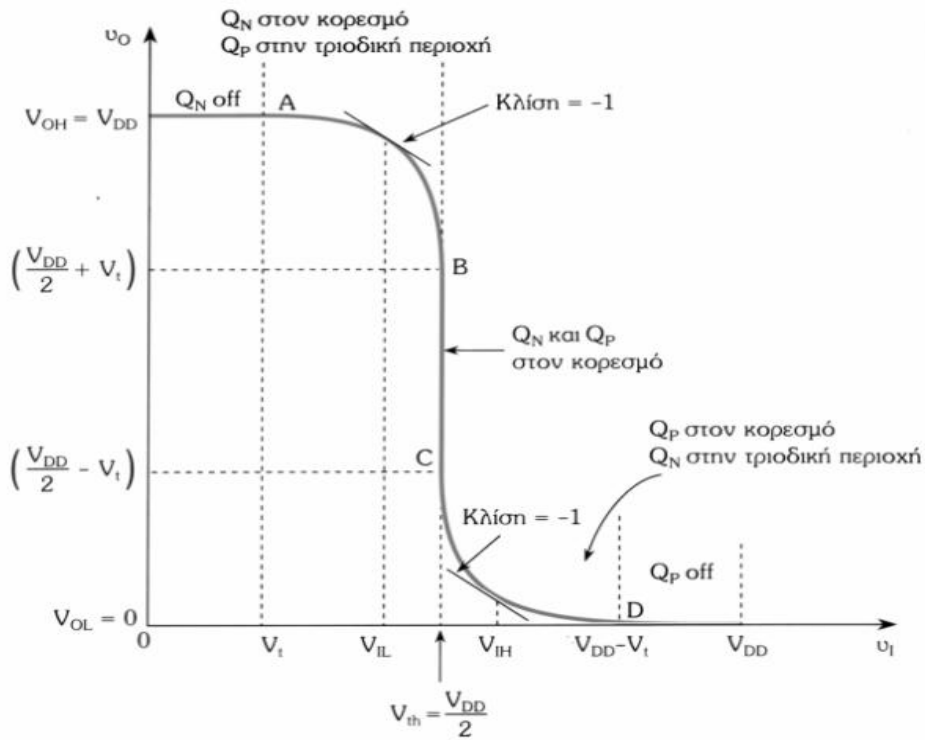
$$F = A+B$$

Όταν $A=1, B=1$

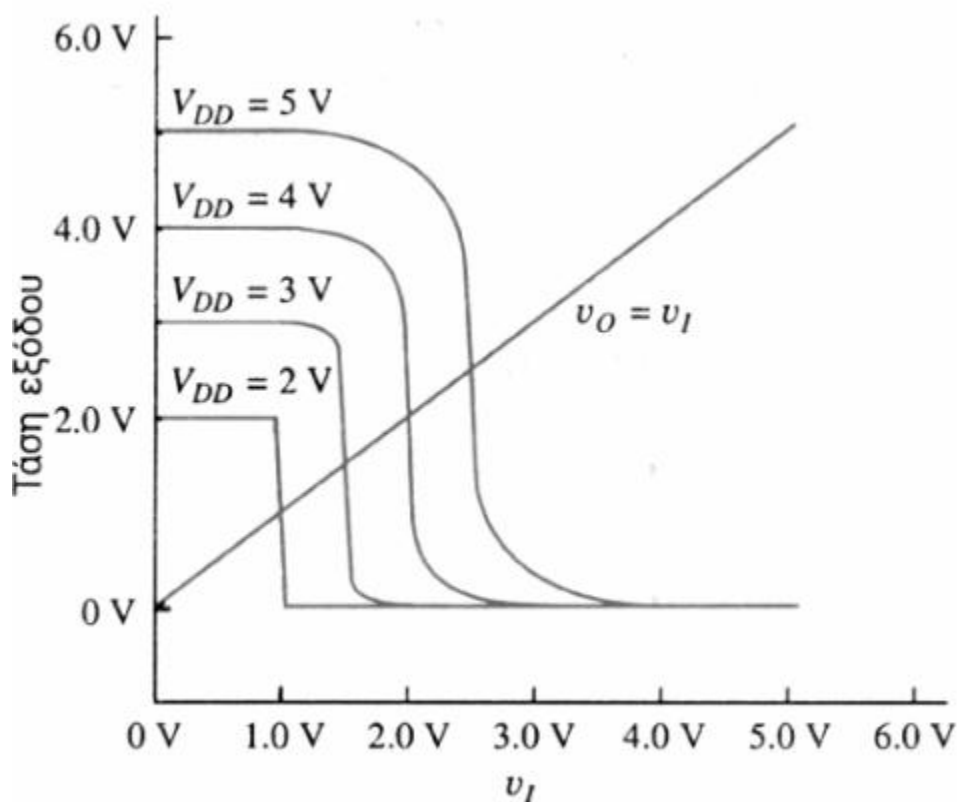
ΧΑΡΑΚΤΗΡΙΣΤΙΚΗ ΜΕΤΑΦΟΡΑΣ ΤΑΣΗΣ

Η μεταβατική συμπεριφορά ενός στατικού CMOS αντιστροφέα περιγράφεται πλήρως από την χαρακτηριστική μεταφοράς τάσεως

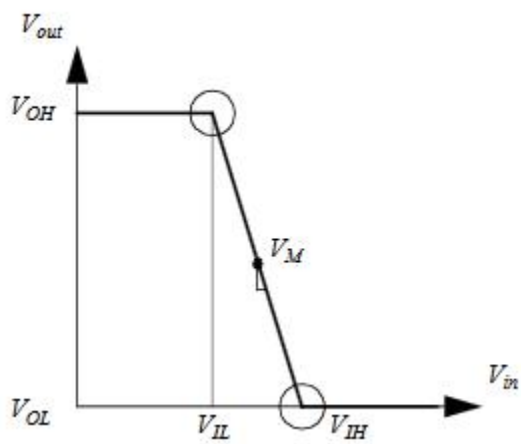
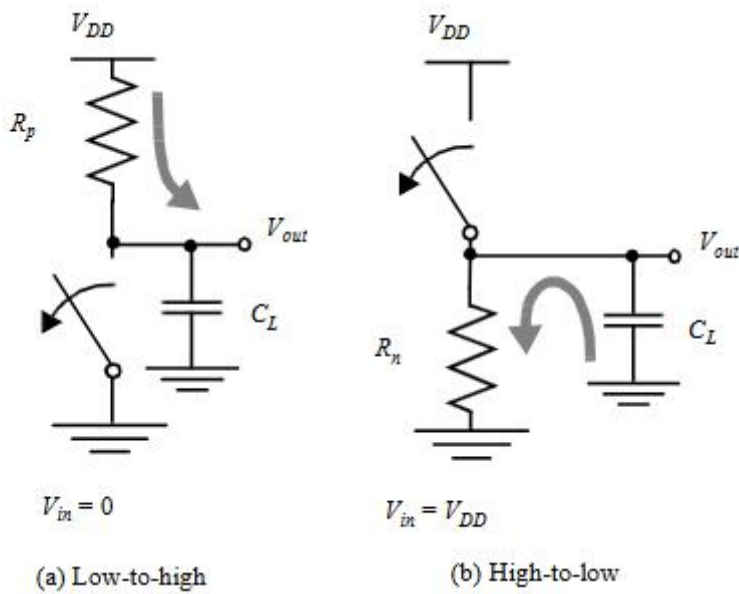
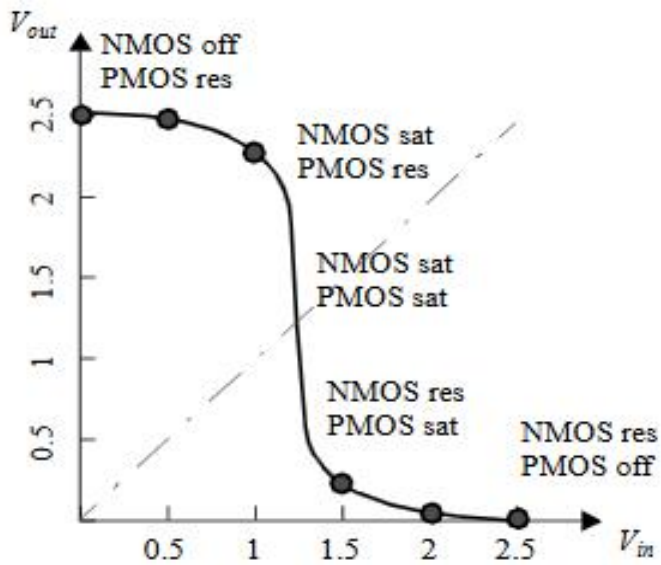
Διακρίνουμε 5 περιοχές λειτουργίας



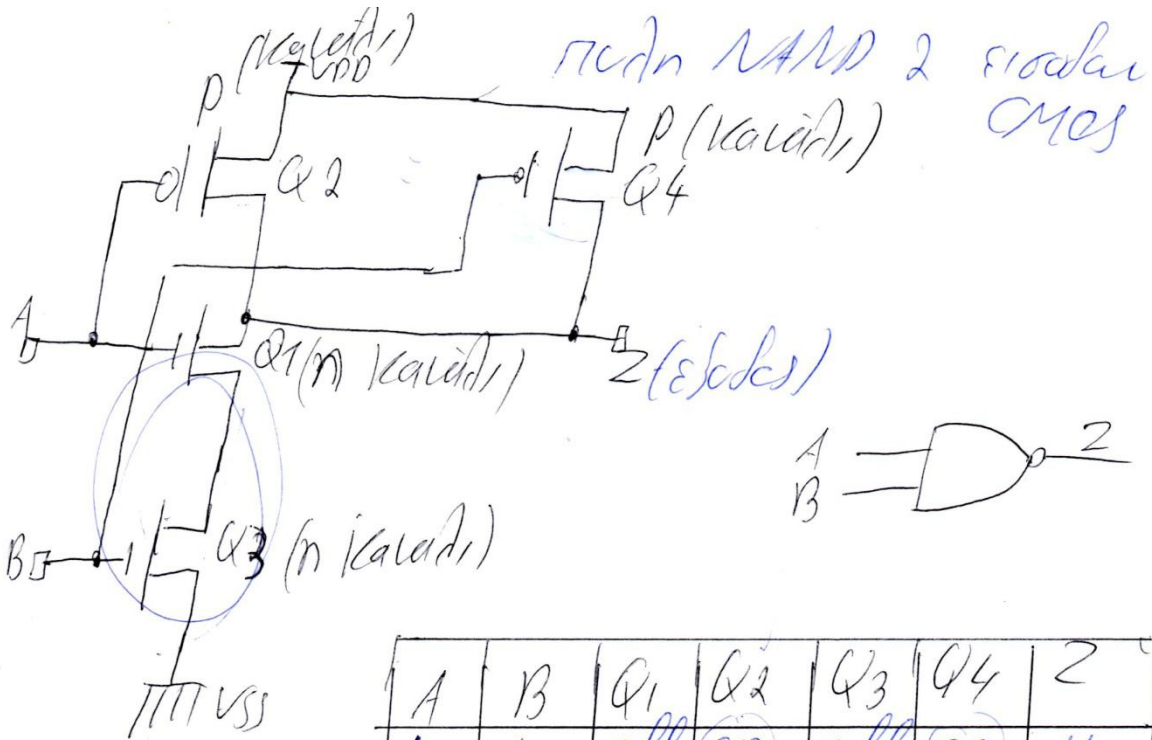
Περιοχή	Τάση εισόδου v_I	Τάση εξόδου v_O	Transistor NMOS	Transistor PMOS
1	$v_I \leq V_{TN}$	$V_{OH} = V_{DD}$	Αποκοπή	Γραμμική
2	$V_{TN} < v_I \leq v_O + V_{TP}$	Υψηλή	Κόρος	Γραμμική
3	$v_I \approx V_{DD}/2$	$V_{DD}/2$	Κόρος	Κόρος
4	$v_O + V_{TN} < v_I \leq (V_{DD} - V_{TP})$	Χαμηλή	Γραμμική	Κόρος
5	$v_I \geq (V_{DD} - V_{TP})$	$V_{OL} = 0$	Γραμμική	Αποκοπή



Το κατώφλι μετάβασης ορίζεται ως το σημείο $V_{in} = V_{out}$. Στην περιοχή αυτή λειτουργούν και τα δυο τρανζίστορ, στην περιοχή κορεσμού διότι $V_{DS} = V_{GS}$



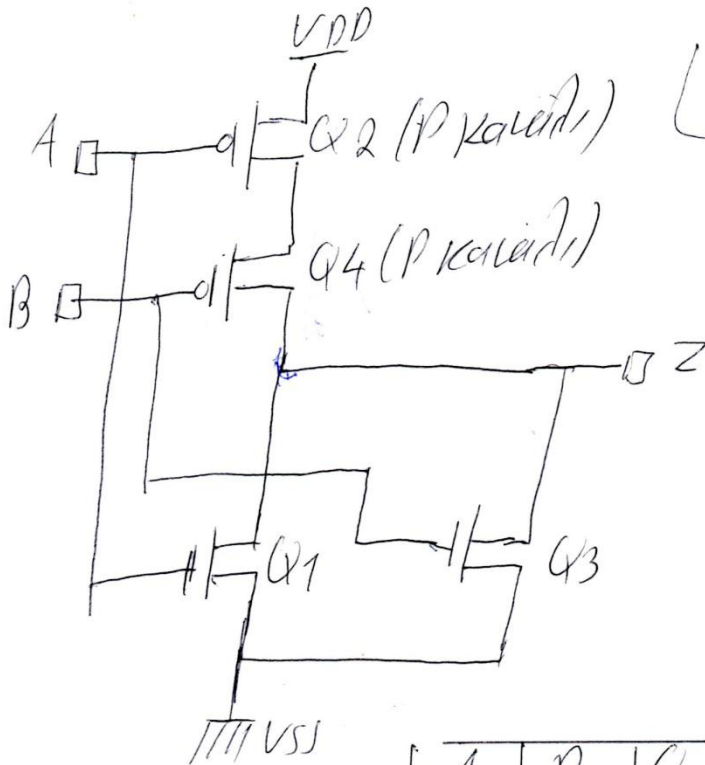
$V_m = V_{DD}/2$



$$F = \overline{A \cdot B}$$

A	B	Q1	Q2	Q3	Q4	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	H
H	L	on	off	off	on	H
H	H	on	off	on	off	L

Τα δύο τρανζίστρες PMOS που είναι σε σειρά είναι στον και οι δύο εισόδους Α και Β είναι σε υψηλή στάθμη (1). Στο PMOS δικτύωμα που είναι δύο τρανζίστρες PMOS παράλληλα η έξοδος F είναι (1) εάν $A=0$ ή $B=0$, το οποίο ισοδυναμεί με την σχέση $F = \overline{A \cdot B}$



CMOS NOR 2 εισόδων



$f = \overline{A+B}$

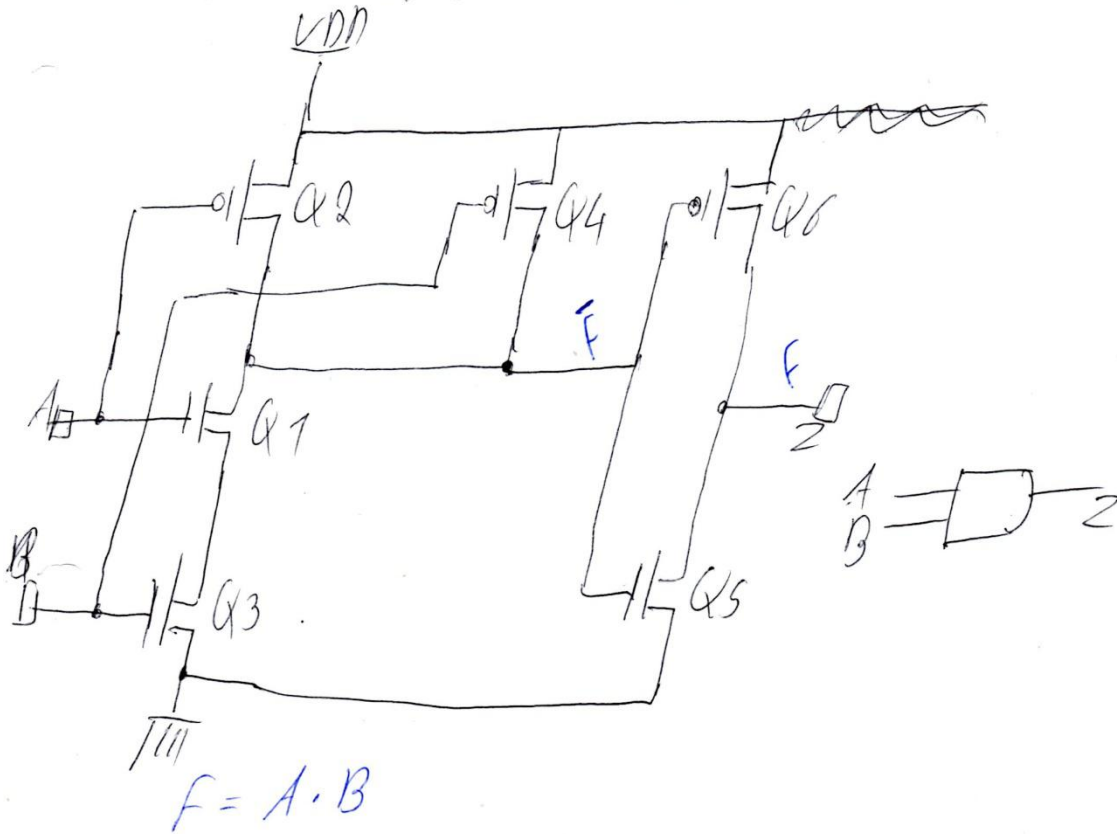
A	B	Q ₁	Q ₂	Q ₃	Q ₄	Z
L	L	off	on	off	on	H
L	H	off	on	on	off	L
H	L	on	off	off	on	L
H	H	on	off	on	off	L

Τα 2pmos τρανζίστορ PMOS πάλι είναι σε σειρά γιατί αν και οι 2pmos εισόδων είναι σε χωριστή σειρά

Τα τρανζίστορ PMOS πάλι είναι παράλληλα υλοποιούν την αλμπτήση NAND ($\overline{A+B} = \overline{A \cdot B}$)

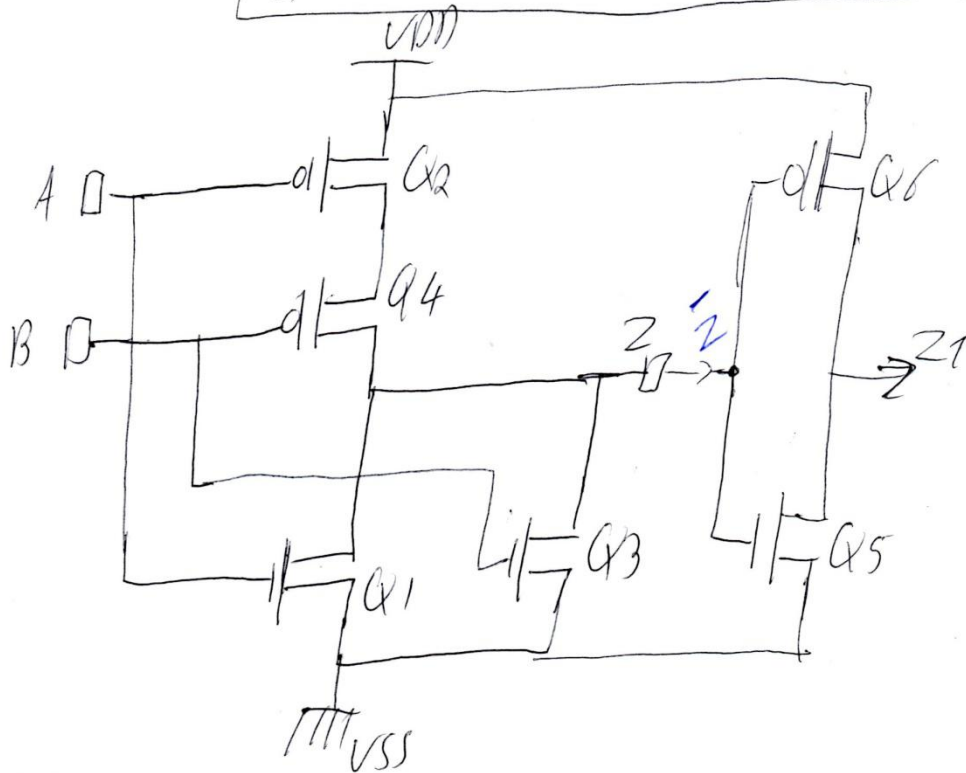
Τα τρανζίστορ NMOS παράλληλα υλοποιούν μια αλμπτήση OR

CMOS πύλη AND 2' εισόδου

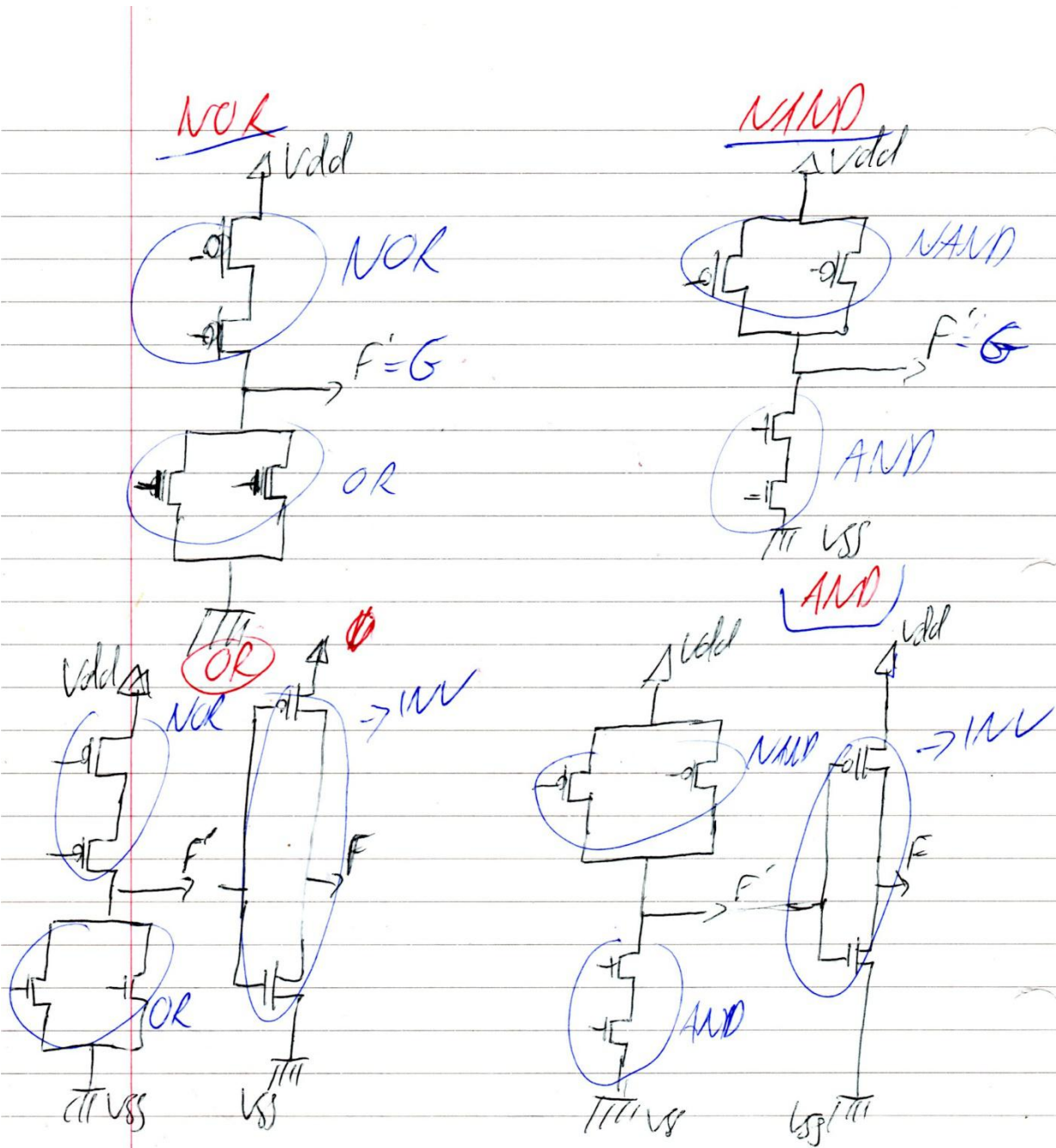


A	B	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	off	on	off	on	on	off	L
L	H	off	on	on	off	on	off	L
H	L	on	off	off	on	on	off	L
H	H	on	off	on	off	off	on	H

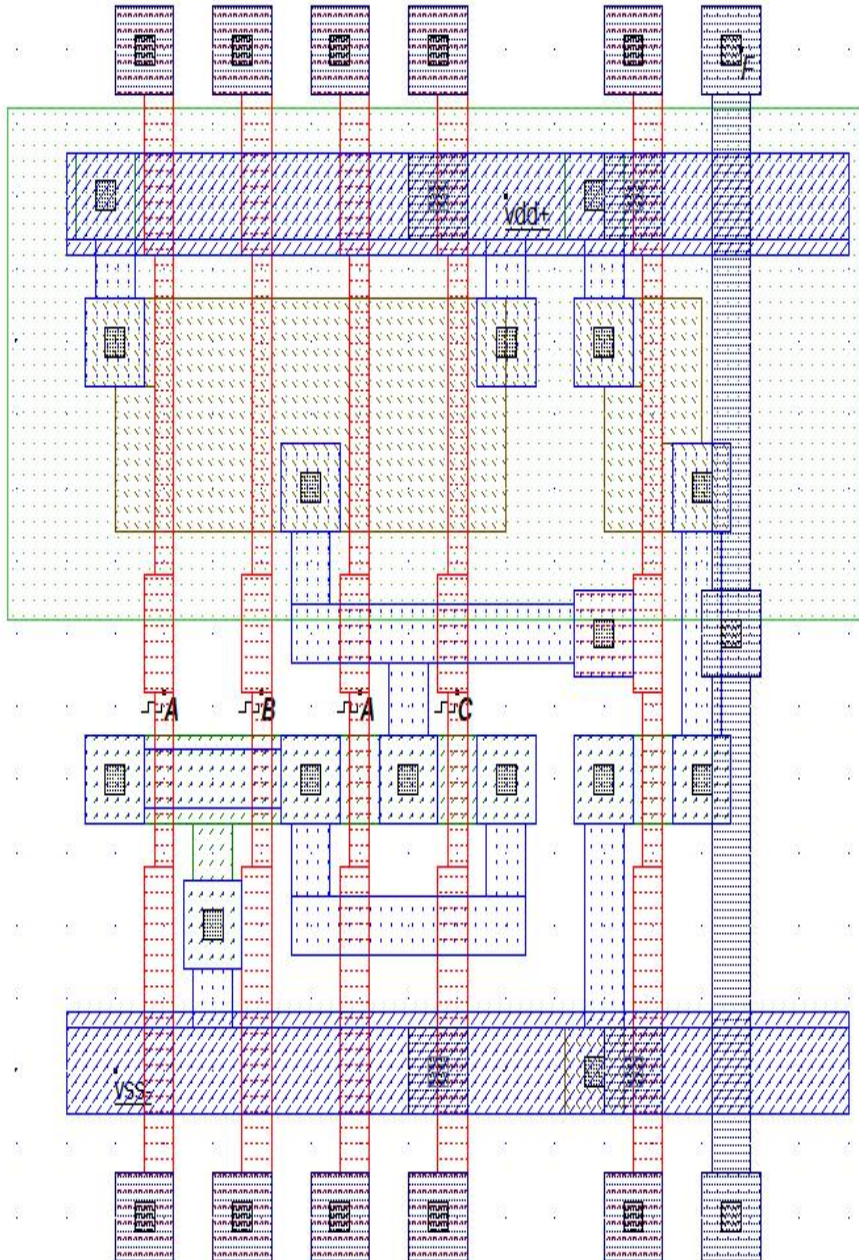
Γενος πειδη OR 2 εισοδη

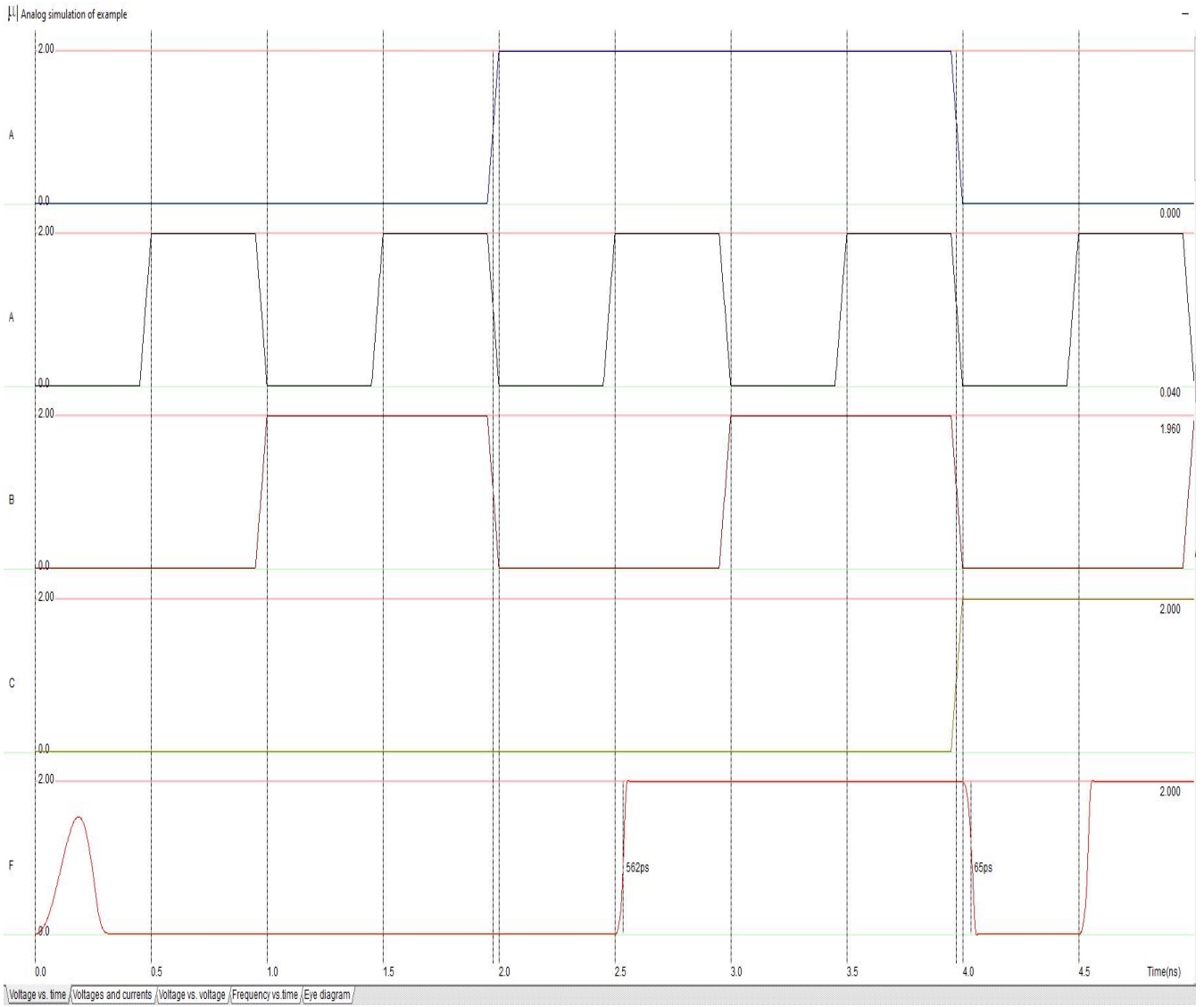


A	B	Q1	Q2	Q3	Q4	Q5	Q6	Z
L	L	off	on	off	on	on	off	0
L	H	off	on	on	off	off	on	1
H	L	on	off	off	on	off	on	1
H	H	on	off	on	off	off	on	1



ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $F = (A|B) \& (A|C)$ ή $F = (A + B) * (A + C)$



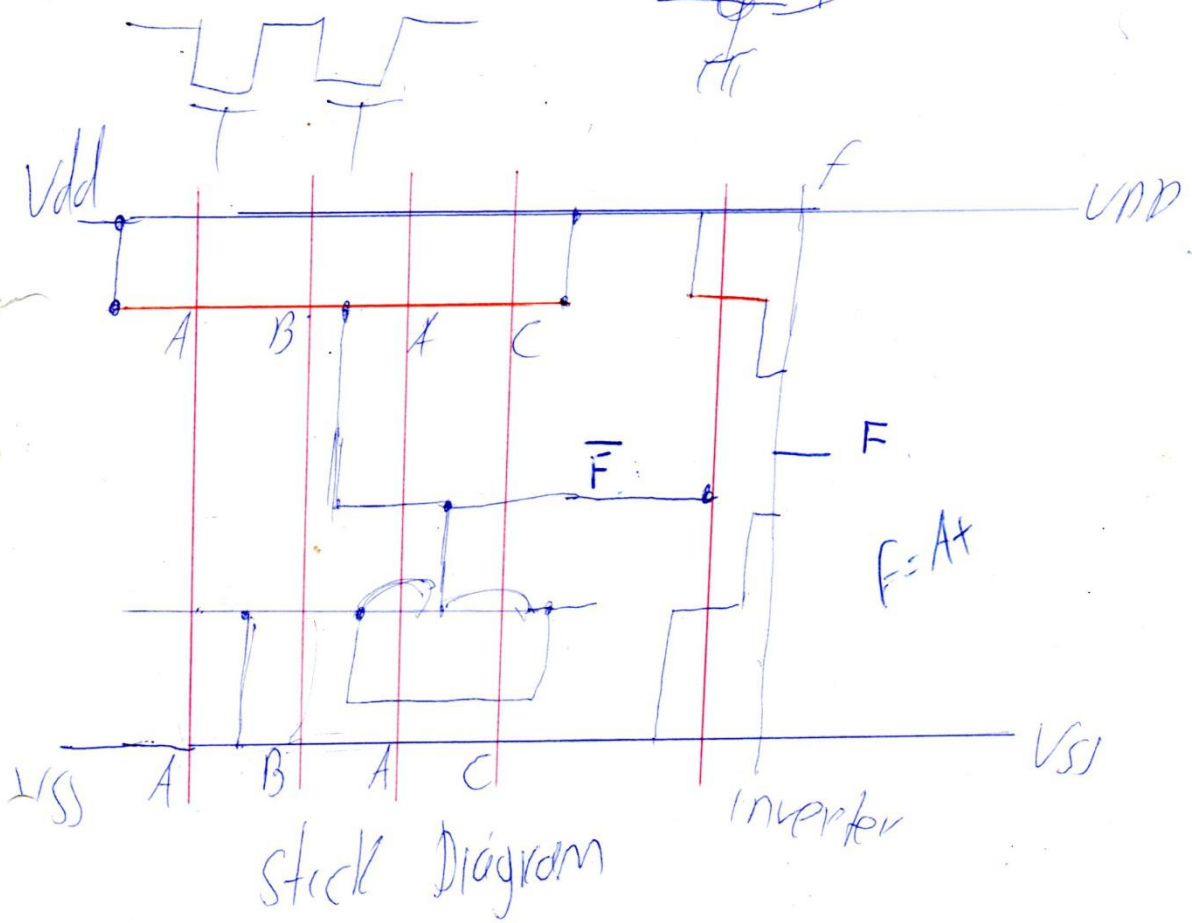
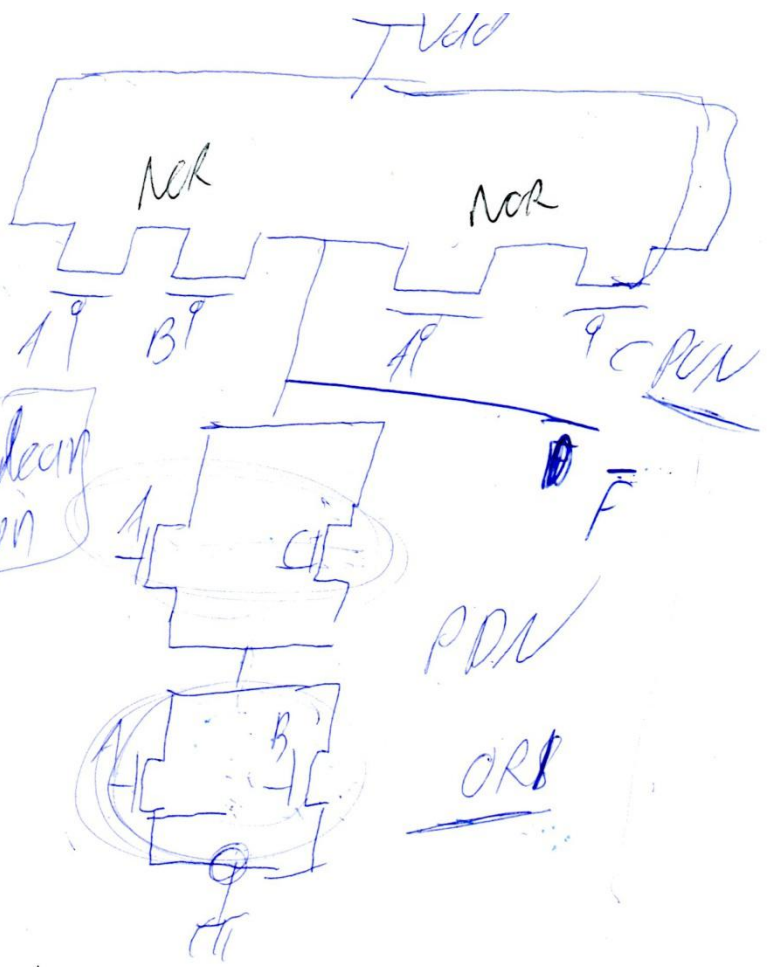


Microwind

$$F = (A+B)(A+C)$$

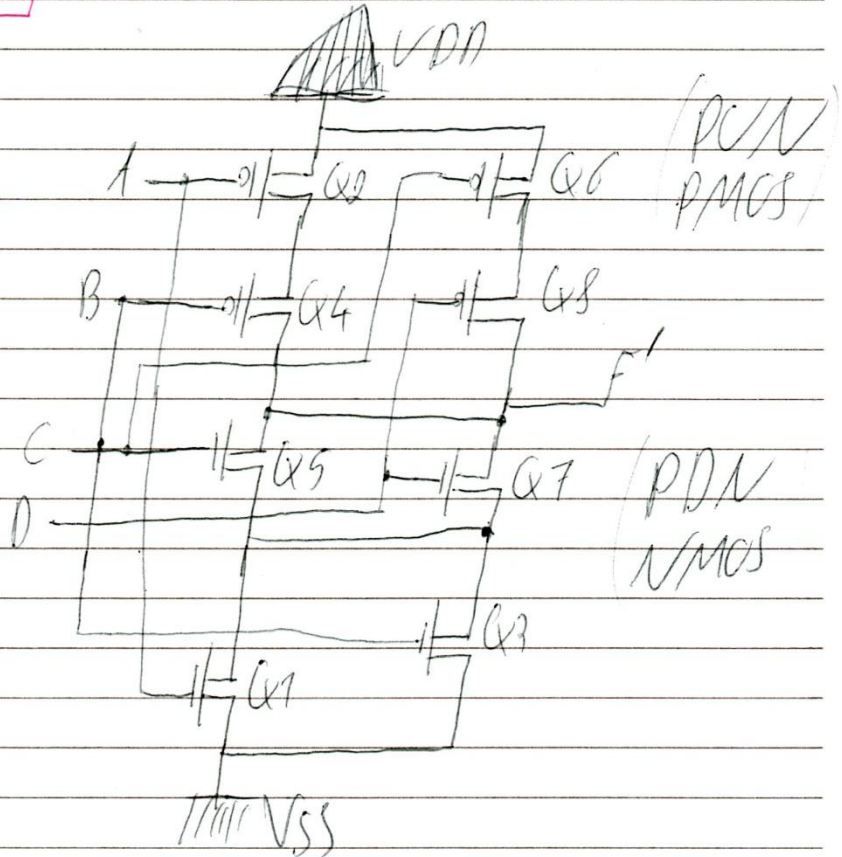
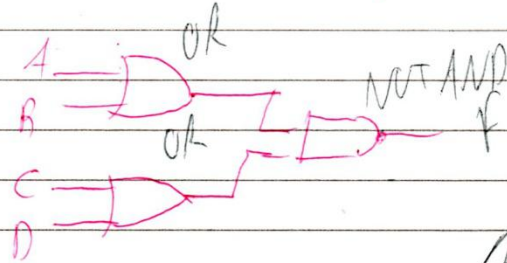
$$F = (A|B) \& (A|C)$$

*Boolean
Μεσσην*



AND OR INVERT
 No. (10/1) Date

$$F = (A+B) \cdot (C+D)$$



Πινακας αληθειας

OR			AND		
A	B	F	A	B	F
0	0	0	0	0	0
0	1	1	0	1	0
1	0	1	1	0	0
1	1	1	1	1	1

$$F = A+B$$

$$F = A \cdot B$$

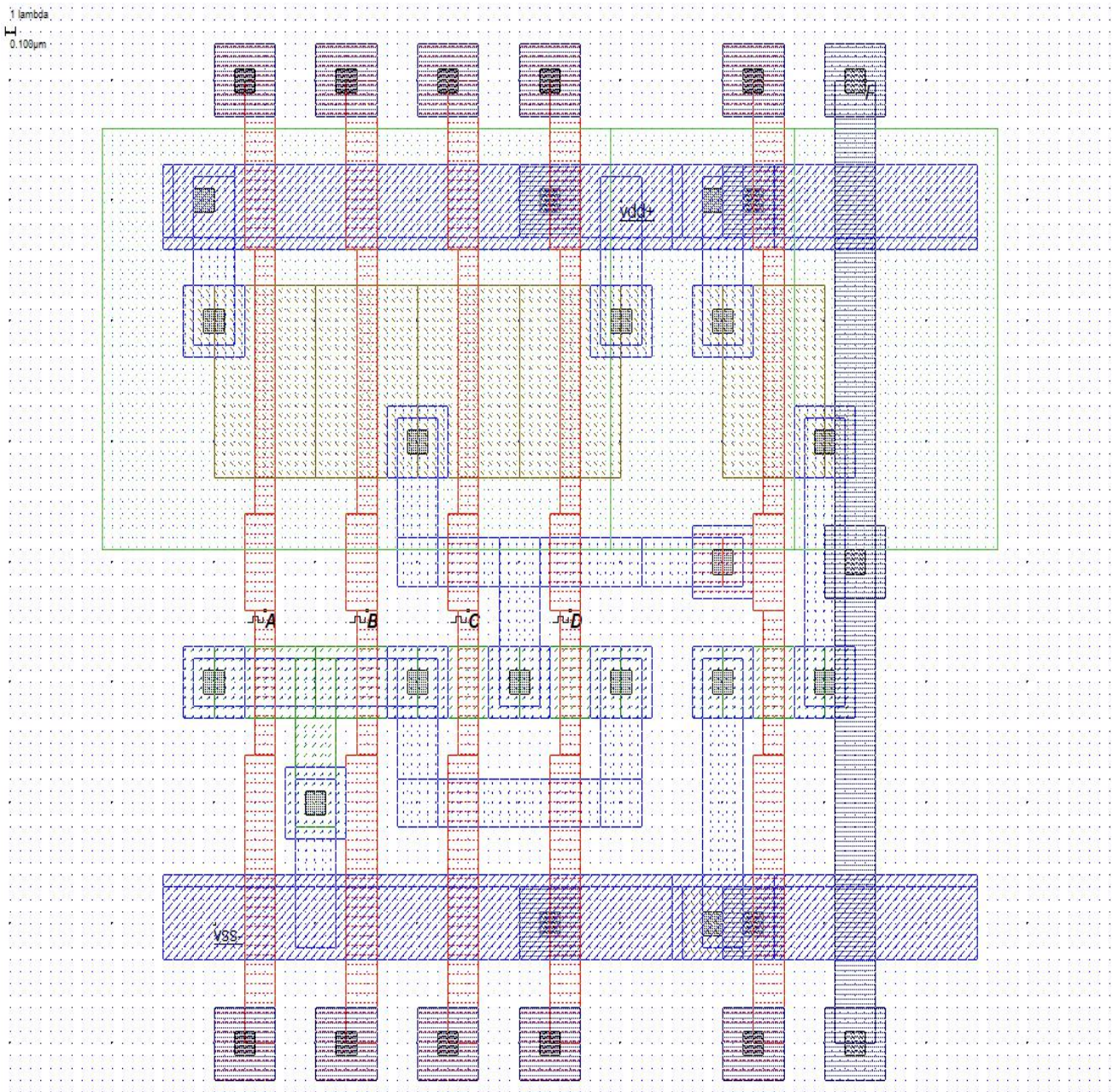
$F = (A+B) \cdot (C+D)$ AND OR NOT
(AC1)

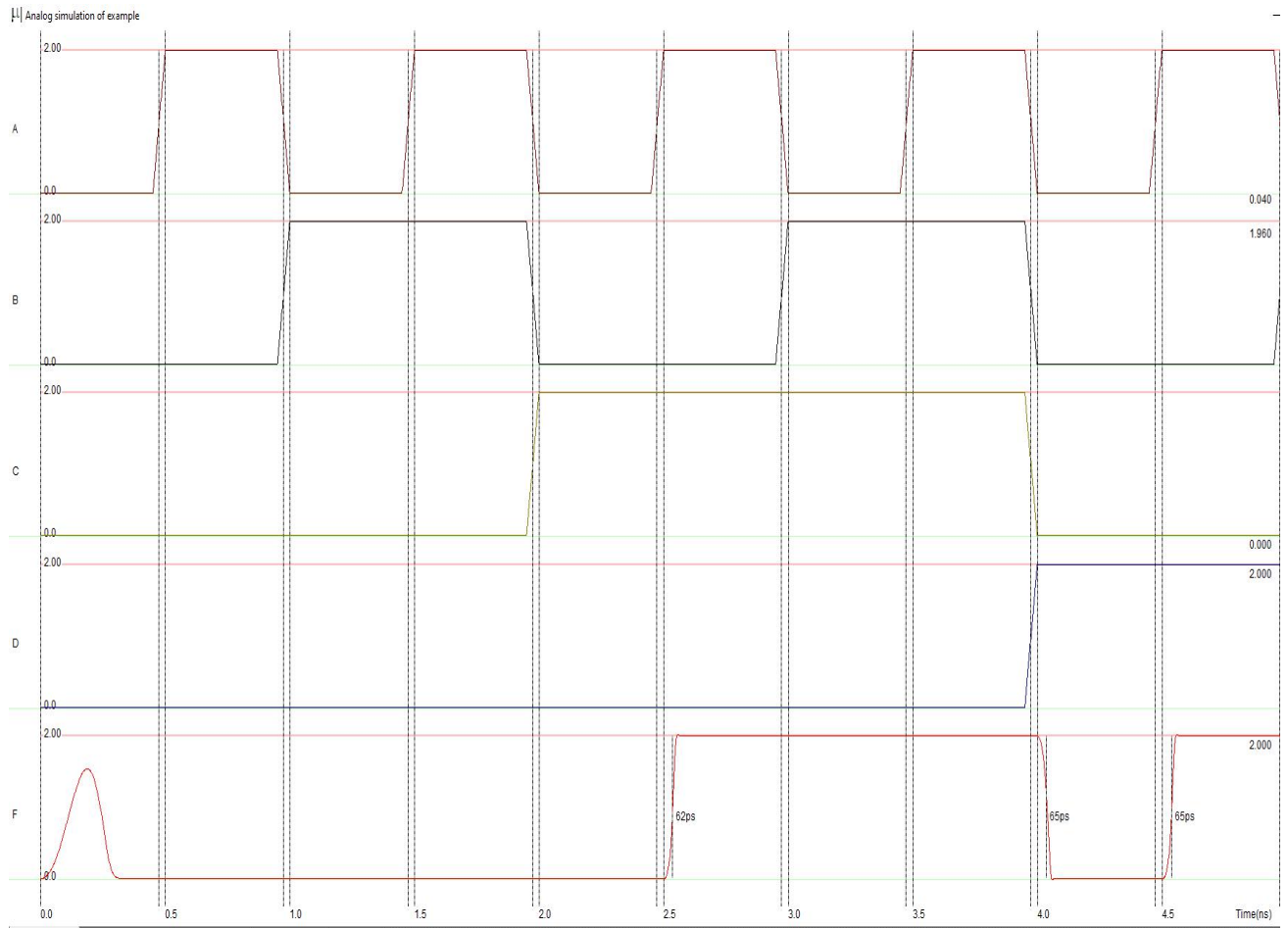
No.

Date

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	F
0	0	0	0	0	1	0	1	0	1	0	1	0
0	0	0	1	0	1	0	1	0	1	1	0	0
0	0	1	0	0	1	0	1	1	0	0	1	0
0	0	1	1	0	1	0	1	1	0	1	0	0
0	1	0	0	0	1	1	0	0	1	0	1	0
0	1	0	1	0	1	1	0	0	1	1	0	1
0	1	1	0	0	1	1	0	1	0	0	1	0
0	1	1	1	0	1	1	0	1	0	1	0	1
1	0	0	0	1	0	0	1	0	1	0	1	0
1	0	0	1	1	0	0	1	0	1	1	0	1
1	0	1	0	1	0	0	1	1	0	0	1	0
1	0	1	1	1	0	0	1	1	0	1	0	1
1	1	0	0	1	0	1	0	0	1	0	1	0
1	1	0	1	1	0	1	0	0	1	1	0	1
1	1	1	0	1	0	1	0	1	0	0	1	0
1	1	1	1	1	0	1	0	1	0	1	0	1

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ : $F = (A|B) \& (C|D)$ ή $F = (A + B) * (C + D)$



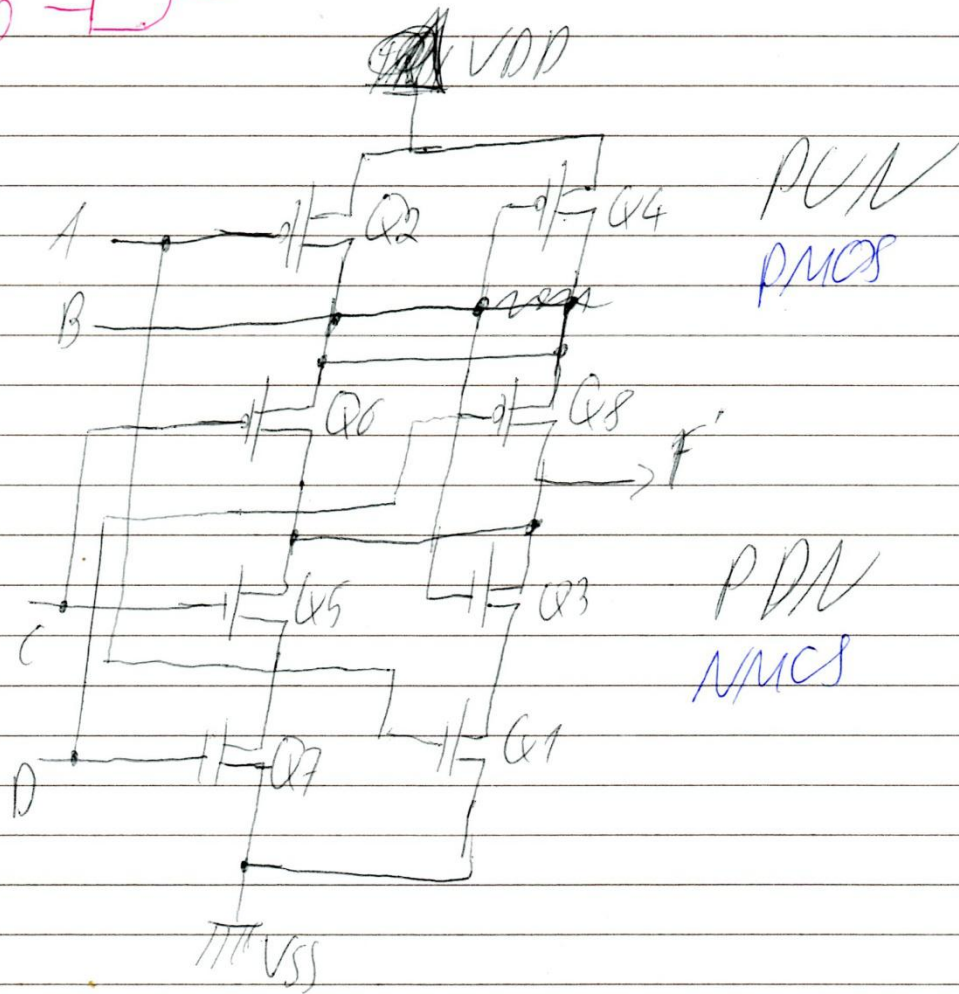
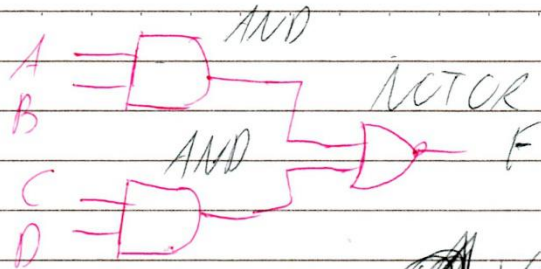


$$F = (A \cdot B) + (A \cdot C) \text{ ή } F = (A \cdot B) + (C \cdot D)$$

(ACI) AND OR INVERT

No.

Date



$$F = (A \cdot B) + (\bar{C} \cdot D)$$

(ACI) AND OR INVERT

No.

Date

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	F	F'
0	0	0	0	0	1	0	1	0	1	0	1	0	1
0	0	0	1	0	1	0	1	0	1	1	0	0	1
0	0	1	0	0	1	0	1	1	0	0	1	0	1
0	0	1	1	0	1	0	1	1	0	1	0	1	0
0	1	0	0	0	1	1	0	0	1	0	1	0	1
0	1	0	1	0	1	1	0	0	1	1	0	0	1
0	1	1	0	0	1	1	0	1	0	0	1	0	1
0	1	1	1	0	1	1	0	1	0	1	0	1	0
1	0	0	0	1	0	0	1	0	1	0	1	0	1
1	0	0	1	1	0	0	1	0	1	1	0	0	1
1	0	1	0	1	0	0	1	1	0	0	1	0	1
1	0	1	1	1	0	0	1	1	0	1	0	1	0
1	1	0	0	1	0	1	0	0	1	0	1	1	0
1	1	0	1	1	0	1	0	0	1	1	0	1	0
1	1	1	0	1	0	1	0	1	0	0	1	1	0
1	1	1	1	1	0	1	0	1	0	1	0	1	0

ΕΝΟΤΗΤΑ 5

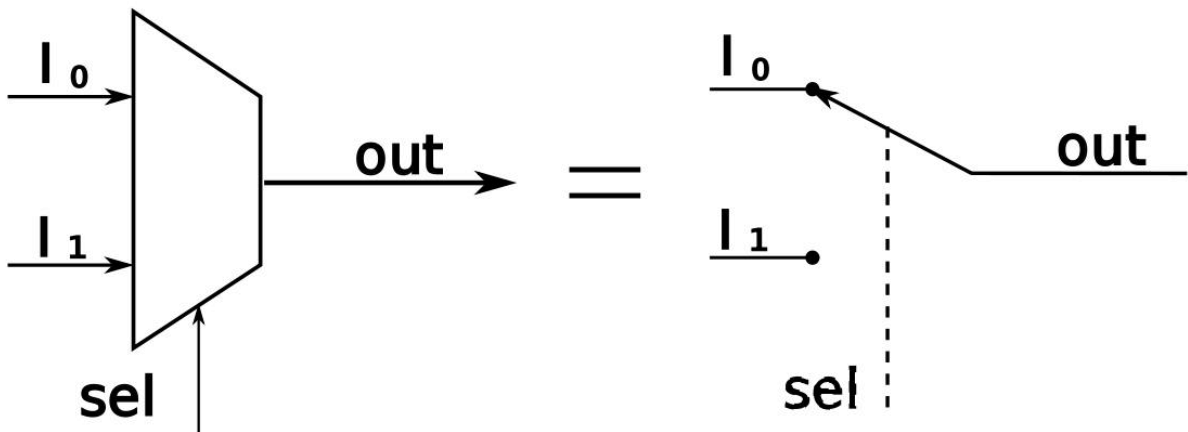
Σχεδιασμός πολυπλέκτη 2 σε 1 με απλές πύλες

Είναι κύκλωμα που επιλέγει δυαδική πληροφορία από μια από τις εισόδους I_0 ή I_1 και την κατευθύνει στην μοναδική έξοδο (Y).

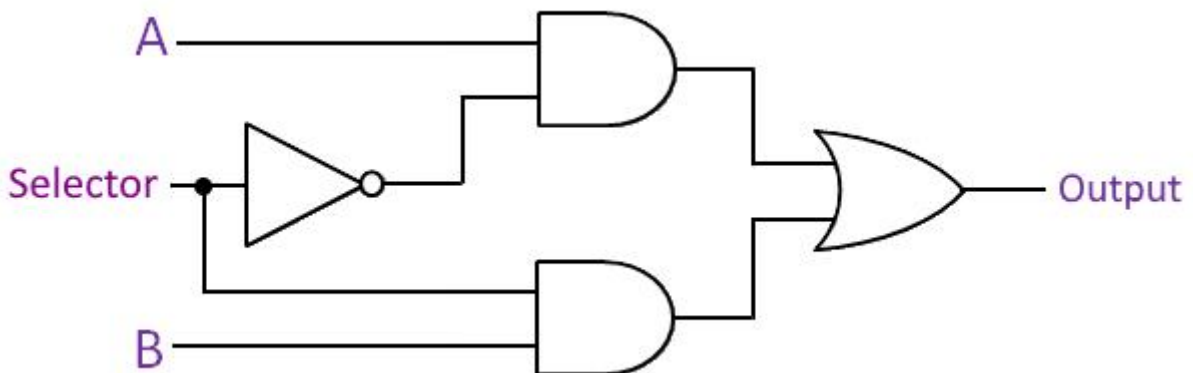
Η επιλογή (S) ή Sel ή $Select$ ελέγχεται από ένα σύνολο εισόδων, ο αριθμός των οποίων εξαρτάται από τον αριθμό των εισόδων δεδομένων.

Για ένα πολυπλέκτη 2^n σε 1, υπάρχουν 2^n+n εισόδοι

- 2^n εισόδοι δεδομένων και
- n εισόδοι επιλογής έτσι ώστε ο συνδυασμός των bits τους να καθορίζει την είσοδο δεδομένων που θα επιλεγεί.



Απευθείας Υλοποίηση



$$Y = S' * I_0 + S * I_1$$

Κόστος Υλοποίησης 20 τρανζίστορ

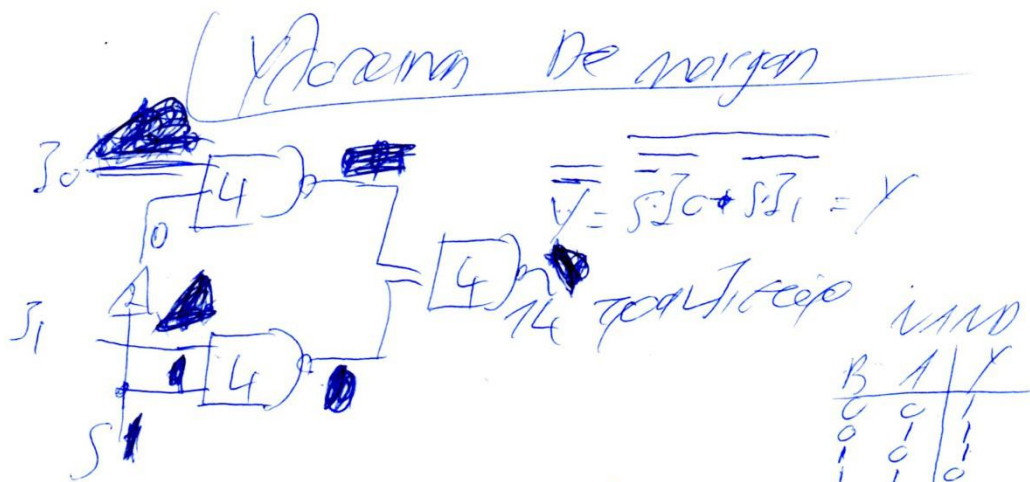
Πινακας Ανδεσαι Ρεφενδαριου
2 σε 1

I_0	I_1	$S(\text{sel})$	γ
0	0	0	0
1	0	0	1 (I_0)
0	1	0	0
1	1	0	1 (I_0)
0	0	1	0
1	0	1	0
0	1	1	1 (I_1)
1	1	1	1 (I_1)

Εξισωση

$$\gamma = \bar{S}I_0 + S \cdot I_1$$

Υλοποίηση De Morgan



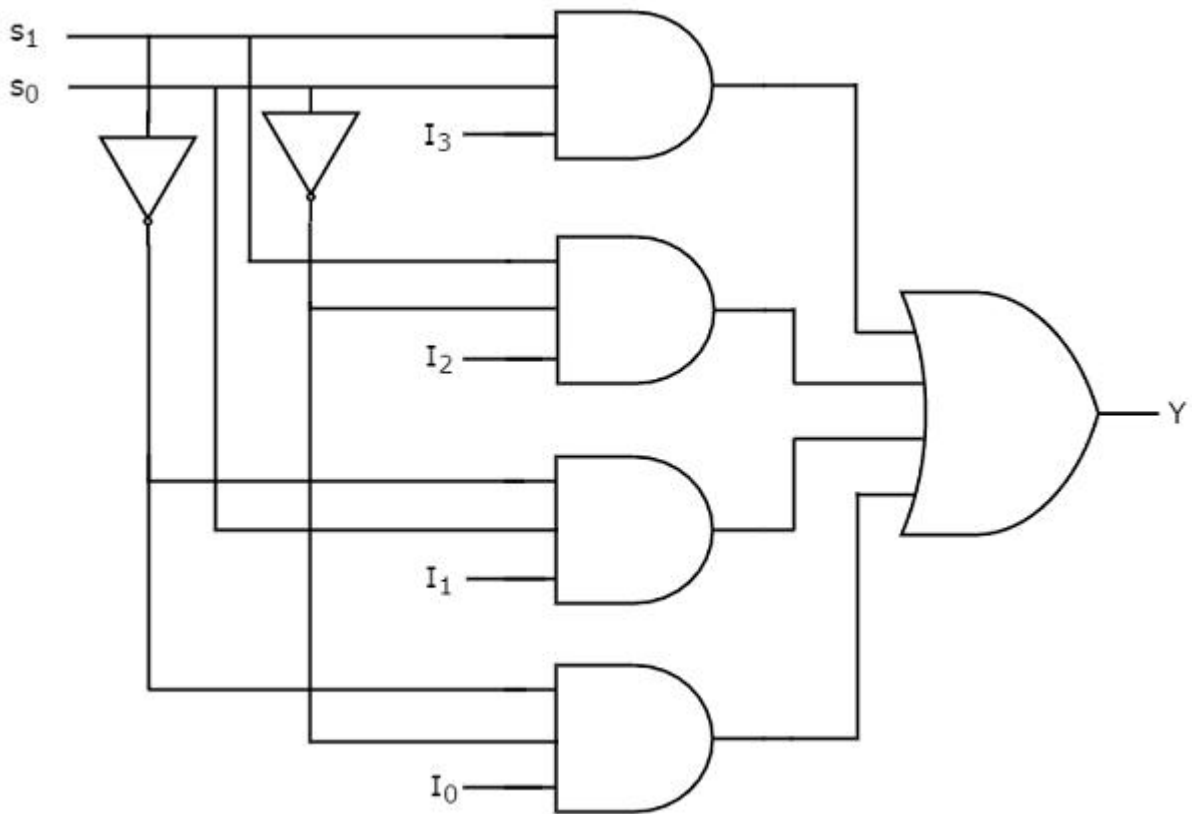
B	A	Y
0	0	1
0	1	1
1	0	0
1	1	0

πίνακας αληθείας 2 σε 1

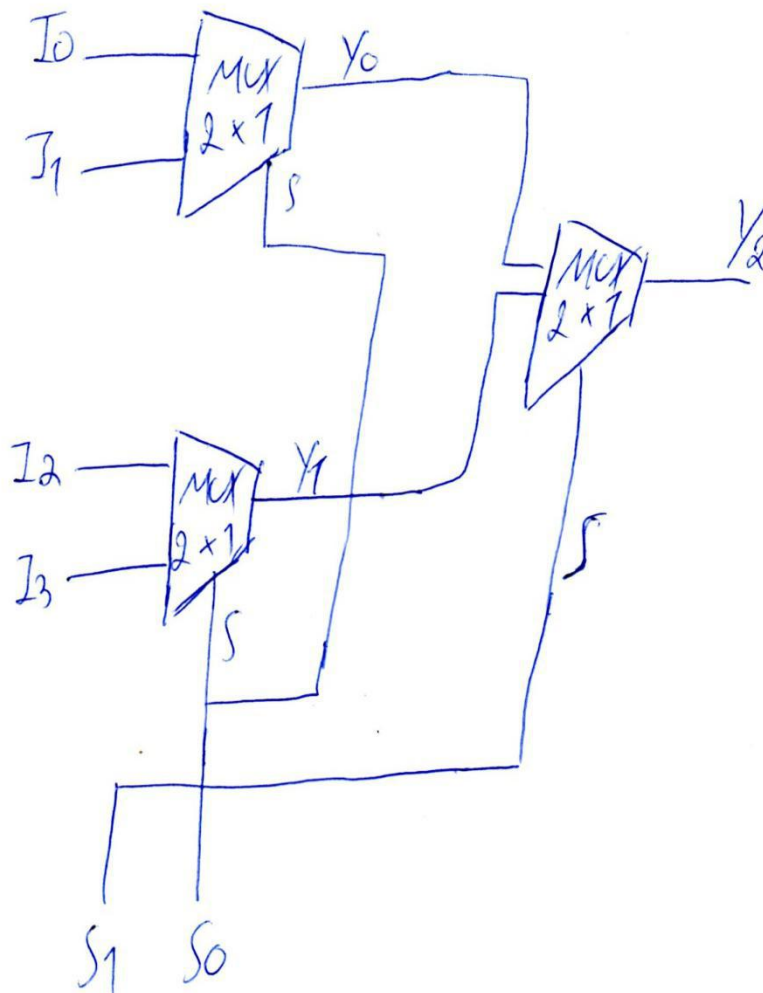
I_0	I_1	$S (sel)$	Y
0	0	0	0
①	0	0	$\Phi(I_0)$
0	①	0	0
1	①	0	1 (I_1)
0	0	1	0
1	0	1	0
0	1	1	1 (I_1)
①	①	1	1 (I_0)

Κόστος Υλοποίησης 14 τρανζίστορ

Πολυπλέκτης 4 σε 1



Πολυπλέκτης 4 σε 1 ,χρησιμοποιώντας μόνο πολυπλέκτες 2 σε 1

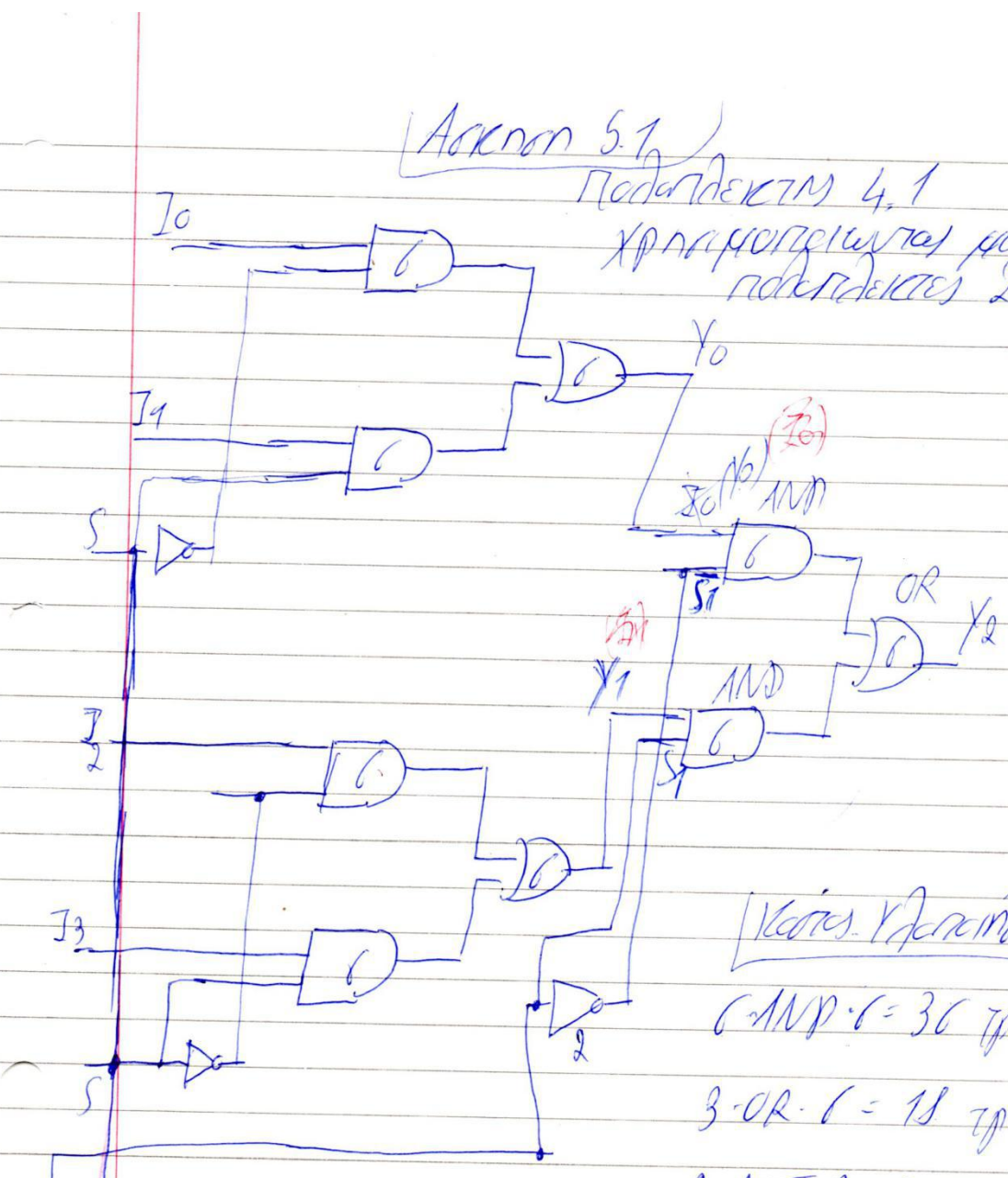


$$Y_0 = \bar{S} I_0 + S I_1$$

$$Y_1 = \bar{S} I_2 + S I_3$$

$$Y_2 = \bar{S}_1 Y_0 + S_1 Y_1$$

Άσκηση 5.7
 Πεδωτήλεκτης 4,1
 χρησιμοποιούνται μόνο
 πεδωτήλεκτες 2-1

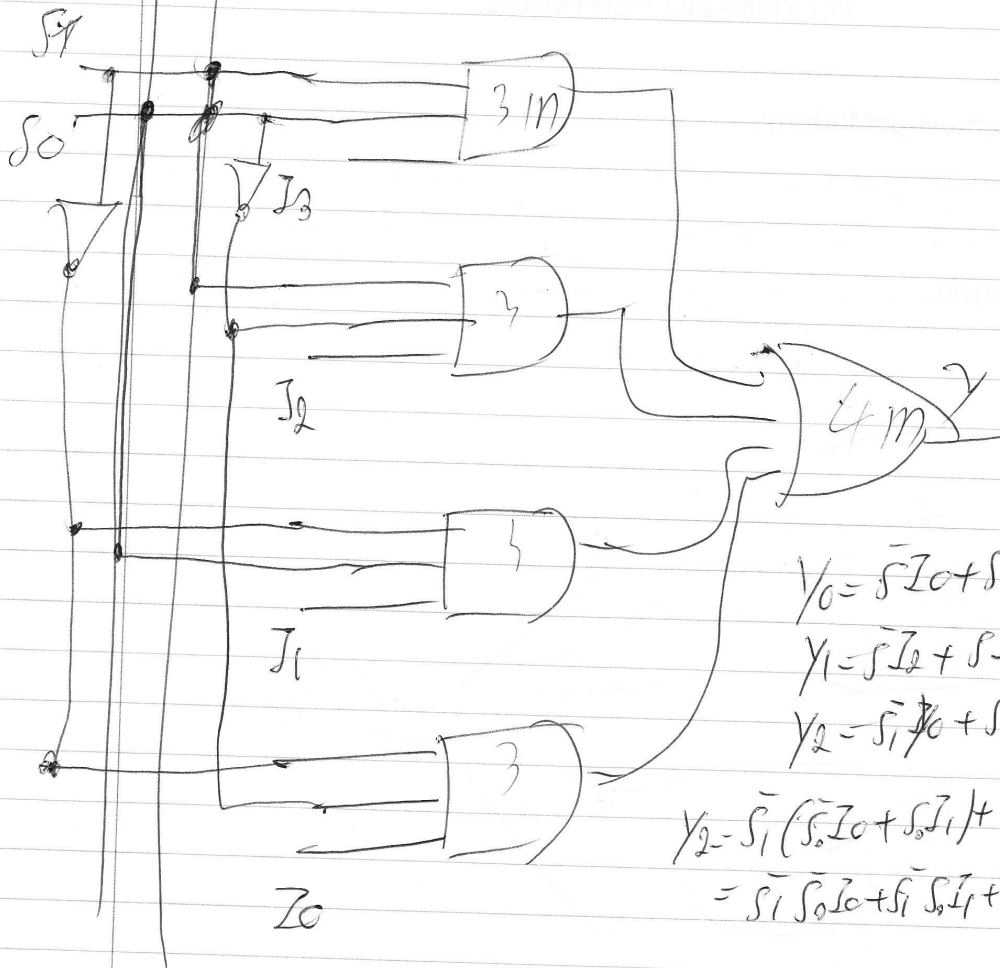


$Y_0 = \bar{S}_0 I_0 + S_0 I_1$
 $Y_1 = \bar{S}_1 I_2 + S_1 I_3$
 $Y_2 = \bar{S}_1 Y_0 + S_1 Y_1$

Κόστος Υλοποίησης
 6-AND · 6 = 36 τραπίζοτες
 3-OR · 6 = 18 τραπίζοτες
 3-NOT · 2 = 6 τραπίζοτες
60 τραπίζοτες

$Y_2 = \bar{S}_1 (\bar{S}_0 I_0 + S_0 I_1) + S_1 (\bar{S}_1 I_2 + S_1 I_3)$

Multiplexer 4x1



$$Y_0 = \bar{S}_1 \bar{S}_0 I_0 + \bar{S}_1 S_0 I_1$$

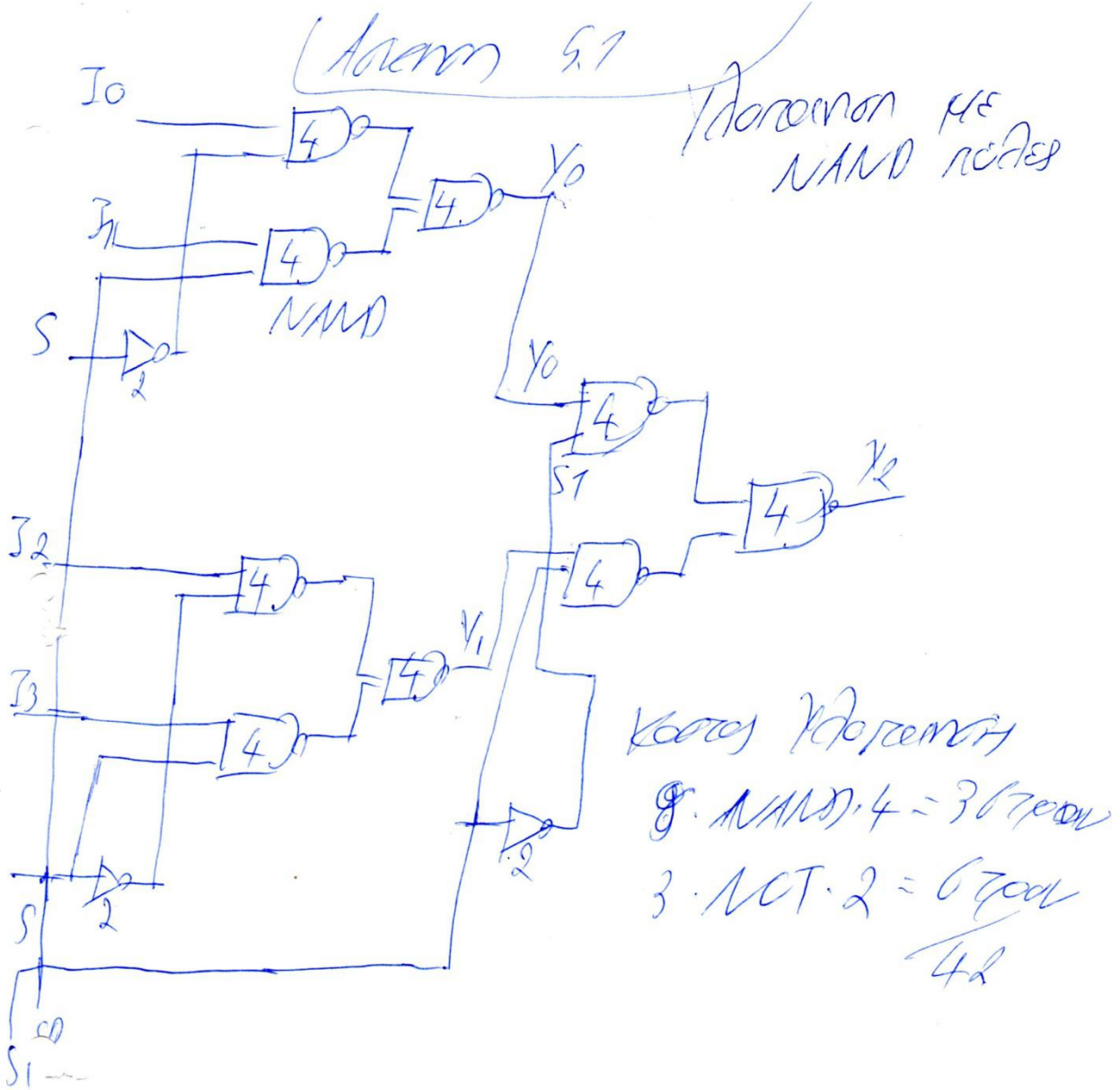
$$Y_1 = S_1 \bar{S}_0 I_2 + S_1 S_0 I_3$$

$$Y_2 = \bar{S}_1 \bar{S}_0 I_0 + S_1 I_1$$

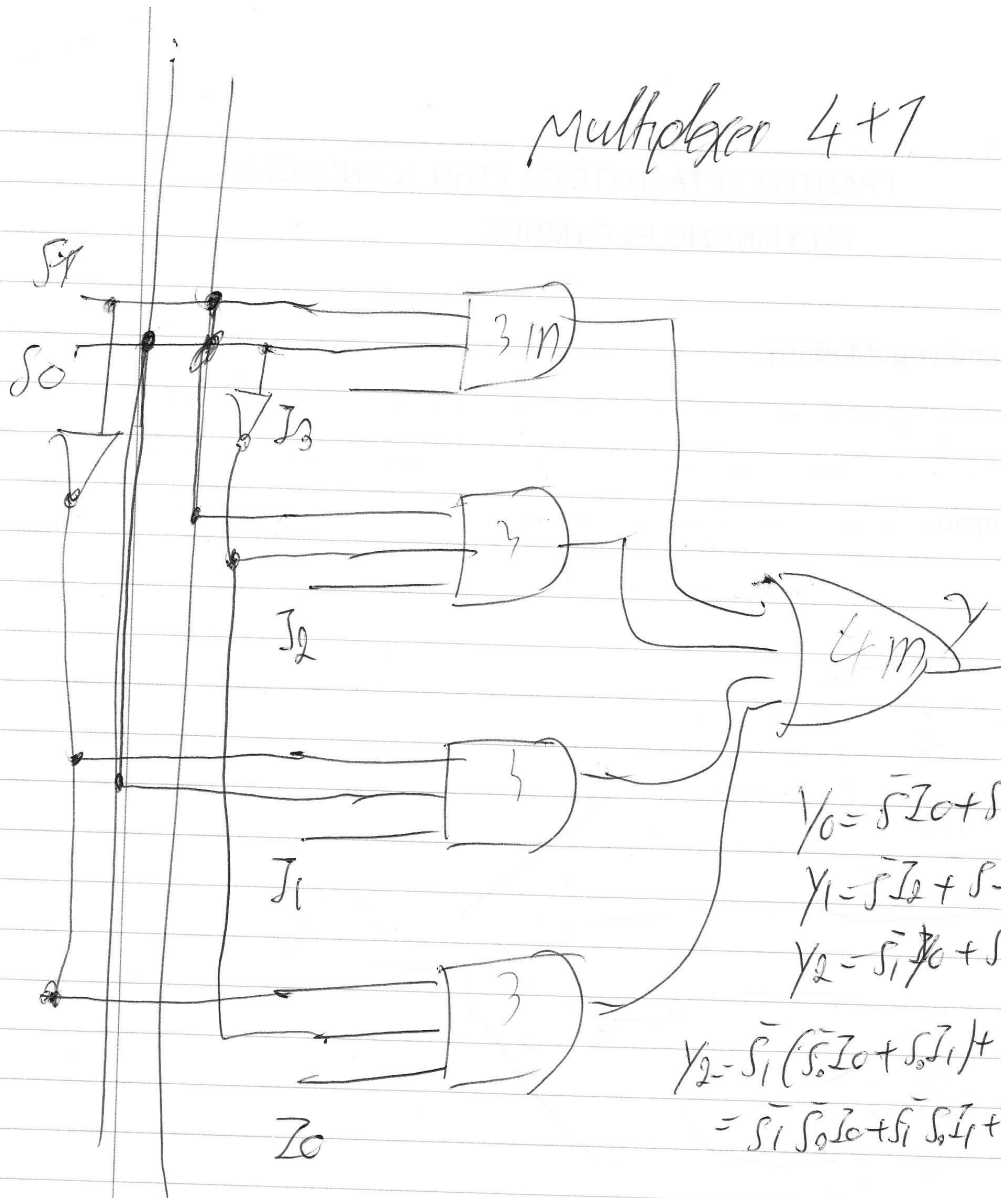
$$Y_2 = \bar{S}_1 (\bar{S}_0 I_0 + S_0 I_1) + S_1 (S_0 I_2 + \bar{S}_0 I_3)$$

$$= \bar{S}_1 \bar{S}_0 I_0 + \bar{S}_1 S_0 I_1 + S_1 S_0 I_2 + S_1 \bar{S}_0 I_3$$

S0	S1	I0	I1	I2	I3	Y
0	0	0				0 } I0
0	0	1				1 } I0
0	1		0			0 } I1
0	1		1			1 } I1
1	0			0		0 } I2
1	0			1		1 } I2
1	1				0	0 } I3
1	1				1	1 } I3

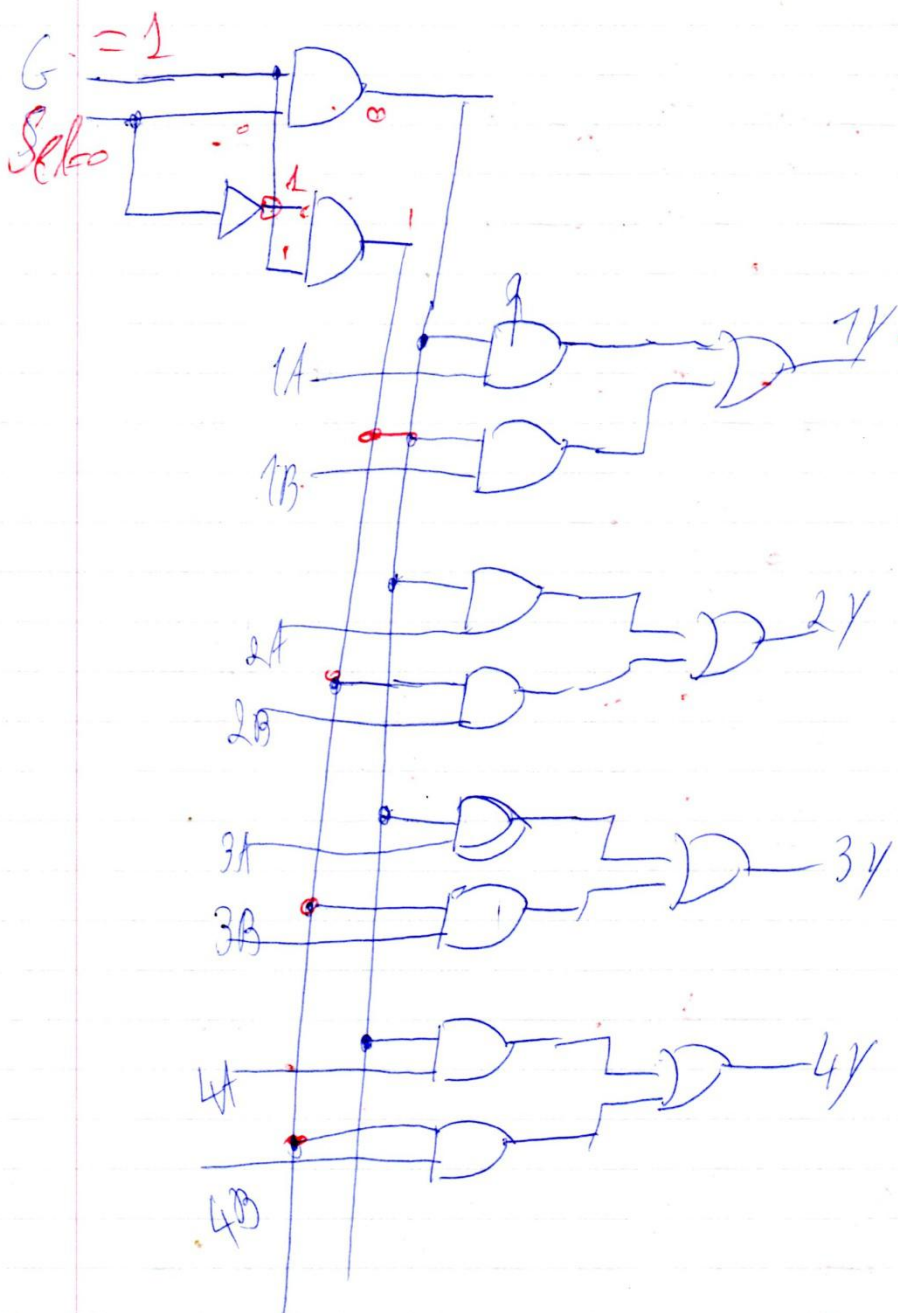


Multiplexer 4x1



S_0	S_1	I_0	I_1	I_2	I_3	Y
0	0	0				0 } I_0
0	0	1				1 } I_0
0	1		0			0 } I_1
0	1		1			1 } I_1
1	0			0		0 } I_2
1	0			1		1 } I_2
1	1				0	0 } I_3
1	1				1	1 } I_3

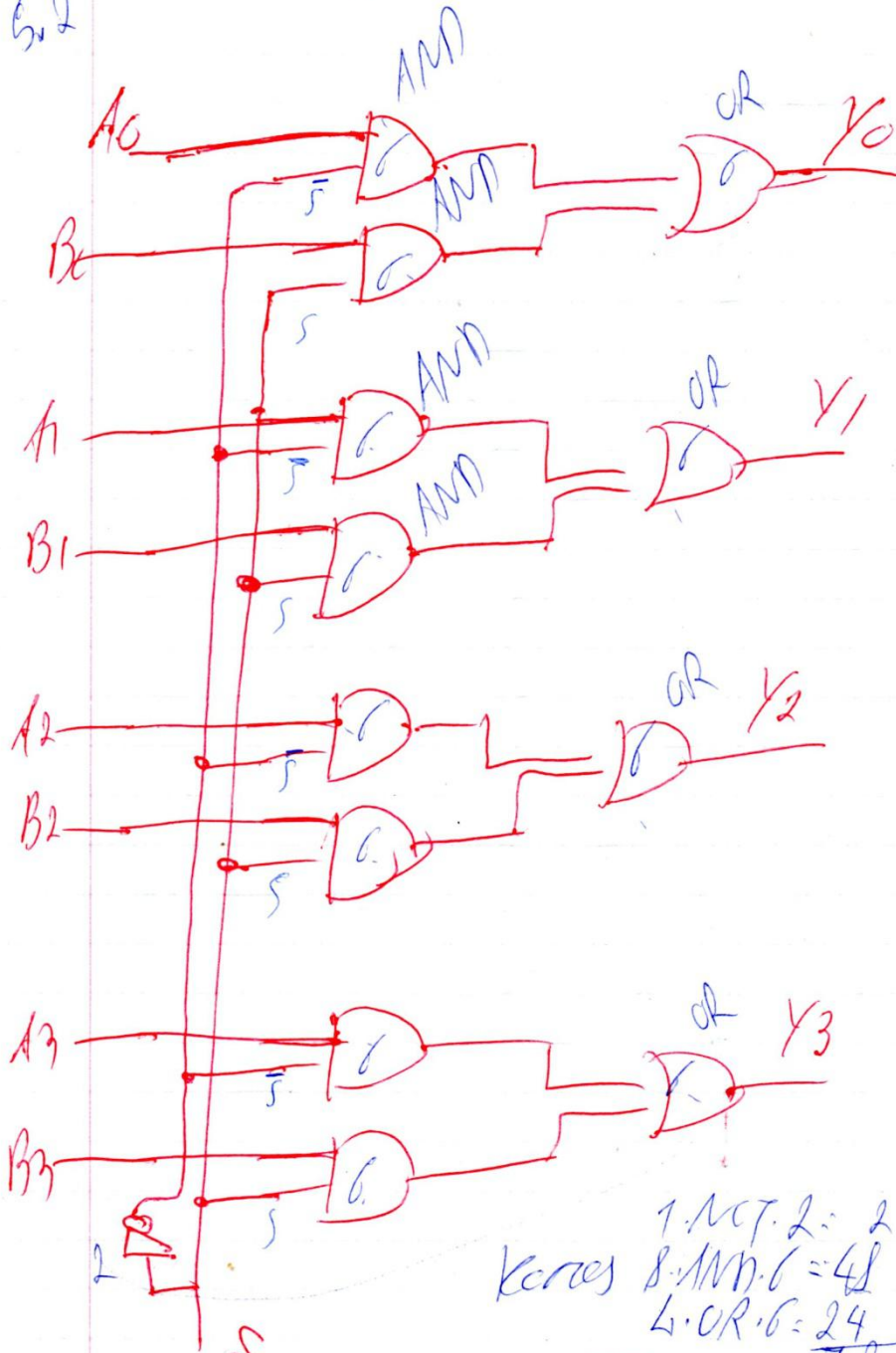
2 input 4 bit mux



Inputs		Output			
G	S	1Y	2Y	3Y	4Y
1	x	0	0	0	0
0	0	1A	2A	3A	4A
0	1	1B	2B	3B	4B

Αρχική
5,2

2 input 4 bit mux



1. Α. Σ. 2: 2 γραμμές
 Κεραι 8. Α. Ν. 6 = 48 γραμμές
 4. Ο. Ρ. 6 = 24 γραμμές
 72 γραμμές
 74 γραμμές

$$Y_0 = \bar{S} \cdot A_0 + S \cdot B_0$$

$$Y_1 = \bar{S} \cdot A_1 + S \cdot B_1$$

$$Y_2 = \bar{S} \cdot A_2 + S \cdot B_2$$

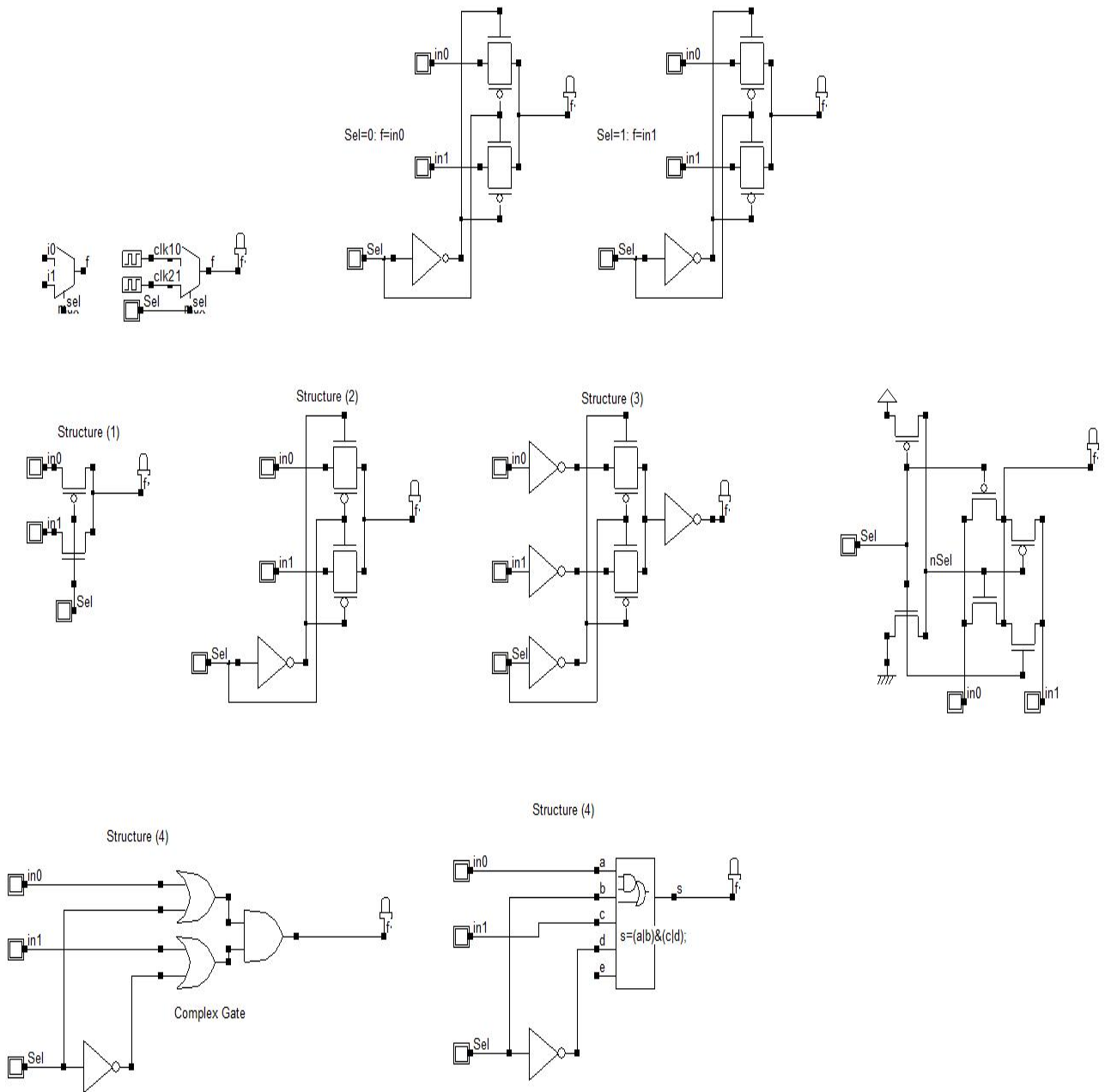
$$Y_3 = \bar{S} \cdot A_3 + S \cdot B_3$$

VHDL CODE

Πολυπλέκτης 2 σε 1

```
mux_2X1.vhd Sat Oct 16 08:47:12 2021
1  library IEEE;
2  use IEEE.STD_LOGIC_1164.ALL;
3
4  entity mux_2X1 is
5      Port ( SEL : in  STD_LOGIC;
6            A  : in  STD_LOGIC_VECTOR (3 downto 0);
7            B  : in  STD_LOGIC_VECTOR (3 downto 0);
8            X  : out STD_LOGIC_VECTOR (3 downto 0));
9  end mux_2X1;
10
11 architecture Behavioral of mux_2X1 is
12 begin
13     X <= B when (SEL = '1') else A;
14 end Behavioral;
```

ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ ΠΟΛΥΠΛΕΚΤΗ



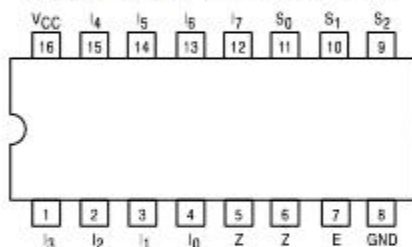


8-INPUT MULTIPLEXER

The TTL/MSI SN54/74LS151 is a high speed 8-input Digital Multiplexer. It provides, in one package, the ability to select one bit of data from up to eight sources. The LS151 can be used as a universal function generator to generate any logic function of four variables. Both assertion and negation outputs are provided.

- Schottky Process for High Speed
- Multifunction Capability
- On-Chip Select Logic Decoding
- Fully Buffered Complementary Outputs
- Input Clamp Diodes Limit High Speed Termination Effects

CONNECTION DIAGRAM DIP (TOP VIEW)



PIN NAMES

- S₀-S₂ Select Inputs
- E Enable (Active LOW) Input
- I₀-I₇ Multiplexer Inputs
- Z Multiplexer Output (Note b)
- Z Complementary Multiplexer Output (Note b)

LOADING (Note a)

	HIGH	LOW
S ₀ -S ₂	0.5 U.L.	0.25 U.L.
E	0.5 U.L.	0.25 U.L.
I ₀ -I ₇	0.5 U.L.	0.25 U.L.
Z	10 U.L.	5 (2.5) U.L.
Z	10 U.L.	5 (2.5) U.L.

NOTES:

- a) 1 TTL Unit Load (U.L.) = 40 μA HIGH/1.6 mA LOW.
- b) The Output LOW drive factor is 2.5 U.L. for Military (54) and 5 U.L. for Commercial (74) Temperature Ranges.

SN54/74LS151

8-INPUT MULTIPLEXER LOW POWER SCHOTTKY



J SUFFIX
CERAMIC
CASE 620-09



N SUFFIX
PLASTIC
CASE 648-08

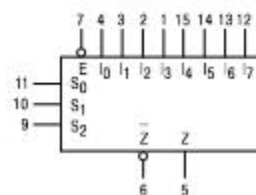


D SUFFIX
SOIC
CASE 751B-03

ORDERING INFORMATION

- SN54LSXXXJ Ceramic
- SN74LSXXXN Plastic
- SN74LSXXXD SOIC

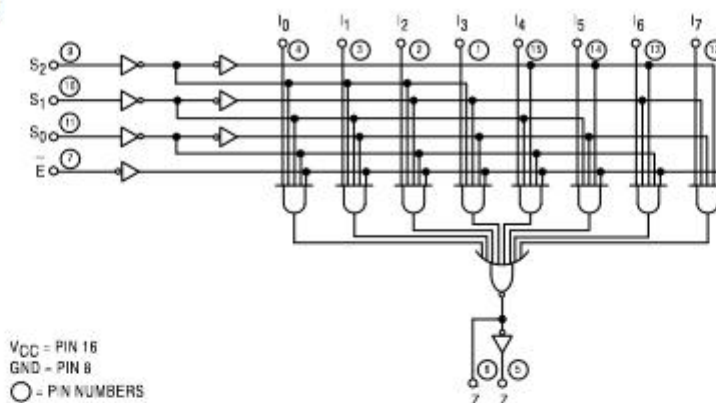
LOGIC SYMBOL



V_{CC} = PIN 16
GND = PIN 8

SN54/74LS151

LOGIC DIAGRAM



V_{CC} - PIN 16
 GND - PIN 8
 ○ - P-IN NUMBERS

FUNCTIONAL DESCRIPTION

The LS151 is a logical implementation of a single pole, 8-position switch with the switch position controlled by the state of three Select inputs, S₀, S₁, S₂. Both assertion and negation outputs are provided. The Enable input (E) is active LOW. When it is not activated, the negation output is HIGH and the assertion output is LOW regardless of all other inputs. The logic function provided at the output is:

$$Z = \bar{E} \cdot (I_0 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_1 \cdot \bar{S}_0 \cdot \bar{S}_1 \cdot S_2 + I_2 \cdot \bar{S}_0 \cdot S_1 \cdot \bar{S}_2 + I_3 \cdot \bar{S}_0 \cdot S_1 \cdot S_2 + I_4 \cdot S_0 \cdot \bar{S}_1 \cdot \bar{S}_2 + I_5 \cdot S_0 \cdot \bar{S}_1 \cdot S_2 + I_6 \cdot S_0 \cdot S_1 \cdot \bar{S}_2 + I_7 \cdot S_0 \cdot S_1 \cdot S_2)$$

The LS151 provides the ability, in one package, to select from eight sources of data or control information. By proper manipulation of the inputs, the LS151 can provide any logic function of four variables and its negation.

TRUTH TABLE

E	S ₂	S ₁	S ₀	I ₀	I ₁	I ₂	I ₃	I ₄	I ₅	I ₆	I ₇	Z	Z
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	X	L	H
L	H	H	H	X	X	X	X	X	X	X	H	L	H

H = HIGH Voltage Level
 L = LOW Voltage Level
 X = Don't Care

SN54/74LS151

GUARANTEED OPERATING RANGES

Symbol	Parameter		Min	Typ	Max	Unit
V _{CC}	Supply Voltage	54 74	4.5 4.75	5.0 5.0	5.5 5.25	V
T _A	Operating Ambient Temperature Range	54 74	-55 0	25 25	125 70	°C
I _{OH}	Output Current — High	54, 74			-0.4	mA
I _{OL}	Output Current — Low	54 74			4.0 8.0	mA

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V _{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V _{IL}	Input LOW Voltage	54		0.7	V	Guaranteed Input LOW Voltage for All Inputs
		74		0.8		
V _{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	V _{CC} = MIN, I _{IN} = -18 mA
V _{OH}	Output HIGH Voltage	54	2.5	3.5	V	V _{CC} = MIN, I _{OH} = MAX, V _{IN} = V _{IH} or V _{IL} per Truth Table
		74	2.7	3.5	V	
V _{OL}	Output LOW Voltage	54, 74	0.25	0.4	V	I _{OL} = 4.0 mA I _{OL} = 8.0 mA
		74	0.35	0.5	V	
I _{IH}	Input HIGH Current			20	µA	V _{CC} = MAX, V _{IN} = 2.7 V
I _{IL}	Input LOW Current			0.1	mA	V _{CC} = MAX, V _{IN} = 7.0 V
I _{OS}	Short Circuit Current (Note 1)			-0.4	mA	V _{CC} = MAX, V _{IN} = 0.4 V
I _{CS}	Short Circuit Current (Note 1)	-20		-100	mA	V _{CC} = MAX
I _{CC}	Power Supply Current			10	mA	V _{CC} = MAX

Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

AC CHARACTERISTICS (T_A = 25°C)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
t _{PLH}	Propagation Delay Select to Output Z		27	43	ns	V _{CC} = 5.0 V C _L = 15 pF
t _{PHL}	Propagation Delay Select to Output Z		18	30		
t _{PLH}	Propagation Delay Enable to Output Z		14	23		
t _{PHL}	Propagation Delay Enable to Output Z		20	32		
t _{PLH}	Propagation Delay Data to Output Z		26	42		
t _{PHL}	Propagation Delay Data to Output Z		20	32		
t _{PLH}	Propagation Delay Data to Output Z		15	24		
t _{PHL}	Propagation Delay Data to Output Z		18	30		
t _{PLH}	Propagation Delay Data to Output Z		20	32	ns	
t _{PHL}	Propagation Delay Data to Output Z		16	28		
t _{PLH}	Propagation Delay Data to Output Z		13	21	ns	
t _{PHL}	Propagation Delay Data to Output Z		12	20		

AC WAVEFORMS

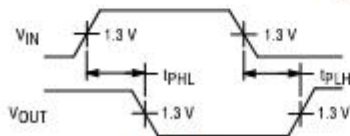


Figure 1

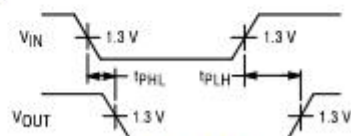
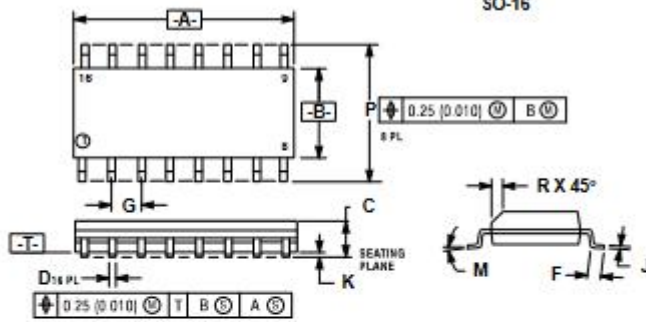


Figure 2

FAST AND LS TTL DATA

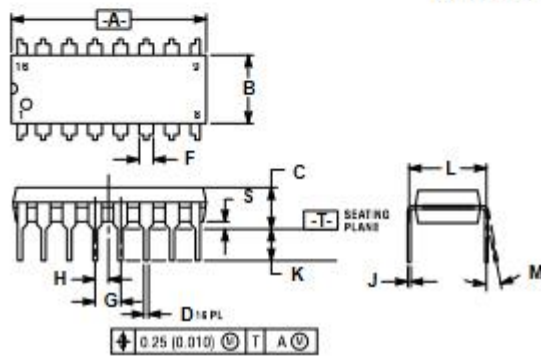
Case 751B-03 D Suffix
16-Pin Plastic
SO-16



- NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
 2. CONTROLLING DIMENSION: MILLIMETER
 3. DIMENSION A AND B DO NOT INCLUDE MOLD PROTRUSION
 4. MAXIMUM MOLD PROTRUSION 0.15 (0.006) PER SIDE
 5. 751B-01 IS OBSOLETE, NEW STANDARD 751B-03

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	9.83	13.00	0.385	0.512
B	3.83	4.60	0.150	0.181
C	1.35	1.75	0.054	0.069
D	0.35	0.48	0.014	0.019
F	0.40	1.25	0.016	0.049
G	1.27 BSC		0.050 BSC	
J	0.19	0.25	0.008	0.010
K	0.19	0.25	0.008	0.010
M	0 ^ø	0 ^ø	0 ^ø	0 ^ø
P	5.83	6.20	0.229	0.244
H	0.25	0.50	0.010	0.019

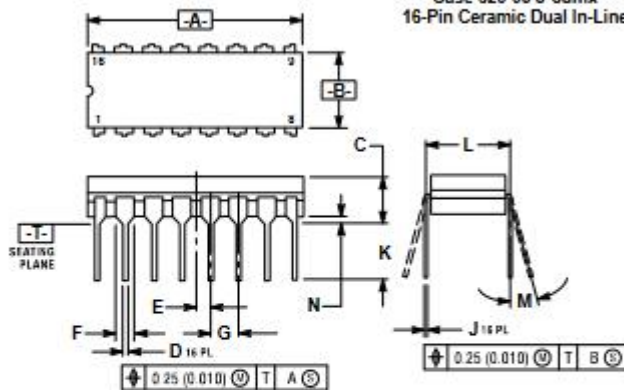
Case 648-08 N Suffix
16-Pin Plastic



- NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
 2. CONTROLLING DIMENSION: INCH
 3. DIMENSION L TO CENTER OF LEADS WHEN FORMED PARALLEL
 4. DIMENSION B DOES NOT INCLUDE MOLD FLASH
 5. ROUNDED CORNERS OPTIONAL
 6. 648-01 THRU 07 OBSOLETE, NEW STANDARD 648-08

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	18.86	19.55	0.740	0.770
B	4.25	6.60	0.165	0.260
C	3.68	4.44	0.145	0.175
D	0.38	0.53	0.015	0.021
F	1.62	1.71	0.064	0.070
G	2.54 BSC		0.100 BSC	
H	1.27 BSC		0.050 BSC	
J	3.27	6.38	0.128	0.251
K	2.86	3.30	0.113	0.130
L	7.25	7.74	0.285	0.305
M	0 ^ø	10 ^ø	0 ^ø	10 ^ø
S	3.81	1.01	0.150	0.040

Case 620-09 J Suffix
16-Pin Ceramic Dual In-Line



- NOTES
1. DIMENSIONING AND TOLERANCING PER ANSI Y14.5M, 1982
 2. CONTROLLING DIMENSION: INCH
 3. DIMENSION L TO CENTER OF LEAD WHEN FORMED PARALLEL
 4. DIM F MAY NARROW TO 0.16 (0.006) WHERE THE LEAD ENTERS THE CERAMIC BODY
 5. 620-01 THRU 08 OBSOLETE, NEW STANDARD 620-09

DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
A	19.65	19.55	0.770	0.770
B	6.18	7.30	0.240	0.283
C	4.39		0.173	
D	0.38	0.53	0.015	0.021
E	1.27 BSC		0.050 BSC	
F	1.48	1.77	0.058	0.070
G	2.54 BSC		0.100 BSC	
J	0.23	0.27	0.009	0.011
K	0.08		0.003	
L	7.62 BSC		0.300 BSC	
M	0 ^ø	15 ^ø	0 ^ø	15 ^ø
N	0.38	0.38	0.015	0.015

FAST AND LS TTL DATA

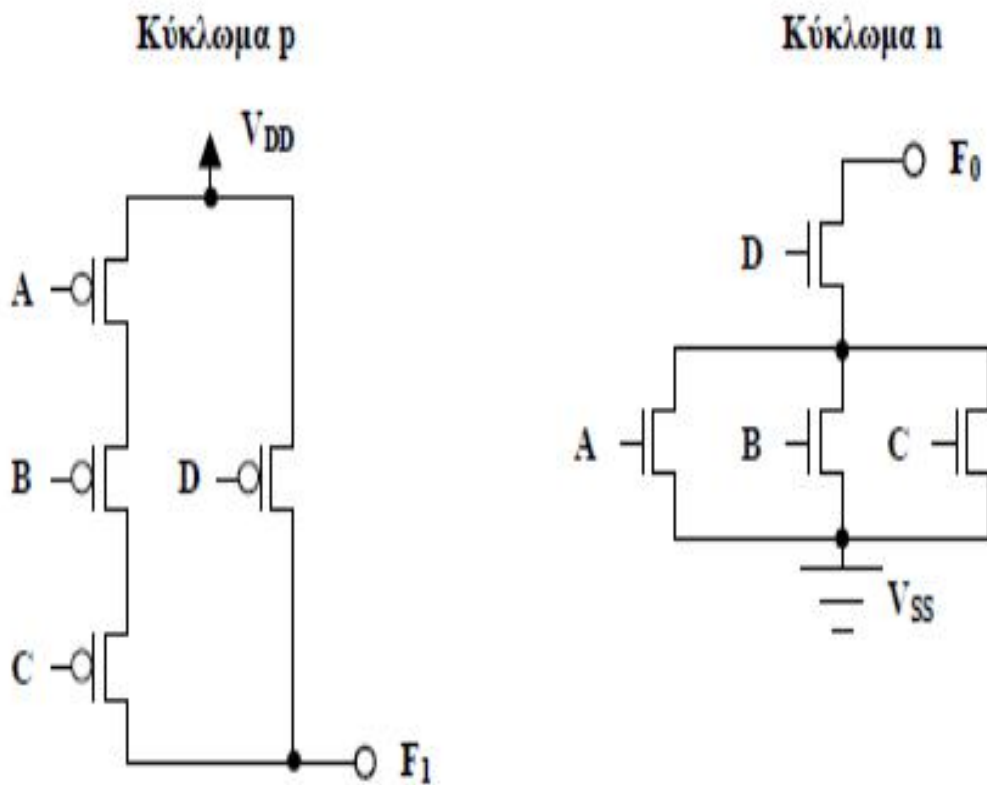
ΚΕΦΑΛΑΙΟ / ΕΝΟΤΗΤΑ 6

Σχεδίαση και υλοποίηση σύνθετων πυλών CMOS

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ $F = [(A + B + C) * D]'$ // {ΣΥΜΠΛΗΡΩΜΑ} //

$$\text{ή } F = [(A|B|C)\&D]'$$

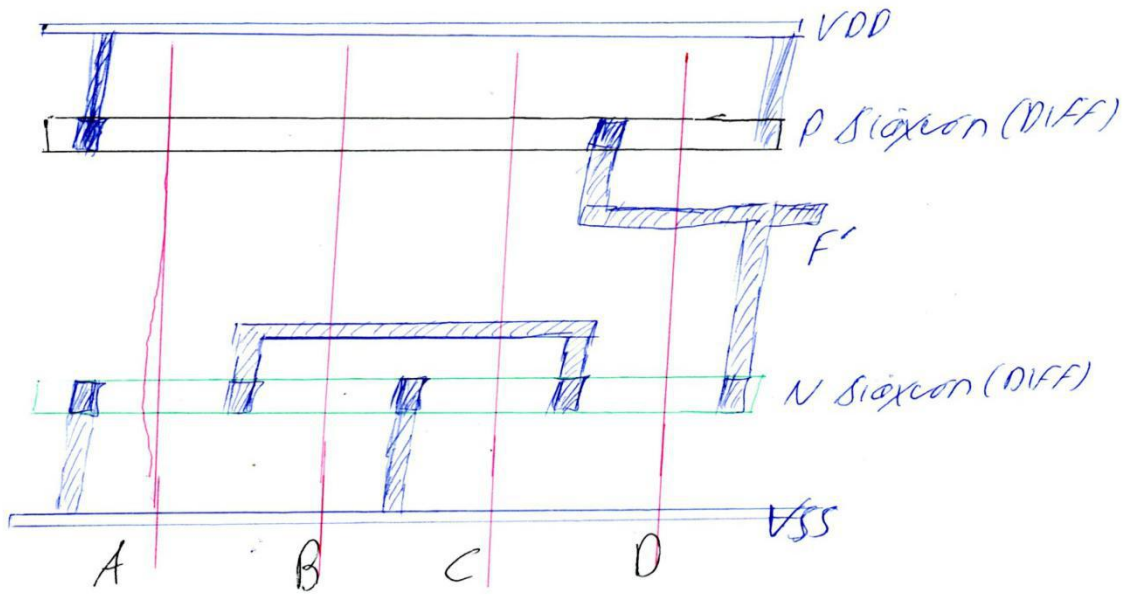
ΚΥΚΛΩΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ



STICK DIAGRAM

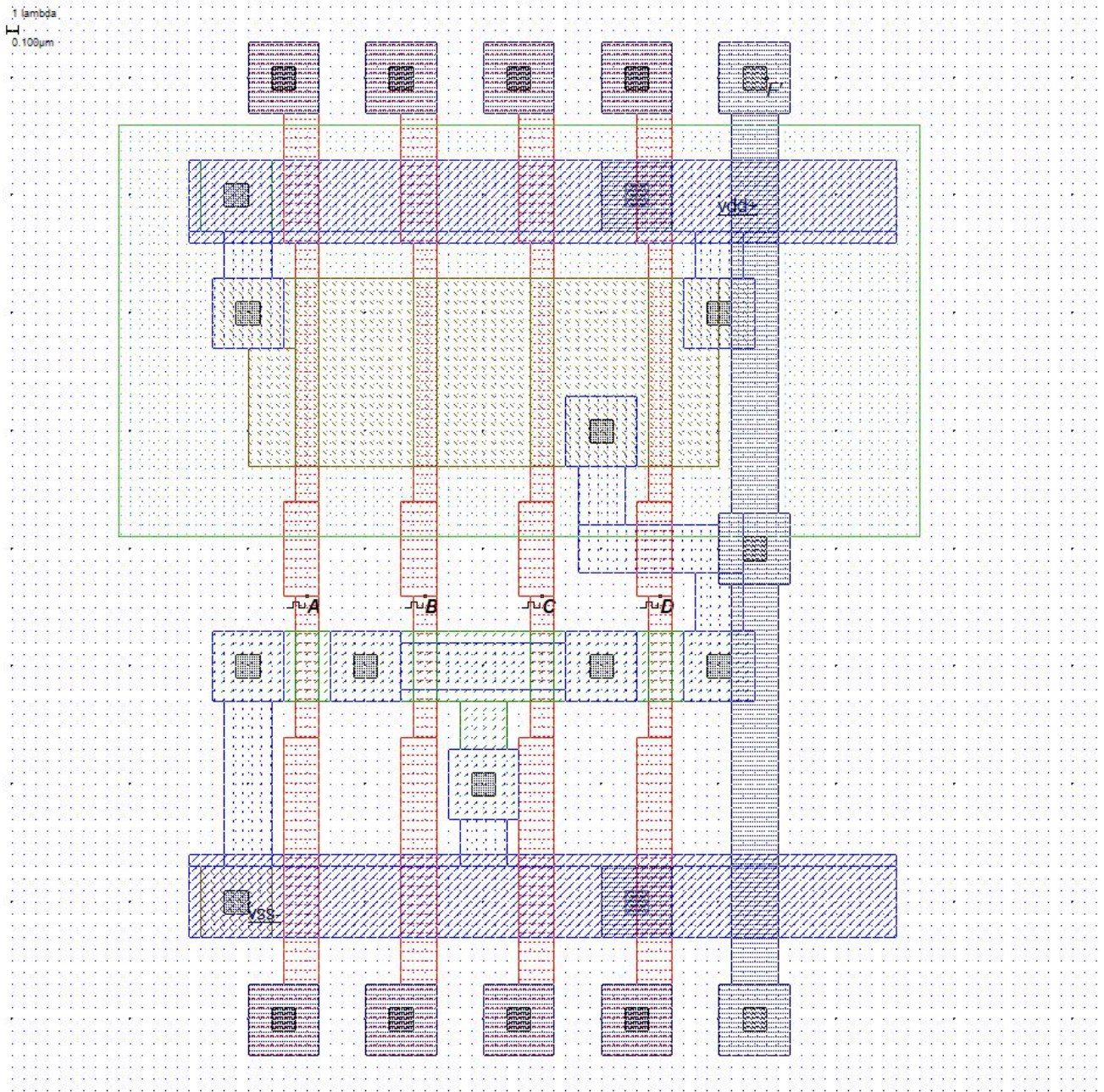
$$F = \overline{(A + B + C)} \cdot D$$

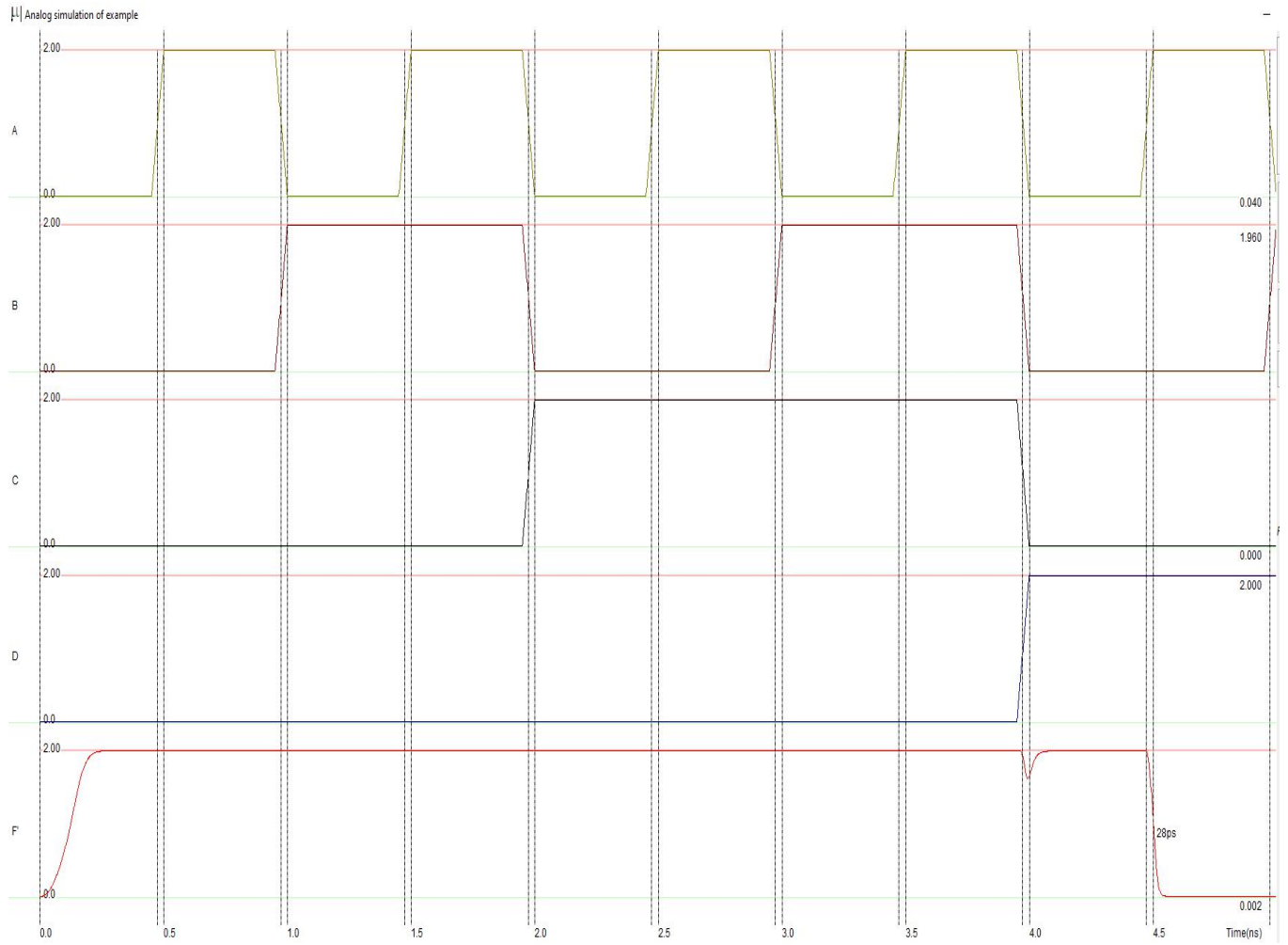
STICK DIAGRAM



ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ $F = [(A + B + C) * D]'$ // {ΣΥΜΠΛΗΡΩΜΑ} //

ή $F = [(A|B|C)\&D]'$



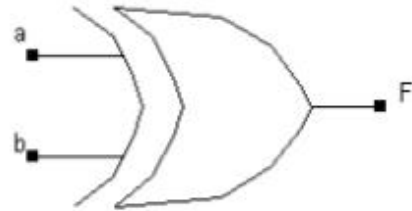


ΚΕΦΑΛΑΙΟ / ΕΝΟΤΗΤΑ 7

ΠΥΛΗ ΧΟΡ

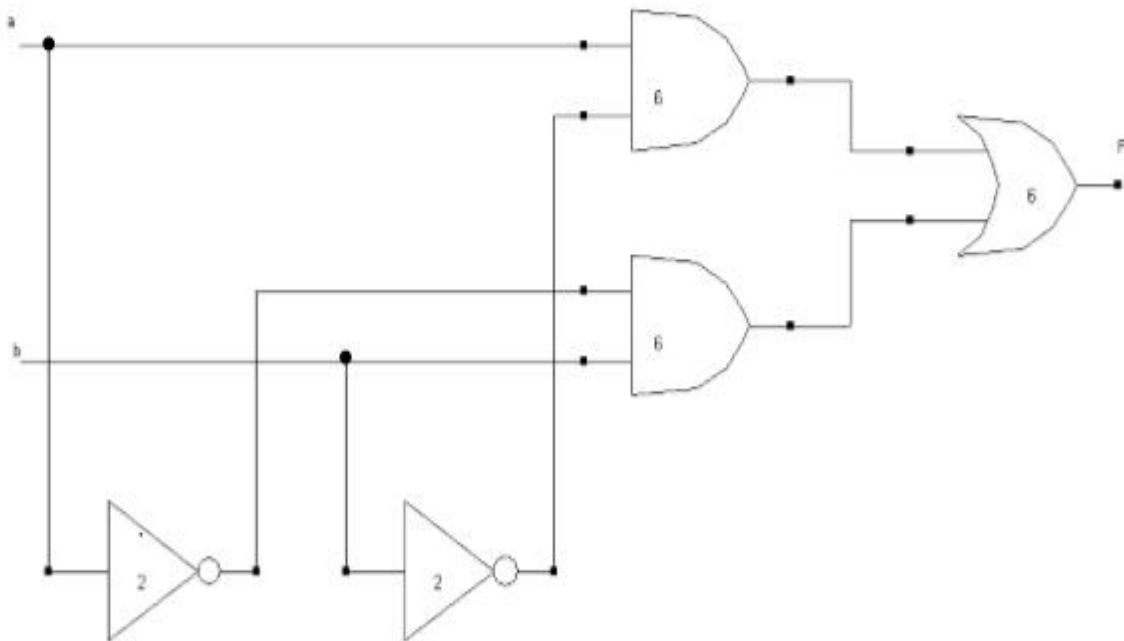
ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ - ΣΧΗΜΑΤΙΚΟ ΣΥΜΒΟΛΟ

a	b	$F = a \oplus b$
0	0	0
0	1	1
1	0	1
1	1	0



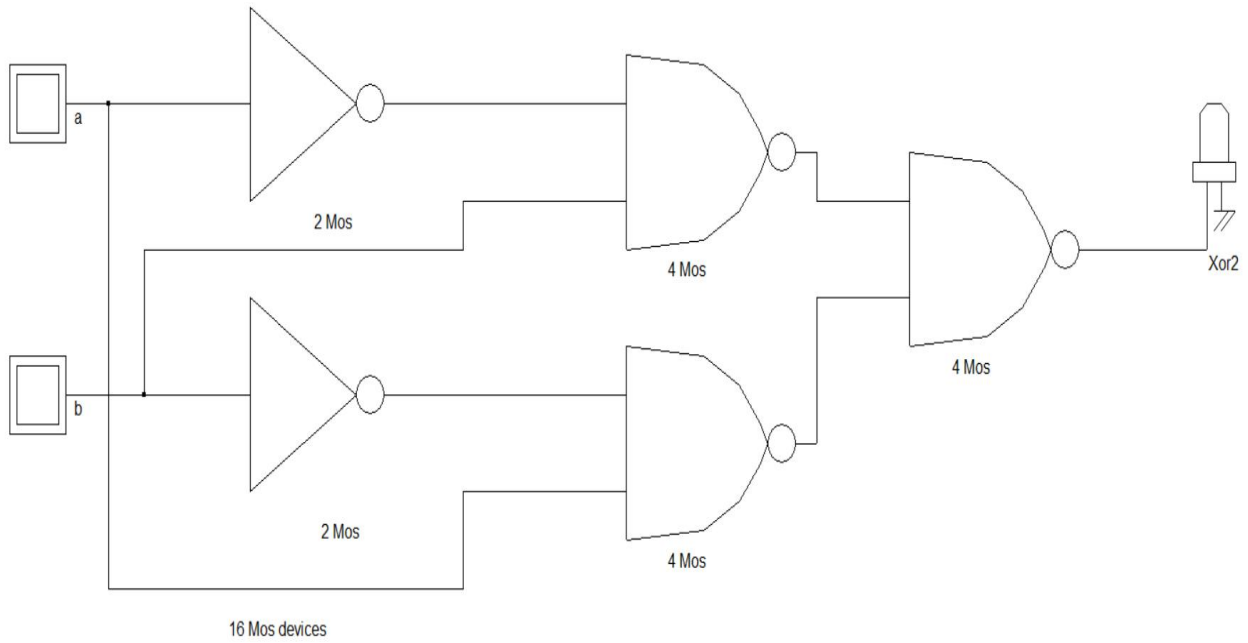
$$F = a \oplus b = a \cdot \bar{b} + \bar{a} \cdot b$$

ΑΠΕΥΘΕΙΑΣ ΥΛΟΠΟΙΗΣΗ ΧΟΡ ΠΥΛΗΣ



ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ 22 ΤΡΑΝΖΙΣΤΟΡ

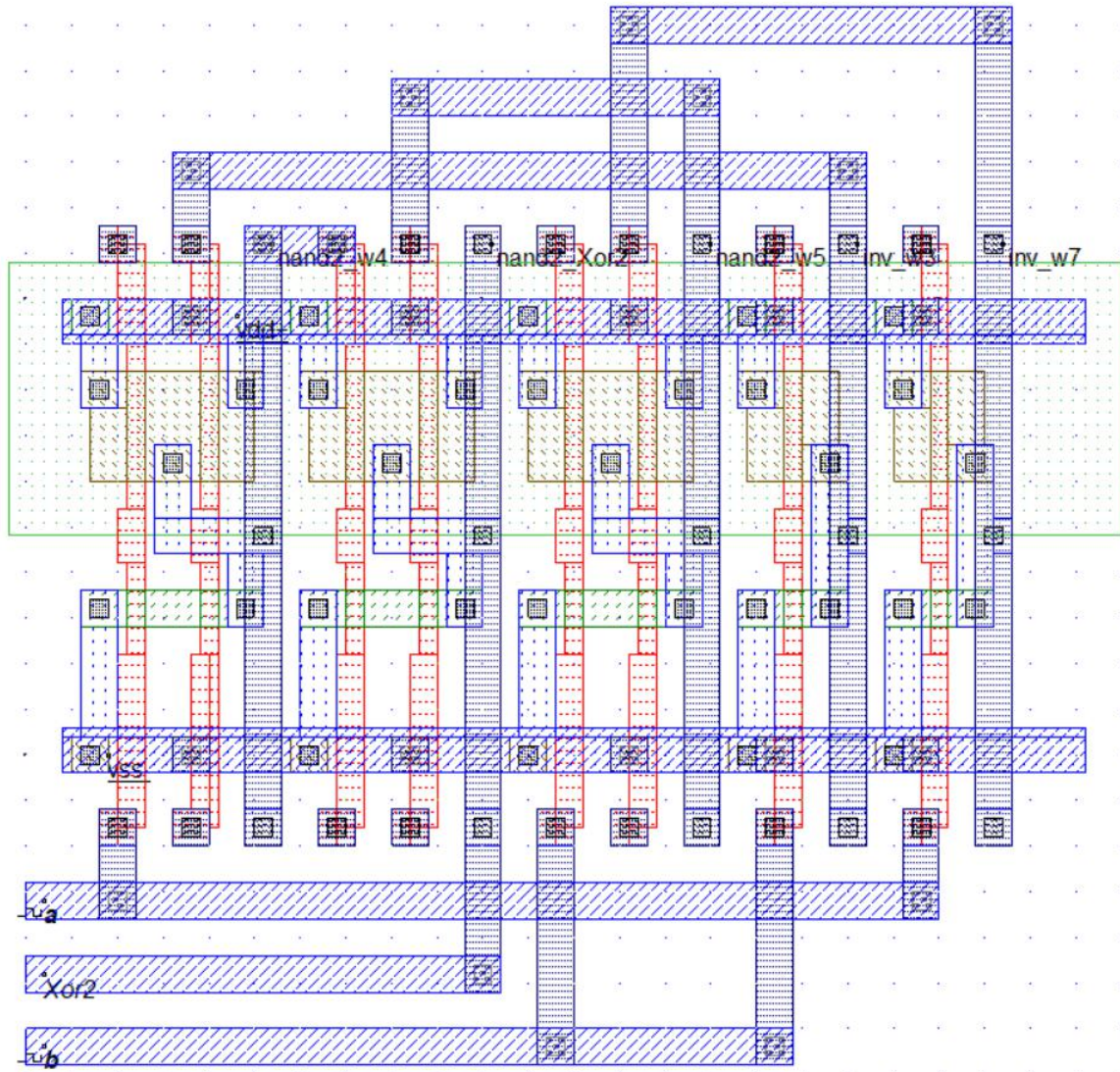
ΧΟΡ ΜΕ ΠΥΛΕΣ NAND ,ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ 16 TRANZISTOR

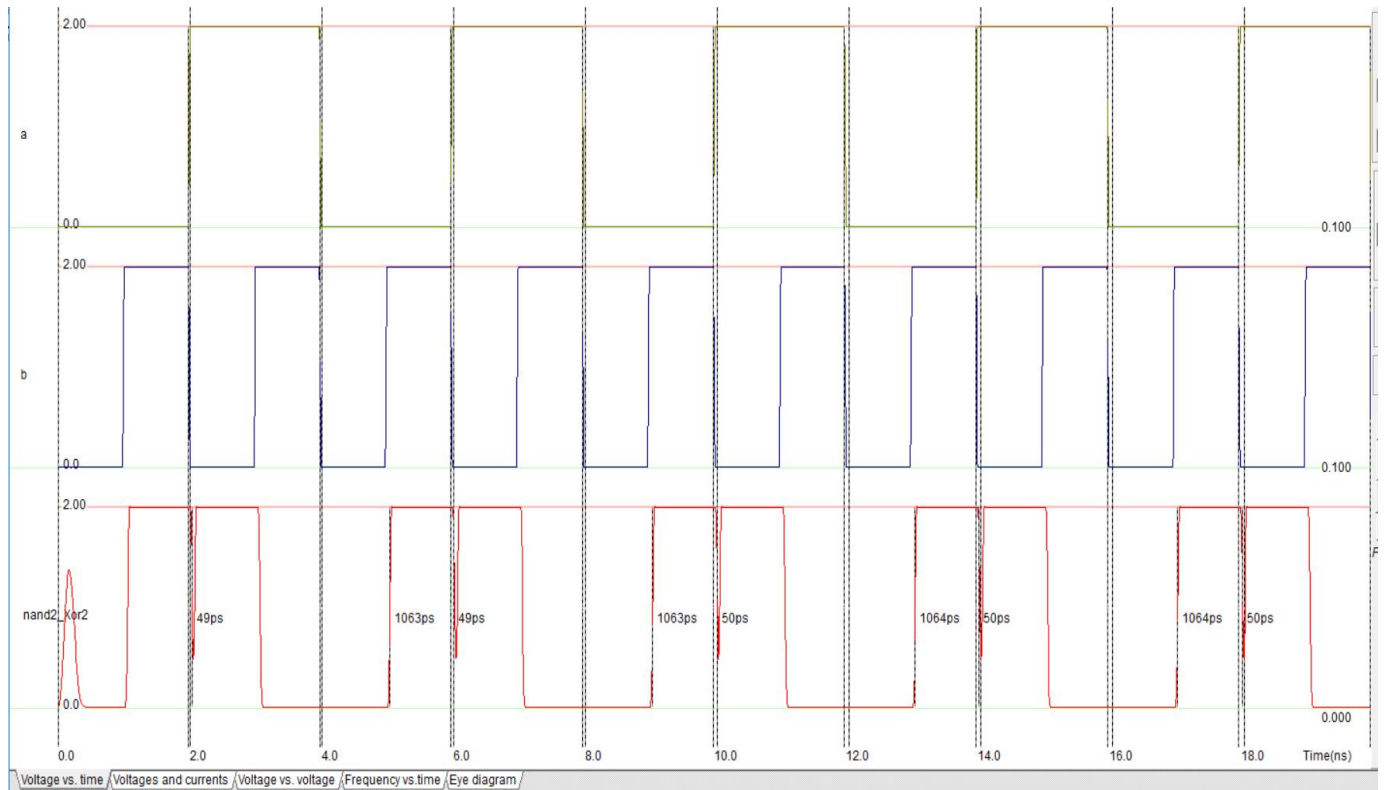


Εξισώσεις De Morgan $\overline{x+y} = \bar{x} \cdot \bar{y}$, $\overline{x \cdot y} = \bar{x} + \bar{y}$

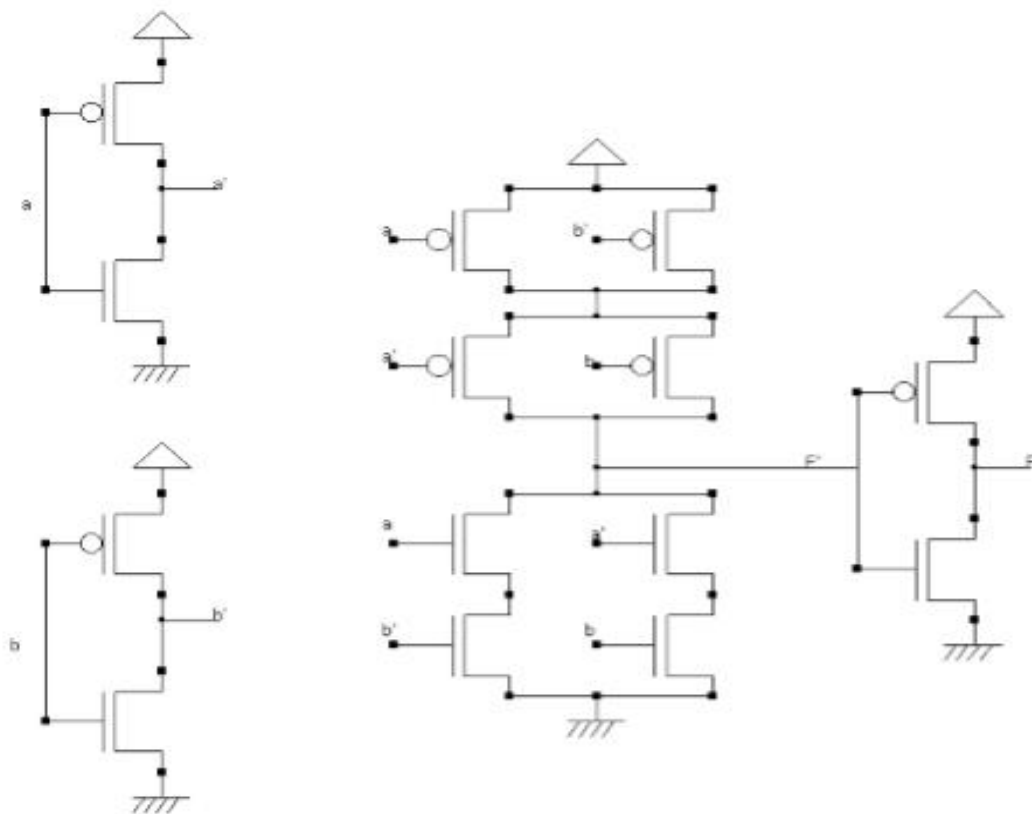
$$F = a \oplus b = a \cdot \bar{b} + \bar{a} \cdot b \Rightarrow \overline{\overline{a \cdot \bar{b} + \bar{a} \cdot b}} = \overline{\overline{a \cdot \bar{b}} \cdot \overline{\bar{a} \cdot b}} = \overline{\bar{a} \cdot \bar{\bar{a}} \cdot \bar{b} \cdot \bar{\bar{b}}} = \overline{\bar{a} \cdot a \cdot \bar{b} \cdot b} = \overline{0} = 1$$

5 lambda
0.500um



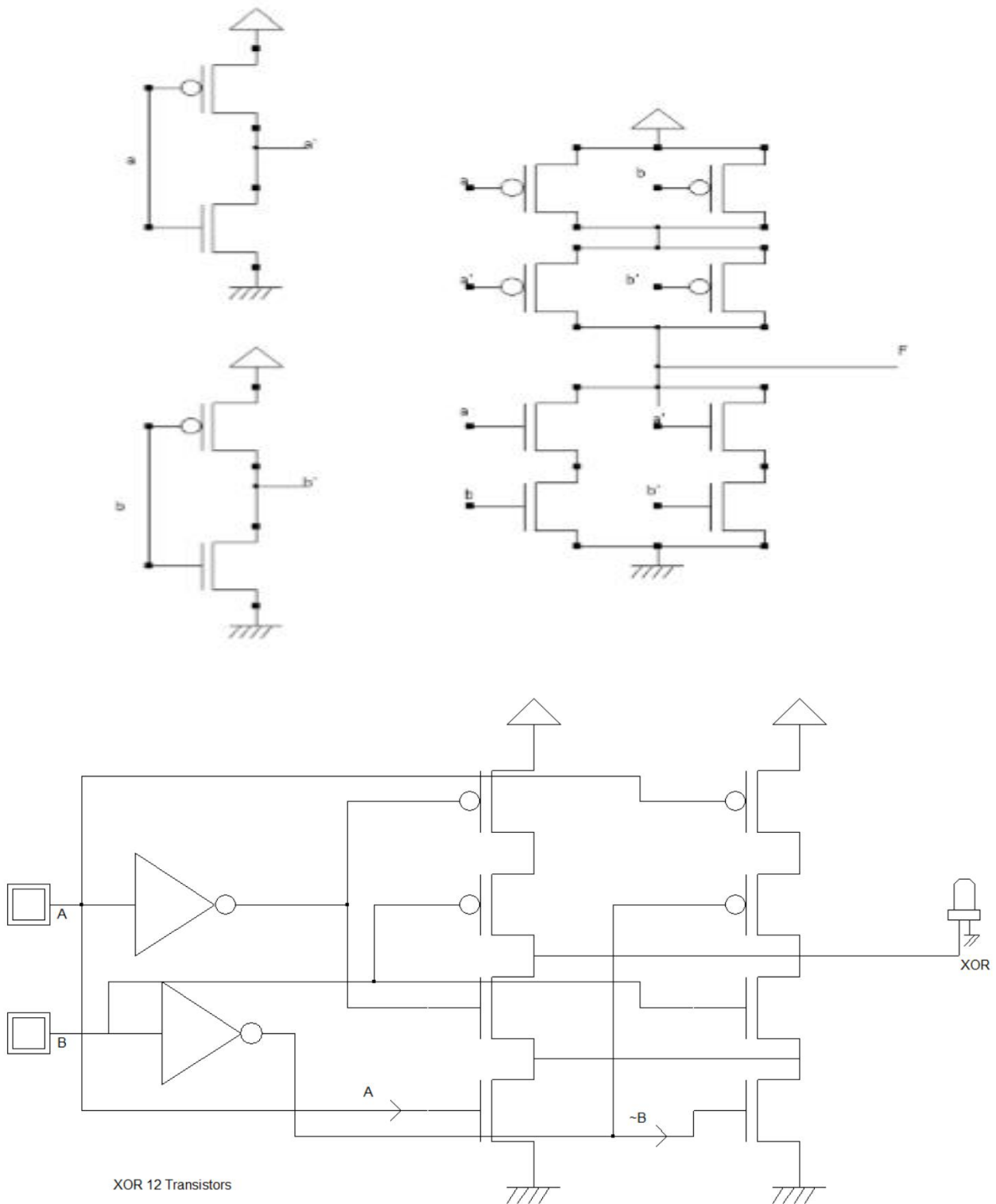


ΥΛΟΠΟΙΗΣΗ ΧΟΡ ΜΕ 14 ΤΡΑΝΖΙΣΤΟΡ (ΑΟΙ)



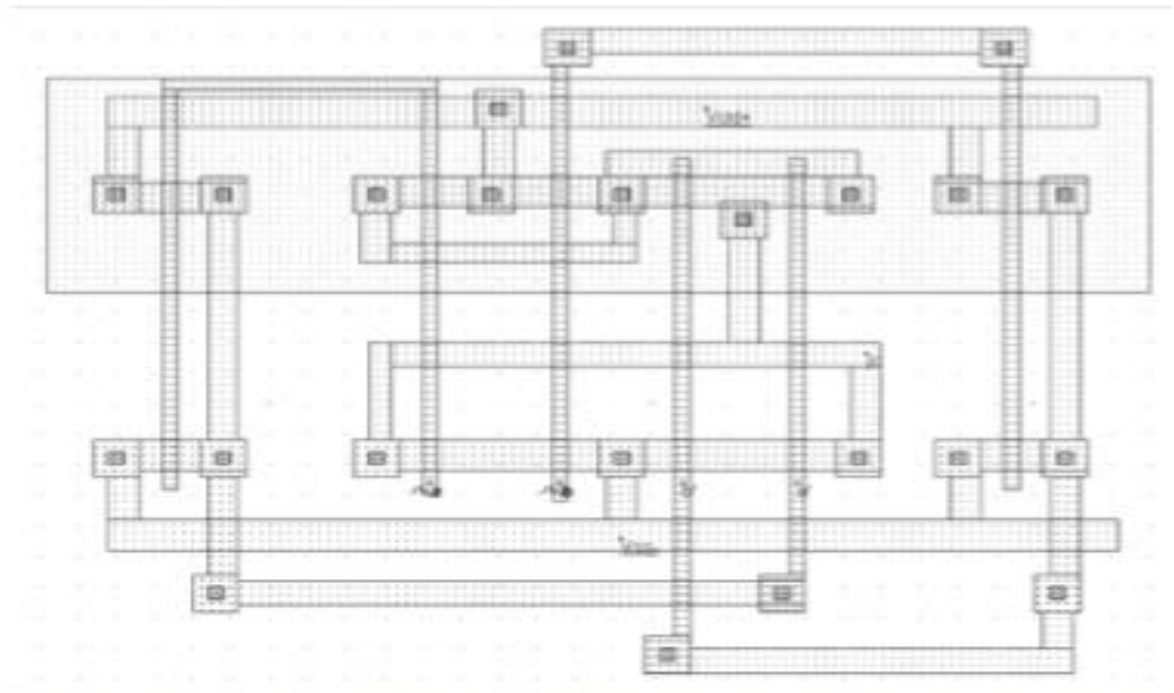
$$F = a \oplus b = a \cdot \bar{b} + \bar{a} \cdot b \Rightarrow \bar{F} = \overline{a \cdot \bar{b} + \bar{a} \cdot b}$$

ΥΛΟΠΟΙΗΣΗ ΧΟΡ ΜΕ 12 ΤΡΑΝΖΙΣΤΟΡ (ΑΟΙ)



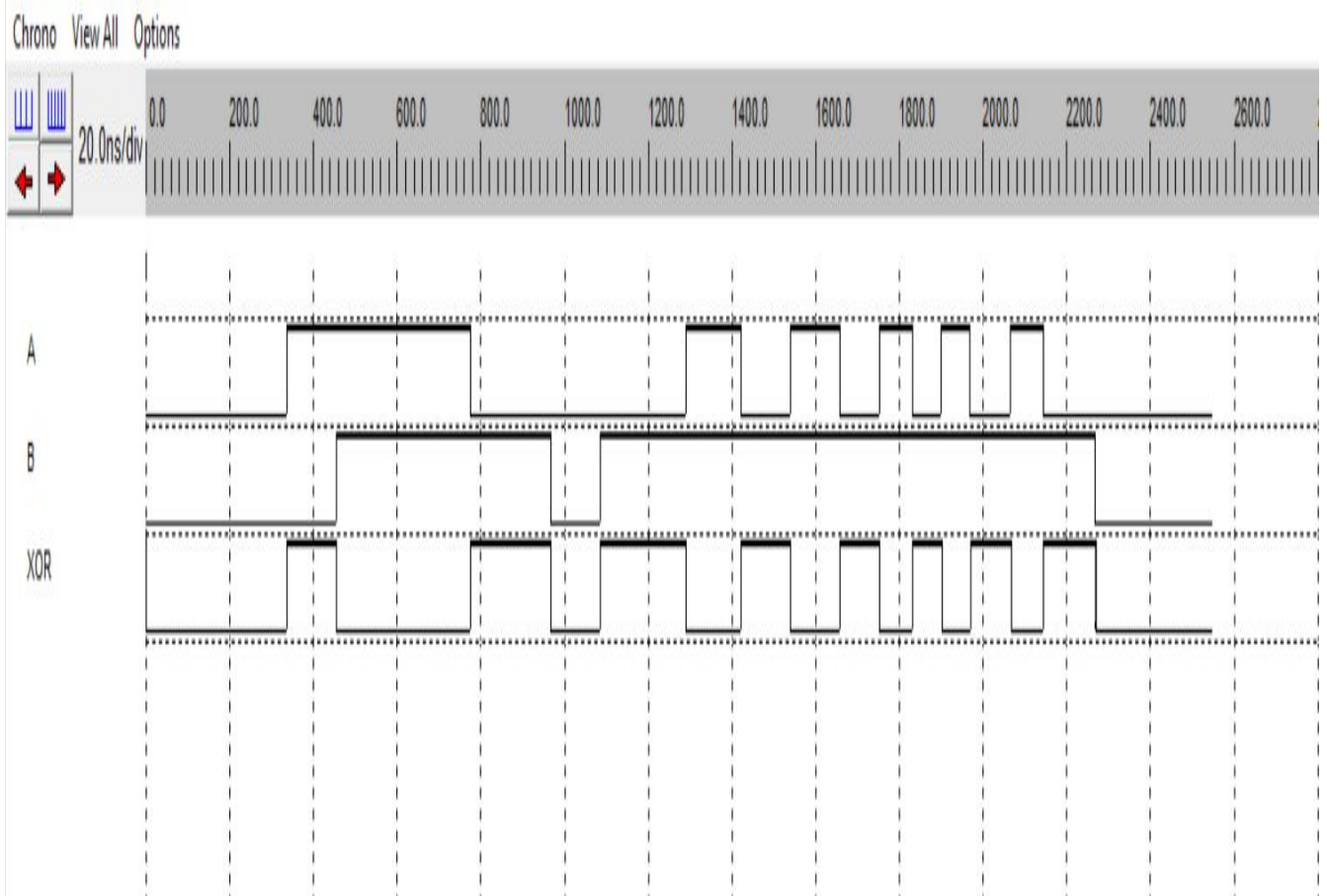
$$Y = a \otimes b = a \cdot b + \bar{a} \cdot \bar{b} \Rightarrow \bar{Y} = F = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$$

ΦΥΣΙΚΟ ΣΧΕΔΙΟ ΣΤΟ MICROWIND

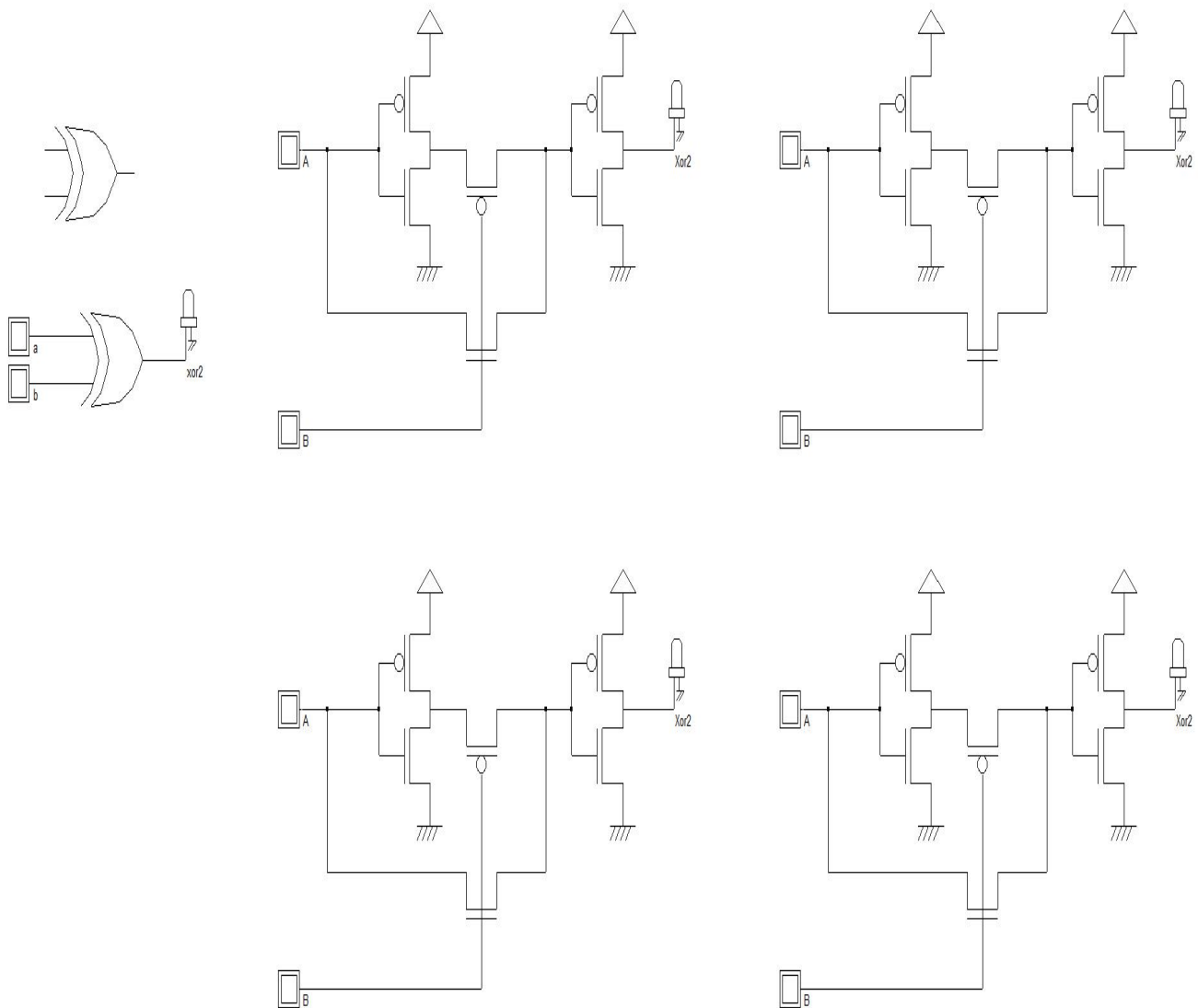


ΚΥΜΑΤΟΜΟΡΦΕΣ





ΥΛΟΠΟΙΗΣΗ ΧΟΡ ΜΕ ΠΥΛΕΣ ΜΕΤΑΔΟΣΗΣ

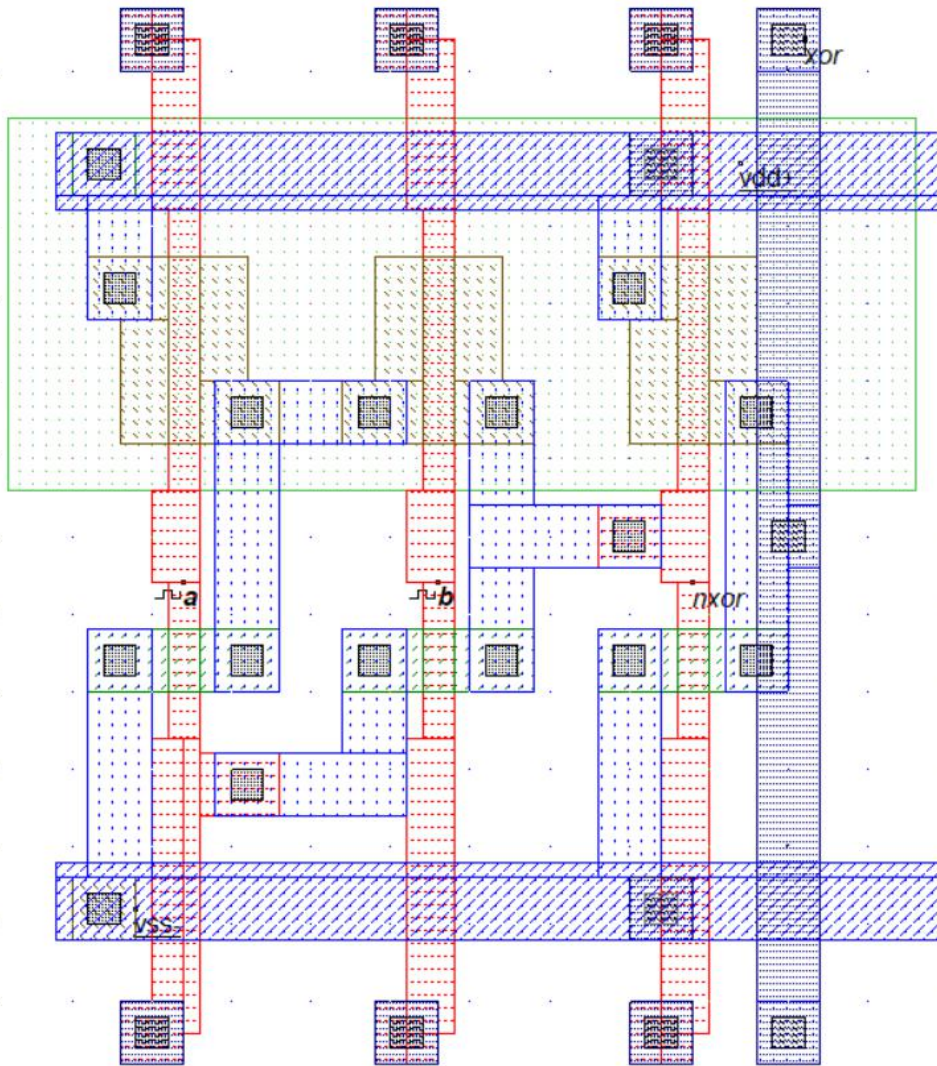


Εαν $B=0$ τότε $OUT = A$, εαν $B=1$ τότε $OUT = A'$.

Εαν $A=1$ και $B=0$ τότε $OUT = A$

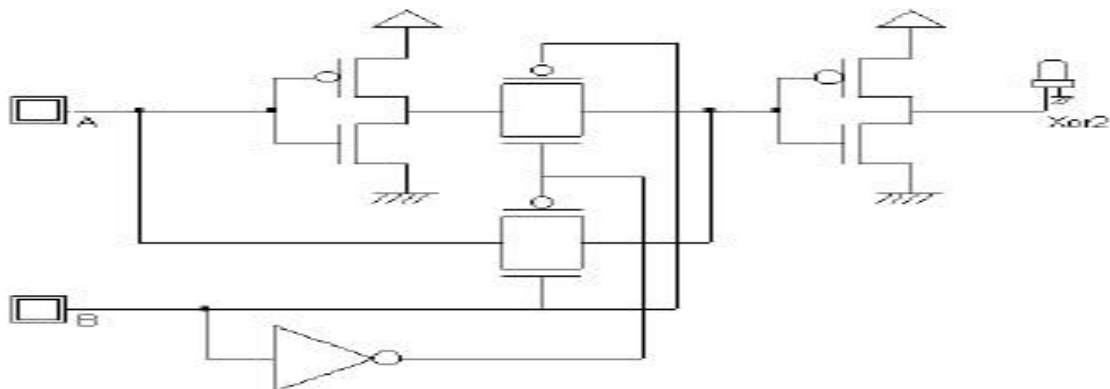
Θέλουμε να ρέει το σήμα A εαν $B=1$ και να ρέει το σήμα A' εάν $B=0$

5 lambda
0.175μm

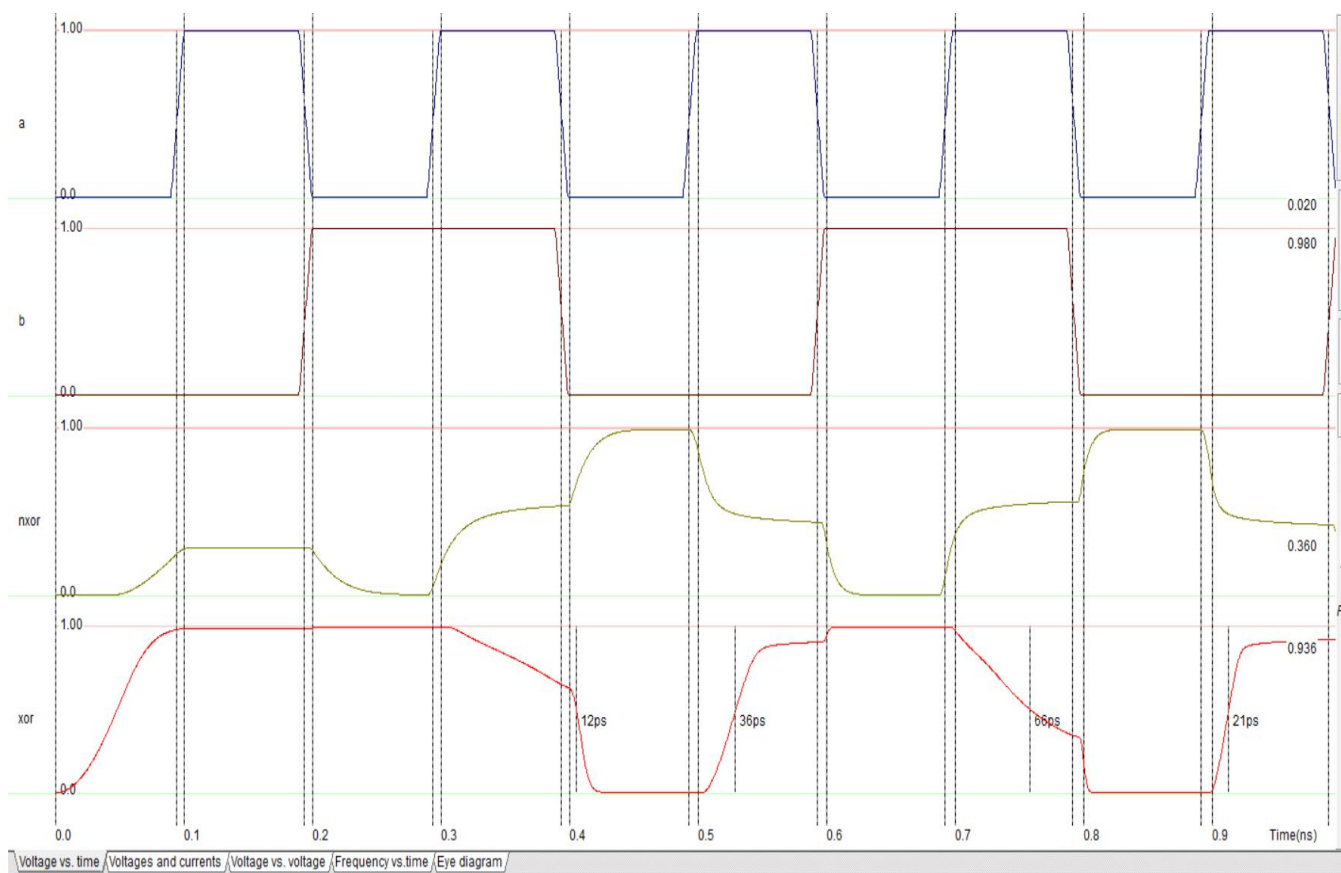


ΥΛΟΠΟΙΗΣΗ ΧΟΡ ΜΕ ΠΥΛΕΣ ΜΕΤΑΔΟΣΗΣ

ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ = 6 ΤΡΑΝΖΙΣΤΟΡΣ

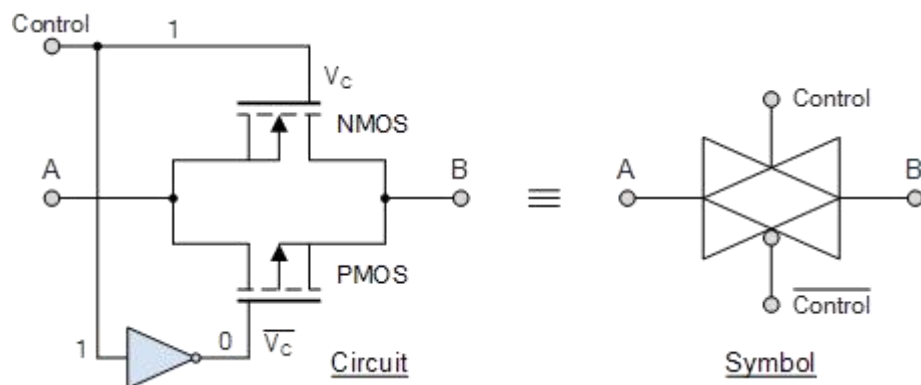


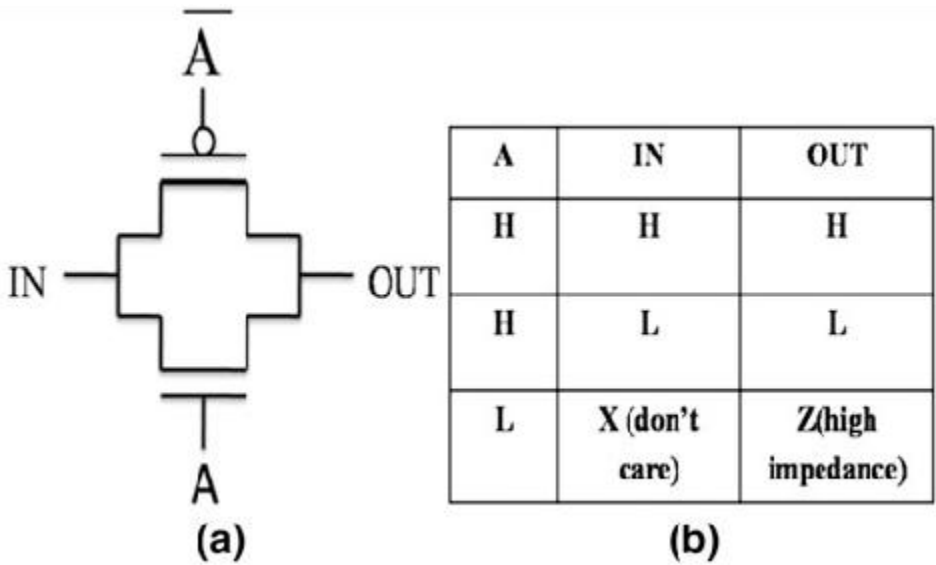
ΥΛΟΠΟΙΗΣΗ ΧΟΡ ΜΕ ΠΥΛΕΣ ΜΕΤΑΔΟΣΗΣ ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ = 8 - 10 ΤΡΑΝΖΙΣΤΟΡΣ ΓΙΑ ΚΑΛΥΤΕΡΗ ΕΞΟΔΟ ΛΟΓΙΚΟΥ 1 ΚΑΙ ΛΟΓΙΚΟΥ 0



ΠΥΛΕΣ ΜΕΤΑΔΟΣΗΣ - Pass Transistors

Μια πύλη μετάδοσης αποτελείται από ένα ζευγάρι καναλιού p και καναλιού n και μπορεί να αποτελέσει έναν λογικά ελεγχόμενο διακόπτη. Εδώ το nMOS και το pMOS είναι παράλληλα.

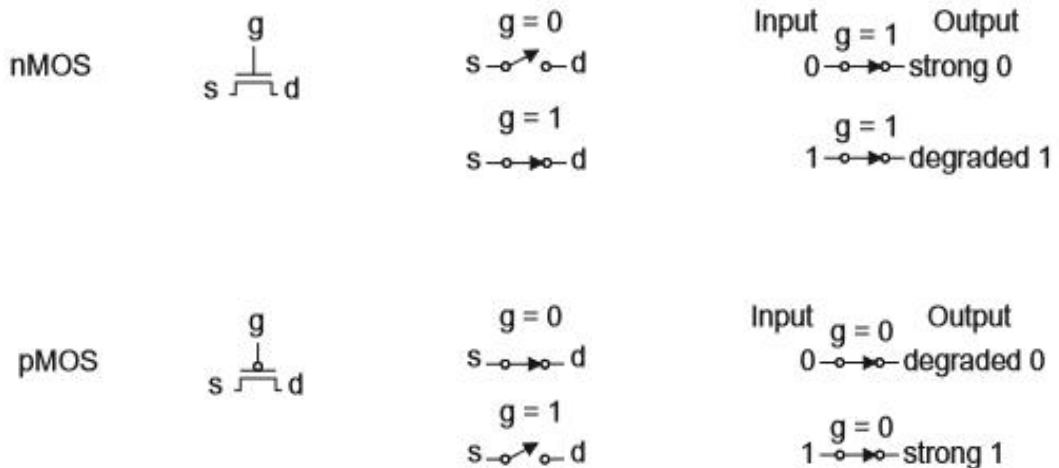




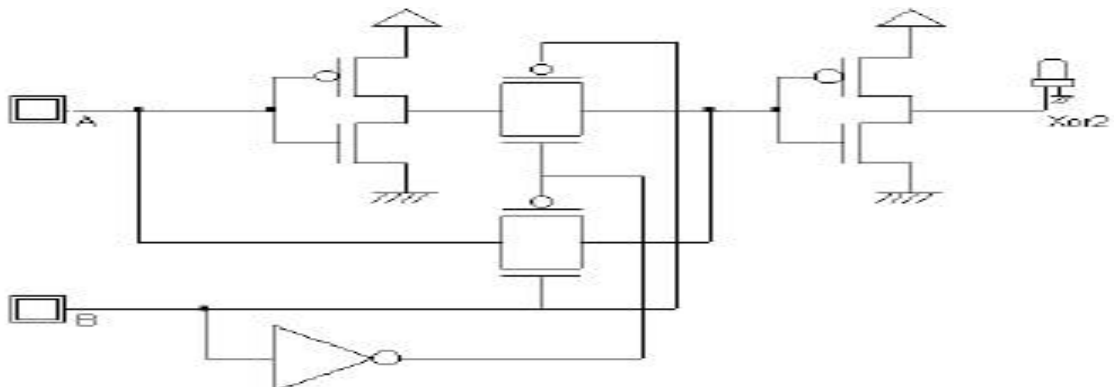
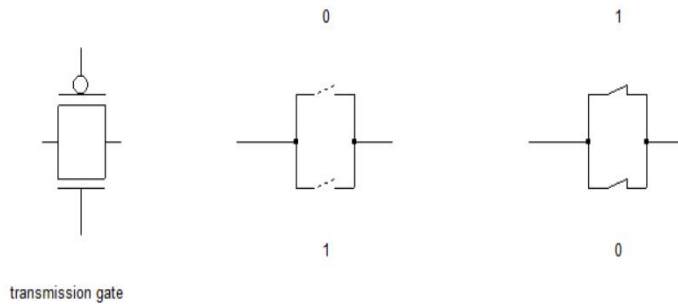
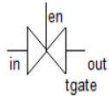
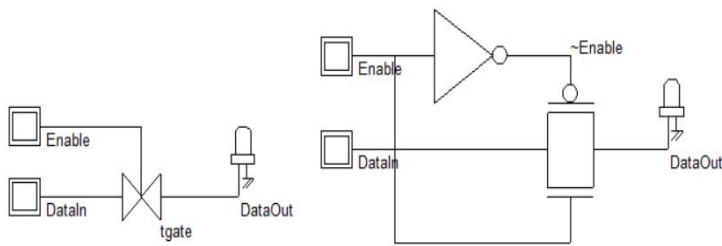
Μια πύλη μετάδοσης CMOS λειτουργεί έτσι ώστε τα σήματα εισόδου A'(A_L) ή EN_L και A (A) ή EN να βρίσκονται πάντα σε αντίθετα επίπεδα. Όταν το σήμα A είναι σε υψηλό (HIGH) και το σήμα A_L(A') να είναι χαμηλό (LOW) τότε υπάρχει μια σύνδεση πολύ μικρής αντίστασης (γύρω στα 2 – 5 Ω) μεταξύ των σημείων IN και OUT. Εάν το σήμα A είναι χαμηλό (LOW) και το σήμα A_L να είναι υψηλό (HIGH) τότε τα σημεία IN και OUT είναι αποσυνδεδεμένα. Όταν εγκριθεί μια πύλη μετάδοσης η καθυστέρηση διάδοσης από το IN στο OUT είναι πολύ μικρή.

Να υπενθυμίσουμε ότι το PMOS βγάζει ισχυρούς άσσους και το NMOS βγάζει ισχυρά μηδενικά.

Όταν τα NMOS και τα PMOS τρανζίστορ χρησιμοποιούνται ξεχωριστά σαν ένας ατελής διακόπτης καμιά φορά τα ονομάζουμε pass transistor.



ΠΥΛΗ ΜΕΤΑΔΟΣΗΣ ΣΧΗΜΑΤΙΚΟ



Αυτή η υλοποίηση χρησιμοποιεί 2 ζεύγη pmos και nmos transistors σαν transmission gates άρα 4 τρανζίστορς και σύνολο 8 - 10 τρανζίστορς. Το κύκλωμα αυτό βοηθά στο να πάρουμε καθαρό λογικό 1 και καθαρό λογικό 0. Η διάταξη με τα 6 τρανζίστορς δίνει κυματομορφές με επικίνδυνα επίπεδα τάσης και για το λογικό 0 αλλά και για το λογικό 1

ΠΥΛΗ ΜΕΤΑΔΟΣΗΣ VERILOG CODE

```

// DSCH 2.7f
// 25/11/2021 9:58:07 πμ
// C:\Users\am5\Desktop\#ΑΚΕΛΟΣ ΜΑΘΗΜΑΤΩΝ ΓΙΑ ΕΛΛΗΝΑ\STORE N GO\Export dsch2\Export dsch2\Tgate.sch

module Tgate( Enable,DataIn,DataIn,Enable,DataOut,DataOut);
  input Enable,DataIn,DataIn,Enable;
  output DataOut,DataOut;
  wire w23,w24;
  not #(10) inv(w10,Enable);
  nmos #(17) nmos(DataOut,DataIn,Enable); // 1.0u 0.12u
  pmos #(17) pmos(DataOut,DataIn,w10); // 2.0u 0.12u
  pmos #(10) pmos(w18,w16,w17); // 2.0u 0.12u
  nmos #(10) nmos(w18,w16,w22); // 1.0u 0.12u
  not #(10) sub_1(w23,w3);
  nmos #(10) sub_2(w4,w2,w3); //
  pmos #(10) sub_3(w4,w2,w23); //
  not #(10) sub_4(w24,Enable);
  nmos #(17) sub_5(DataOut,DataIn,Enable); //
  pmos #(17) sub_6(DataOut,DataIn,w24); //
endmodule

// Simulation parameters in Verilog Format
always
#1000 Enable=~Enable;
#2000 DataIn=~DataIn;
#4000 DataIn=~DataIn;
#8000 Enable=~Enable;

// Simulation parameters
// Enable CLK 10 10
// DataIn CLK 20 20
// DataIn CLK 40 40
// Enable CLK 80 80

```

XOR VERILOG CODE

XOR AOI WITH 12 TRANZISTORS

```
// DSCH 2.7f
// 25/11/2021 9:50:59 πμ
// C:\Users\am5\Desktop\#ΑΚΕΛΟΣ ΜΑΘΗΜΑΤΩΝ ΓΙΑ ΕΛΜΕΠΑ\STORE N GO\Export dsch2\Export dsch2\XorAoi.sch

module XorAoi( B,A,XOR);
  input B,A;
  output XOR;
  not #(17) inv(w2,A);
  not #(24) inv(w4,B);
  pmos #(31) pmos(XOR,w5,B); // 2.0u 0.12u
  pmos #(10) pmos(w5,vdd,w2); // 2.0u 0.12u
  pmos #(31) pmos(XOR,w7,w4); // 2.0u 0.12u
  pmos #(10) pmos(w7,vdd,A); // 2.0u 0.12u
  nmos #(24) nmos(w8,vss,A); // 1.0u 0.12u
  nmos #(31) nmos(XOR,w8,w2); // 1.0u 0.12u
  nmos #(24) nmos(w8,vss,w4); // 1.0u 0.12u
  nmos #(31) nmos(XOR,w8,B); // 1.0u 0.12u
endmodule

// Simulation parameters in Verilog Format
always
#1000 B=~B;
#2000 A=~A;

// Simulation parameters
// B CLK 10 10
// A CLK 20 20
```

VHDL Code for EX-OR Gate

```

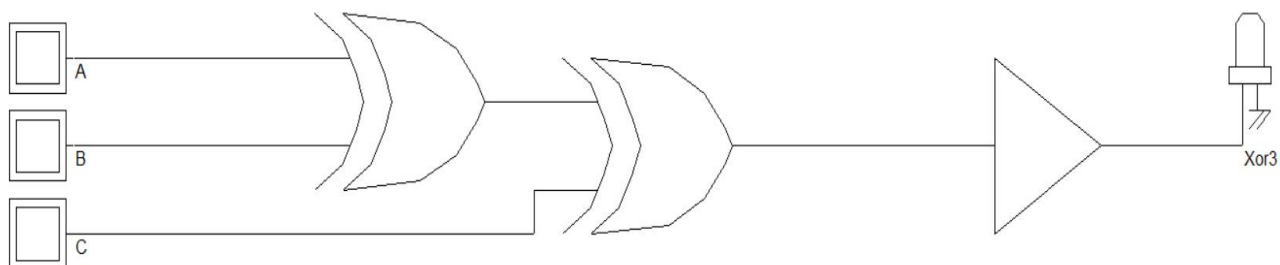
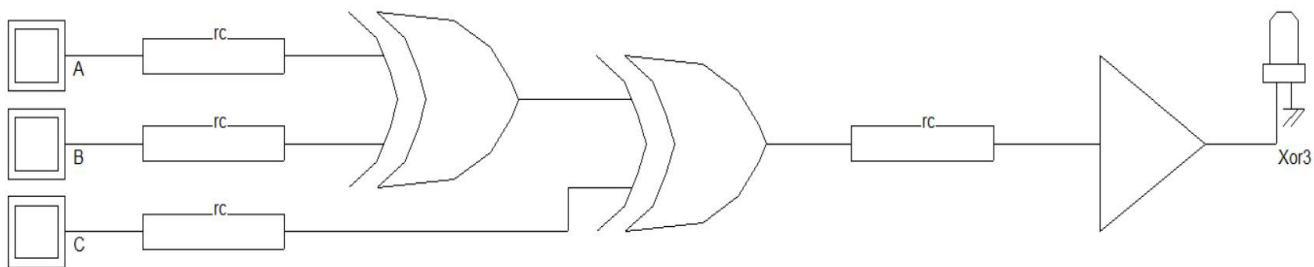
library IEEE;
use IEEE.std_logic_1164.all;
use IEEE.std_logic_arith.all;
use IEEE.std_logic_unsigned.all;
----- Entity Declarations -----
entity xorgate is
    Port( A : in std_logic;
          B : in std_logic;
          Y : out std_logic
        );
end xorgate;

architecture Behavioral of xorgate is
begin
    Y<= A xor B ;
end Behavior;

```

The timing diagram illustrates the behavior of the EX-OR gate. The horizontal axis represents time in nanoseconds (ns), ranging from 0 to 2200 ns with major ticks every 200 ns. There are three signal traces: 'a' (blue), 'b' (blue), and 'y' (red). Signal 'a' starts high, goes low at 400 ns, high again at 800 ns, low at 1200 ns, high at 1600 ns, and low at 2000 ns. Signal 'b' starts low, goes high at 400 ns, low at 800 ns, high at 1200 ns, low at 1600 ns, high at 2000 ns, and low at 2200 ns. Signal 'y' is high when 'a' and 'b' have opposite values and low when they have the same value. This matches the truth table for an EX-OR gate.

ΧΟR 3 Εισόδων



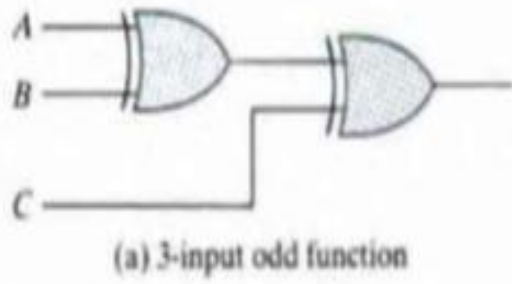
$$\begin{aligned}
 A \oplus B \oplus C &= (AB' + A'B)C' + (AB + A'B')C \\
 &= AB'C' + A'BC' + ABC + A'B'C \\
 &= \Sigma(1, 2, 4, 7)
 \end{aligned}$$

	<i>BC</i>		<i>B</i>	
	00	01	11	10
<i>A</i>	<i>m₀</i>	<i>m₁</i>	<i>m₃</i>	<i>m₂</i>
0		1		1
1	1		1	
	<i>C</i>			

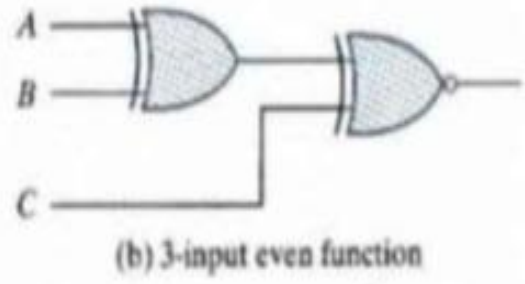
Odd function $F = A \oplus B \oplus C$

	<i>BC</i>		<i>B</i>	
	00	01	11	10
<i>A</i>	<i>m₀</i>	<i>m₁</i>	<i>m₃</i>	<i>m₂</i>
0	1		1	
1		1		1
	<i>C</i>			

Even function $F = (A \oplus B \oplus C)'$



(a) 3-input odd function

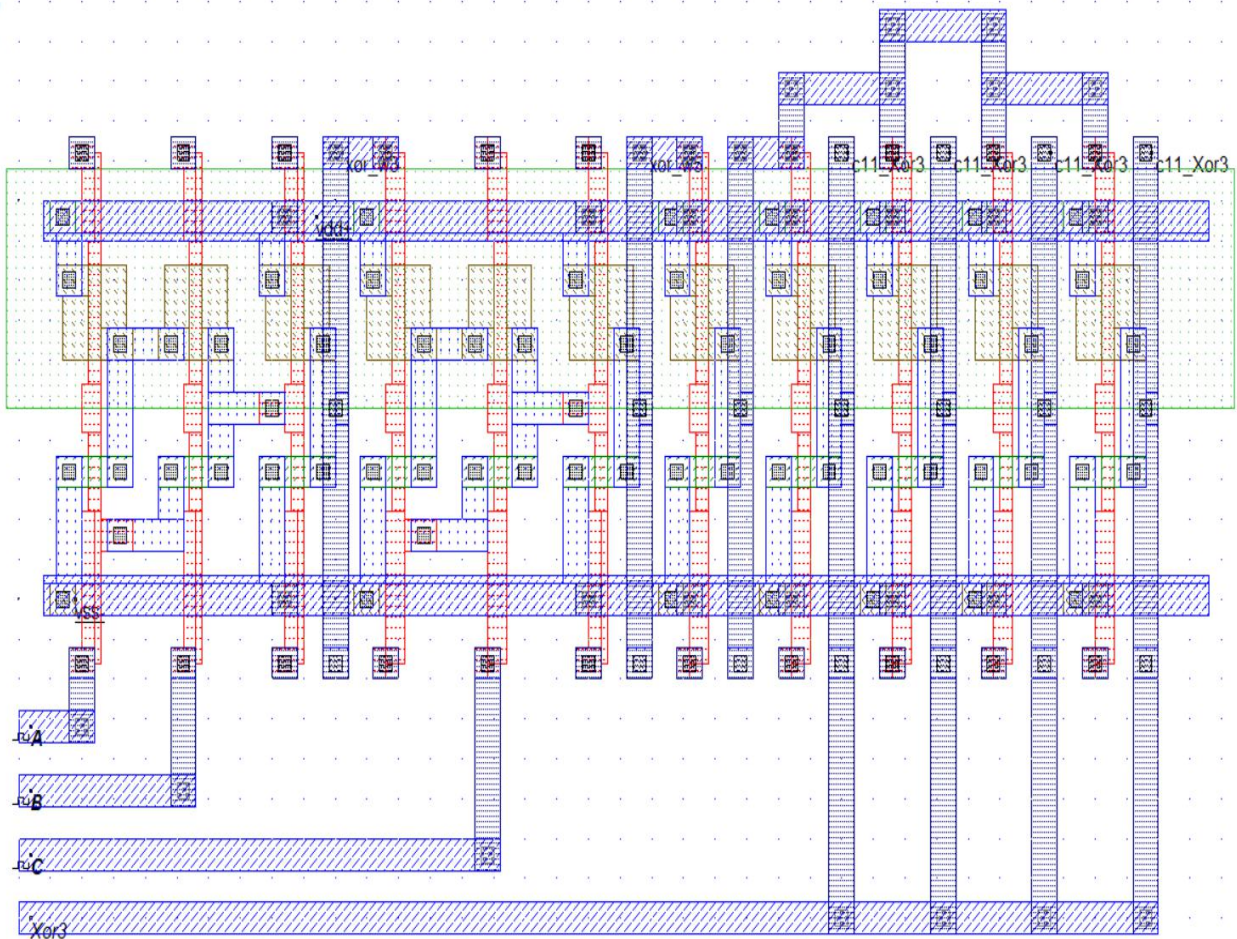


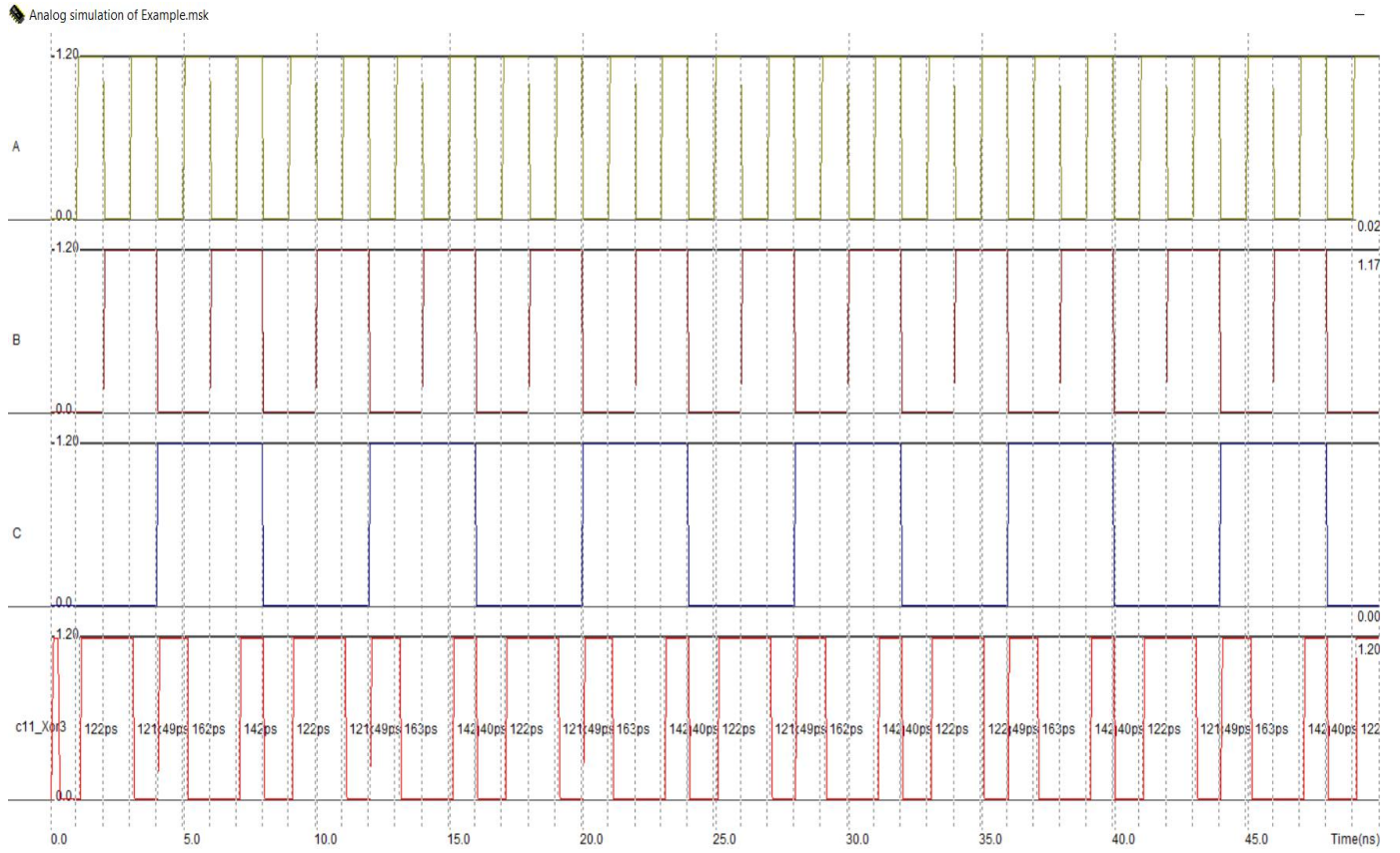
(b) 3-input even function

Logic diagram of odd and even functions

Layout XOR , Εχει και πύλες μετάδοσης

5 lambda
0.300um





XOR / XNOR DATA SHEETS



Data sheet acquired from Harris Semiconductor
SCHS055E

January 1998 - Revised September 2003

CD4070B, CD4077B

CMOS Quad Exclusive-OR
and Exclusive-NOR Gate

Features

- High-Voltage Types (20V Rating)
- CD4070B - Quad Exclusive-OR Gate
- CD4077B - Quad Exclusive-NOR Gate
- Medium Speed Operation
 - $t_{PHL}, t_{PLH} = 65\text{ns}$ (Typ) at $V_{DD} = 10\text{V}, C_L = 50\text{pF}$
- 100% Tested for Quiescent Current at 20V
- Standardized Symmetrical Output Characteristics
- 5V, 10V and 15V Parametric Ratings
- Maximum Input Current of 1 μA at 18V Over Full Package Temperature Range
 - 100nA at 18V and 25 $^{\circ}\text{C}$
- Noise Margin (Over Full Package Temperature Range)
 - 1V at $V_{DD} = 5\text{V}, 2\text{V}$ at $V_{DD} = 10\text{V}, 2.5\text{V}$ at $V_{DD} = 15\text{V}$
- Meets All Requirements of JEDEC Standard No. 13B, "Standard Specifications for Description of 'B' Series CMOS Devices"

Applications

- Logical Comparators
- Adders/Subtractors
- Parity Generators and Checkers

Description

The Harris CD4070B contains four independent Exclusive-OR gates. The Harris CD4077B contains four independent Exclusive-NOR gates.

The CD4070B and CD4077B provide the system designer with a means for direct implementation of the Exclusive-OR and Exclusive-NOR functions, respectively.

Ordering Information

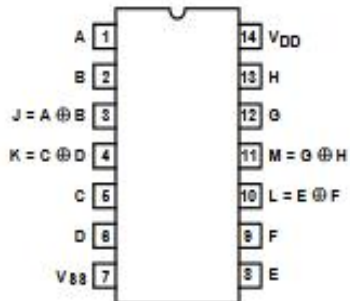
PART NUMBER	TEMP. RANGE (°C)	PACKAGE
CD4070BE	-55 to 125	14 Ld PDIP
CD4070BF3A	-55 to 125	14 Ld Cerdip
CD4070BM	-55 to 125	14 Ld SOIC
CD4070BMT	-55 to 125	14 Ld SOIC
CD4070BM96	-55 to 125	14 Ld SOIC
CD4070BNSR	-55 to 125	14 Ld SOP
CD4070BPW	-55 to 125	14 Ld TSSOP
CD4070BPWR	-55 to 125	14 Ld TSSOP
CD4077BE	-55 to 125	14 Ld PDIP
CD4077BF3A	-55 to 125	14 Ld Cerdip
CD4077BM	-55 to 125	14 Ld SOIC
CD4077BMT	-55 to 125	14 Ld SOIC
CD4077BM96	-55 to 125	14 Ld SOIC
CD4077BNSR	-55 to 125	14 Ld SOP
CD4077BPW	-55 to 125	14 Ld TSSOP
CD4077BPWR	-55 to 125	14 Ld TSSOP

NOTE: When ordering, use the entire part number. The suffixes 96 and R denote tape and reel. The suffix T denotes a small-quantity reel of 250.

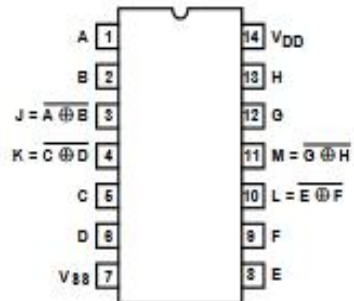
CD4070B, CD4077B

Pinouts

CD4070B
(PDIP, CERDIP, SOIC, SOP, TSSOP)
TOP VIEW

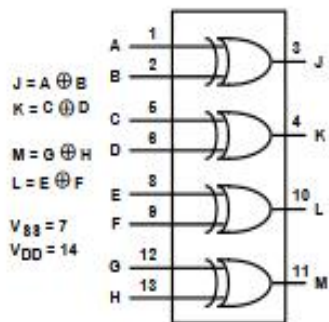


CD4077B
(PDIP, CERDIP, SOIC, SOP, TSSOP)
TOP VIEW

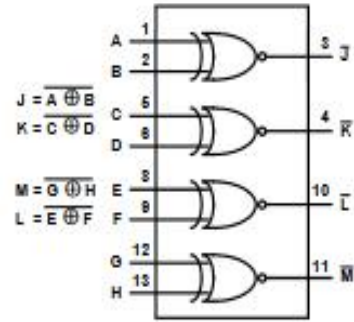


Functional Diagrams

CD4070B



CD4077B



CD4070B, CD4077B

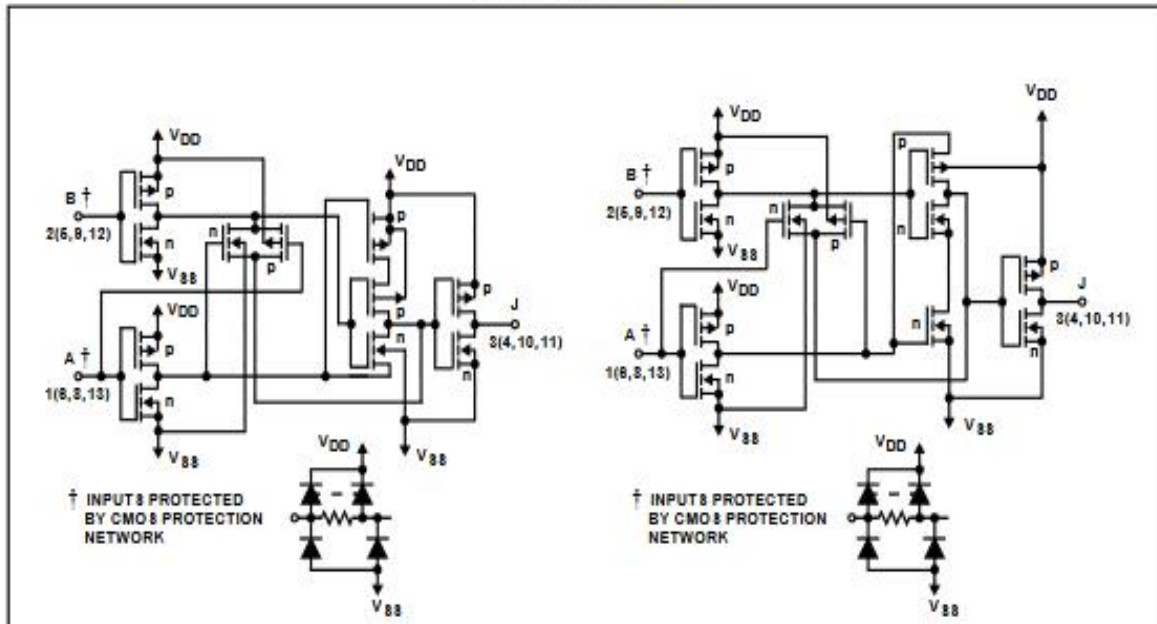


FIGURE 1. SCHEMATIC DIAGRAM FOR CD4070B (1 OF 4 IDENTICAL GATES)

FIGURE 2. SCHEMATIC DIAGRAM FOR CD4077B (1 OF 4 IDENTICAL GATES)

CD4070B TRUTH TABLE (1 OF 4 GATES)

A	B	J
0	0	0
1	0	1
0	1	1
1	1	0

NOTE:
 1 = High Level
 0 = Low Level
 $J = A \oplus B$

CD4077B TRUTH TABLE (1 OF 4 GATES)

A	B	J
0	0	1
1	0	0
0	1	0
1	1	1

NOTE:
 1 = High Level
 0 = Low Level
 $J = A \oplus B$

CD4070B, CD4077B

Absolute Maximum Ratings				Thermal Information							
DC Supply Voltage Range (V_{DD}) -0.5V to 20V				Package Thermal Impedance, θ_{JA} (see Note 1):							
Input Voltage Range, All Inputs -0.5V to V_{DD} 0.5V				E (PDIP) Package 80°C/W							
DC Input Current ± 10 mA				M (SOIC) Package 88°C/W							
				NS (SOP) Package 76°C/W							
				PW (TSSOP) Package 113°C/W							
Operating Conditions				Maximum Junction Temperature (Hermetic Package or Die) . 175°C							
Temperature Range (T_A) -55°C to 125°C				Maximum Junction Temperature (Plastic Package) 150°C							
Supply Voltage Range (Typical) 3V to 18V				Maximum Storage Temperature Range -85°C to 150°C							
<p>CAUTION: Stresses above those listed in "Absolute Maximum Ratings" may cause permanent damage to the device. This is a stress only rating and operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied.</p> <p>NOTE:</p> <p>1. The package thermal impedance is calculated in accordance with JESD 51-7.</p>											
DC Electrical Specifications											
PARAMETER	CONDITIONS			LIMITS AT INDICATED TEMPERATURES (°C)							UNITS
	V_O (V)	V_{IN} (V)	V_{DD} (V)	-55	-40	85	125	25			
								MIN	TYP	MAX	
Quiescent Device Current I_{DD} Max	-	0, 5	5	0.25	0.25	7.5	7.5	-	0.01	0.25	μ A
	-	0, 10	10	0.5	0.5	15	15	-	0.01	0.5	μ A
	-	0, 15	15	1	1	30	30	-	0.01	1	μ A
	-	0, 20	20	5	5	150	150	-	0.02	5	μ A
Output Low (Sink) Current I_{OL} Min	0.4	0, 5	5	0.64	0.61	0.42	0.36	0.51	1	-	mA
	0.5	0, 10	10	1.6	1.5	1.1	0.9	1.3	2.6	-	mA
	1.5	0, 15	15	4.2	4	2.8	2.4	3.4	6.8	-	mA
Output High (Source) Current I_{OH} Min	4.6	0, 5	5	-0.64	-0.61	-0.42	-0.36	-0.51	-1	-	mA
	2.5	0, 5	5	-2	-1.8	-1.3	-1.15	-1.6	-3.2	-	mA
	9.5	0, 10	10	-1.6	-1.5	-1.1	-0.9	-1.3	-2.6	-	mA
	13.5	0, 15	15	-4.2	-4	-2.8	-2.4	-3.4	-6.8	-	mA
Output Voltage: Low Level, V_{OL} Max	-	0, 5	5	0.05	0.05	0.05	0.05	-	0	0.05	V
	-	0, 10	10	0.05	0.05	0.05	0.05	-	0	0.05	V
	-	0, 15	15	0.05	0.05	0.05	0.05	-	0	0.05	V
Output Voltage: High Level, V_{OH} Min	-	0, 5	5	4.95	4.95	4.95	4.95	4.95	5	-	V
	-	0, 10	10	9.95	9.95	9.95	9.95	9.95	10	-	V
	-	0, 15	15	14.95	14.95	14.95	14.95	14.95	15	-	V
Input Low Voltage, V_{IL} Max	0.5, 4.5	-	5	1.5	1.5	1.5	1.5	-	-	1.5	V
	1, 9	-	10	3	3	3	3	-	-	3	V
	1.5, 13.5	-	15	4	4	4	4	-	-	4	V
Input High Voltage, V_{IH} Min	0.5, 4.5	-	5	3.5	3.5	3.5	3.5	3.5	-	-	V
	1, 9	-	10	7	7	7	7	7	-	-	V
	1.5, 13.5	-	15	11	11	11	11	11	-	-	V
Input Current, I_{IJ} Max	-	0, 18	18	± 0.1	± 0.1	± 1	± 1	-	$\pm 10^{-5}$	± 0.1	μ A

CD4070B, CD4077B

AC Electrical Specifications $T_A = 25^\circ\text{C}$, Input $t_r, t_f = 20\text{ns}$, $C_L = 50\text{pF}$, $R_L = 200\text{k}\Omega$

PARAMETER	SYMBOL	TEST CONDITIONS	LIMITS ON ALL TYPES		UNITS
		V_{DD} (V)	TYP	MAX	
Propagation Delay Time	t_{PHL}, t_{PLH}	5	140	280	ns
		10	85	130	ns
		15	50	100	ns
Transition Time	t_{THL}, t_{TLH}	5	100	200	ns
		10	50	100	ns
		15	40	80	ns
Input Capacitance	C_{IN}	Any Input	5	7.5	pF

Typical Performance Curves

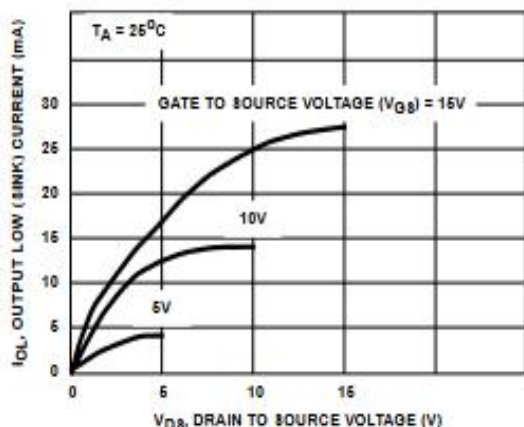


FIGURE 3. TYPICAL OUTPUT LOW (SINK) CURRENT CHARACTERISTICS

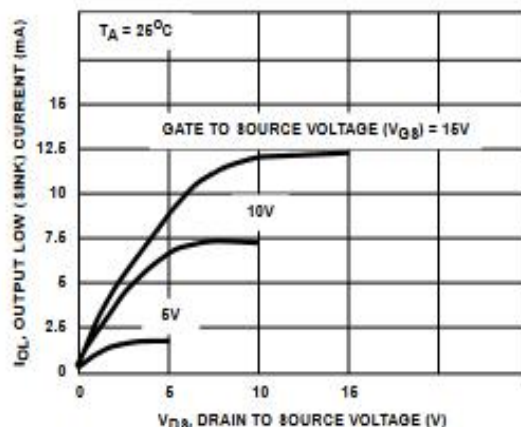


FIGURE 4. MINIMUM OUTPUT LOW (SINK) CURRENT CHARACTERISTICS

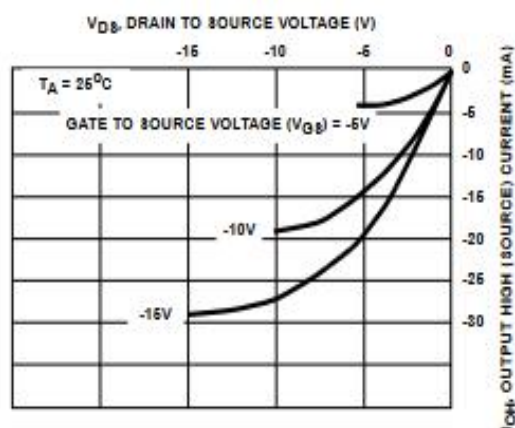


FIGURE 5. TYPICAL OUTPUT HIGH (SOURCE) CURRENT CHARACTERISTICS

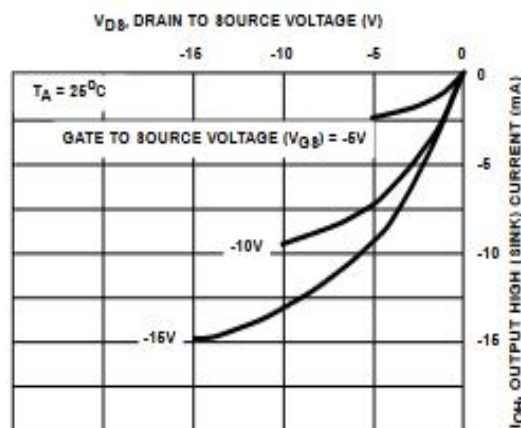


FIGURE 6. MINIMUM OUTPUT HIGH (SOURCE) CURRENT CHARACTERISTICS

Typical Performance Curves (Continued)

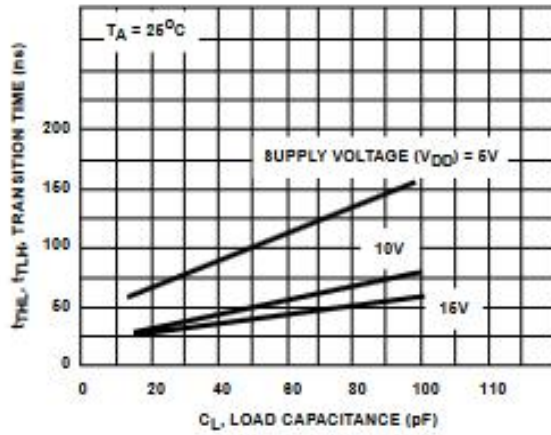


FIGURE 7. TYPICAL TRANSITION TIME AS A FUNCTION OF LOAD CAPACITANCE

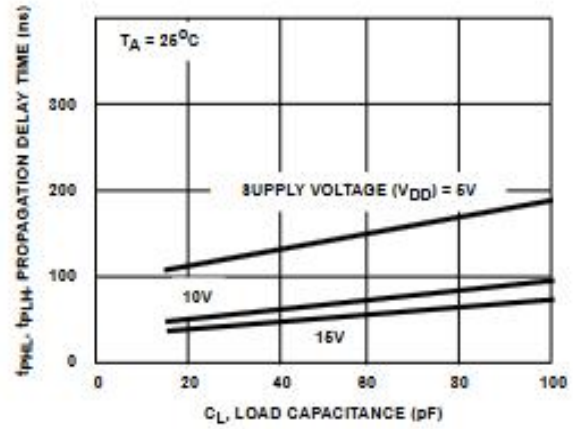


FIGURE 8. TYPICAL PROPAGATION DELAY TIME AS A FUNCTION OF LOAD CAPACITANCE

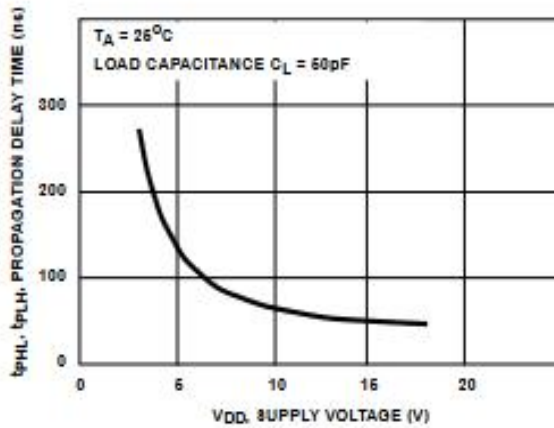


FIGURE 9. TYPICAL PROPAGATION DELAY TIME AS A FUNCTION OF SUPPLY VOLTAGE

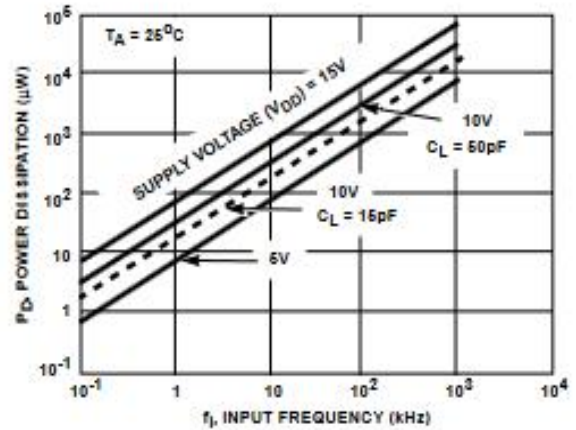


FIGURE 10. TYPICAL DYNAMIC POWER DISSIPATION AS A FUNCTION OF INPUT FREQUENCY



PACKAGE OPTION ADDENDUM

www.ti.com

15-Oct-2009

PACKAGING INFORMATION

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
CD4070BE	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
CD4070BEE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
CD4070BF	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type
CD4070BF3A	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type
CD4070BF3AS2534	OBSOLETE	CDIP	J	14		TBD	Call TI	Call TI
CD4070BM	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BM96	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BM96E4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BM96G4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BME4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BMG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BMT	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BMTE4	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BMTG4	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BNSRE4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BNSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BPWE4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BPWG4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BPWRE4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4070BPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BE	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
CD4077BEE4	ACTIVE	PDIP	N	14	25	Pb-Free (RoHS)	CU NIPDAU	N / A for Pkg Type
CD4077BF	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type
CD4077BF3A	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type



PACKAGE OPTION ADDENDUM

www.ti.com

15-Oct-2009

Orderable Device	Status ⁽¹⁾	Package Type	Package Drawing	Pins	Package Qty	Eco Plan ⁽²⁾	Lead/Ball Finish	MSL Peak Temp ⁽³⁾
CD4077BM	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BM96	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BM96E4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BM96G4	ACTIVE	SOIC	D	14	2500	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BME4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BMG4	ACTIVE	SOIC	D	14	50	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BMT	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BMTE4	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BMTG4	ACTIVE	SOIC	D	14	250	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BNSR	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BNSRE4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BNSRG4	ACTIVE	SO	NS	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BPW	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BPWE4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BPWG4	ACTIVE	TSSOP	PW	14	90	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BPWR	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BPWRE4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
CD4077BPWRG4	ACTIVE	TSSOP	PW	14	2000	Green (RoHS & no Sb/Br)	CU NIPDAU	Level-1-260C-UNLIM
JM38510/17203BCA	ACTIVE	CDIP	J	14	1	TBD	A42	N / A for Pkg Type

⁽¹⁾ The marketing status values are defined as follows:

ACTIVE: Product device recommended for new designs.

LIFEBUY: TI has announced that the device will be discontinued, and a lifetime-buy period is in effect.

NRND: Not recommended for new designs. Device is in production to support existing customers, but TI does not recommend using this part in a new design.

PREVIEW: Device has been announced but is not in production. Samples may or may not be available.

OBSOLETE: TI has discontinued the production of the device.

⁽²⁾ Eco Plan - The planned eco-friendly classification: Pb-Free (RoHS), Pb-Free (RoHS Exempt), or Green (RoHS & no Sb/Br) - please check <http://www.ti.com/productcontent> for the latest availability information and additional product content details.

TBD: The Pb-Free/Green conversion plan has not been defined.

Pb-Free (RoHS): TI's terms "Lead-Free" or "Pb-Free" mean semiconductor products that are compatible with the current RoHS requirements for all 8 substances, including the requirement that lead not exceed 0.1% by weight in homogeneous materials. Where designed to be soldered at high temperatures, TI Pb-Free products are suitable for use in specified lead-free processes.

Pb-Free (RoHS Exempt): This component has a RoHS exemption for either 1) lead-based flip-chip solder bumps used between the die and package, or 2) lead-based die adhesive used between the die and leadframe. The component is otherwise considered Pb-Free (RoHS



PACKAGE OPTION ADDENDUM

www.ti.com

15-Oct-2009

compatible) as defined above.

Green (RoHS & no Sb/Br): TI defines "Green" to mean Pb-Free (RoHS compatible), and free of Bromine (Br) and Antimony (Sb) based flame retardants (Br or Sb do not exceed 0.1% by weight in homogeneous material)

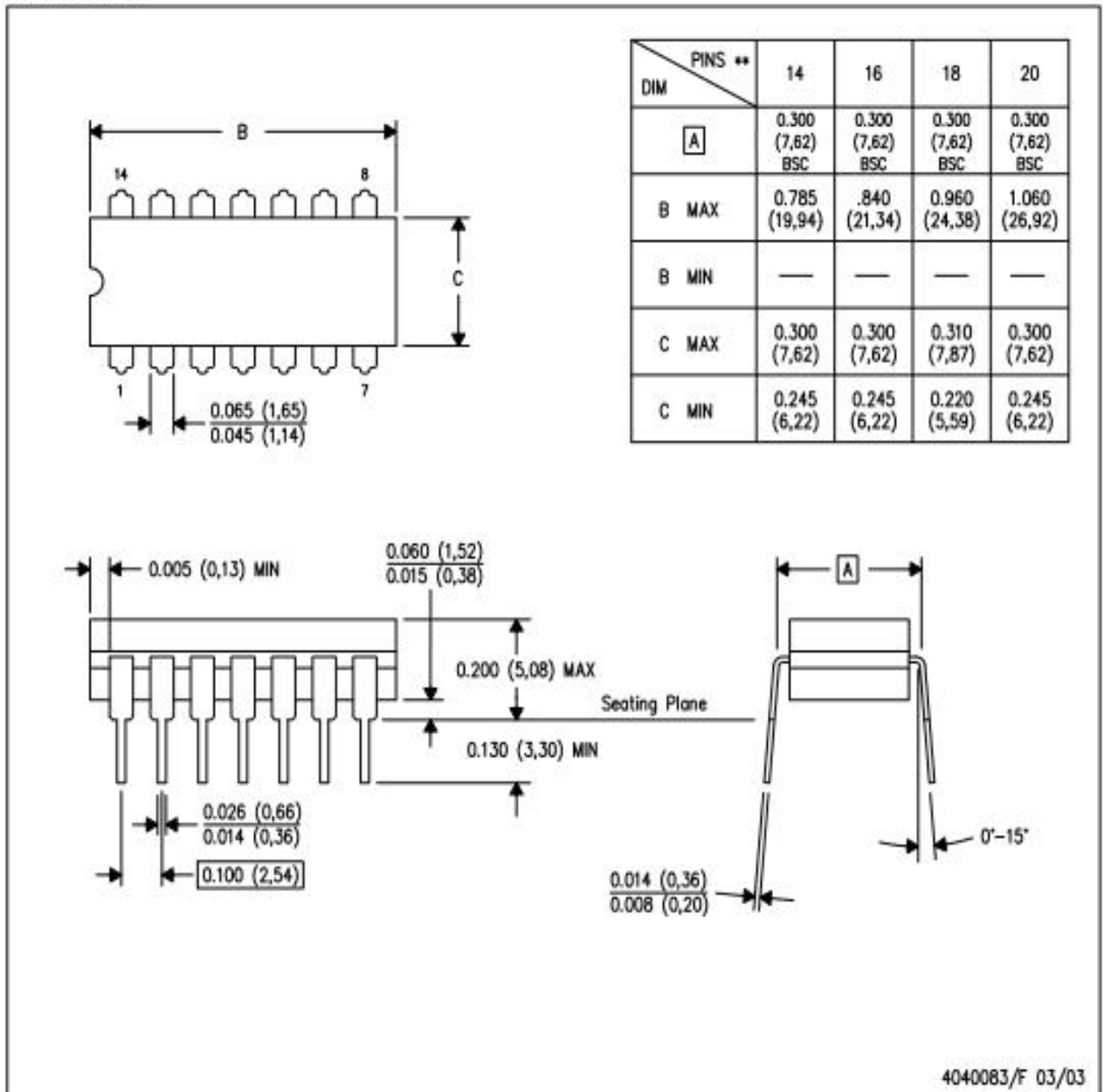
^[3] MSL, Peak Temp. – The Moisture Sensitivity Level rating according to the JEDEC industry standard classifications, and peak solder temperature.

Important Information and Disclaimer:The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

J (R-GDIP-T**)
14 LEADS SHOWN

CERAMIC DUAL IN-LINE PACKAGE

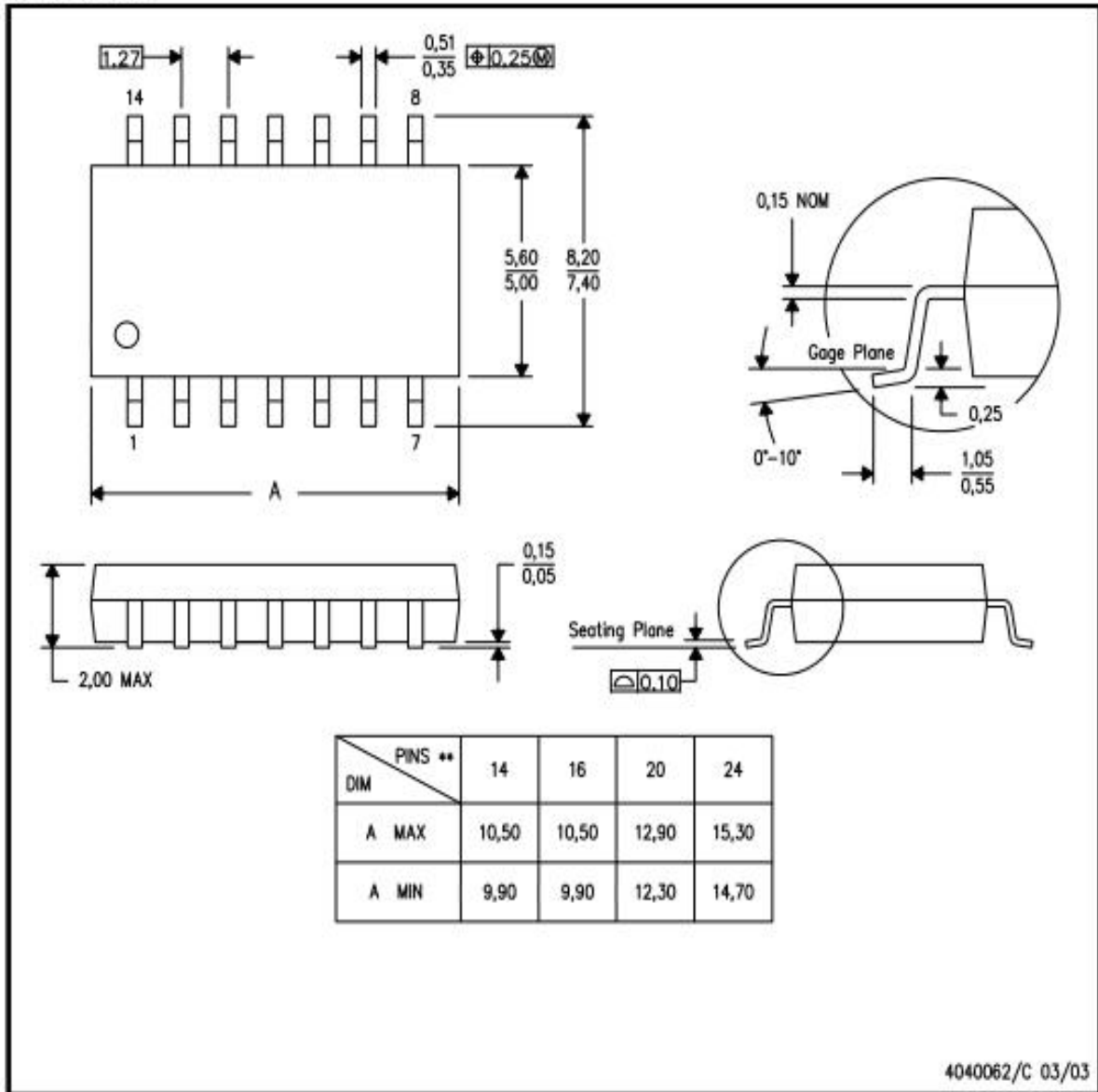


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - C. This package is hermetically sealed with a ceramic lid using glass frit.
 - D. Index point is provided on cap for terminal identification only on press ceramic glass frit seal only.
 - E. Falls within MIL STD 1835 GDIP1-T14, GDIP1-T16, GDIP1-T18 and GDIP1-T20.

MECHANICAL DATA

NS (R-PDSO-G)**
14-PINS SHOWN

PLASTIC SMALL-OUTLINE PACKAGE



- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

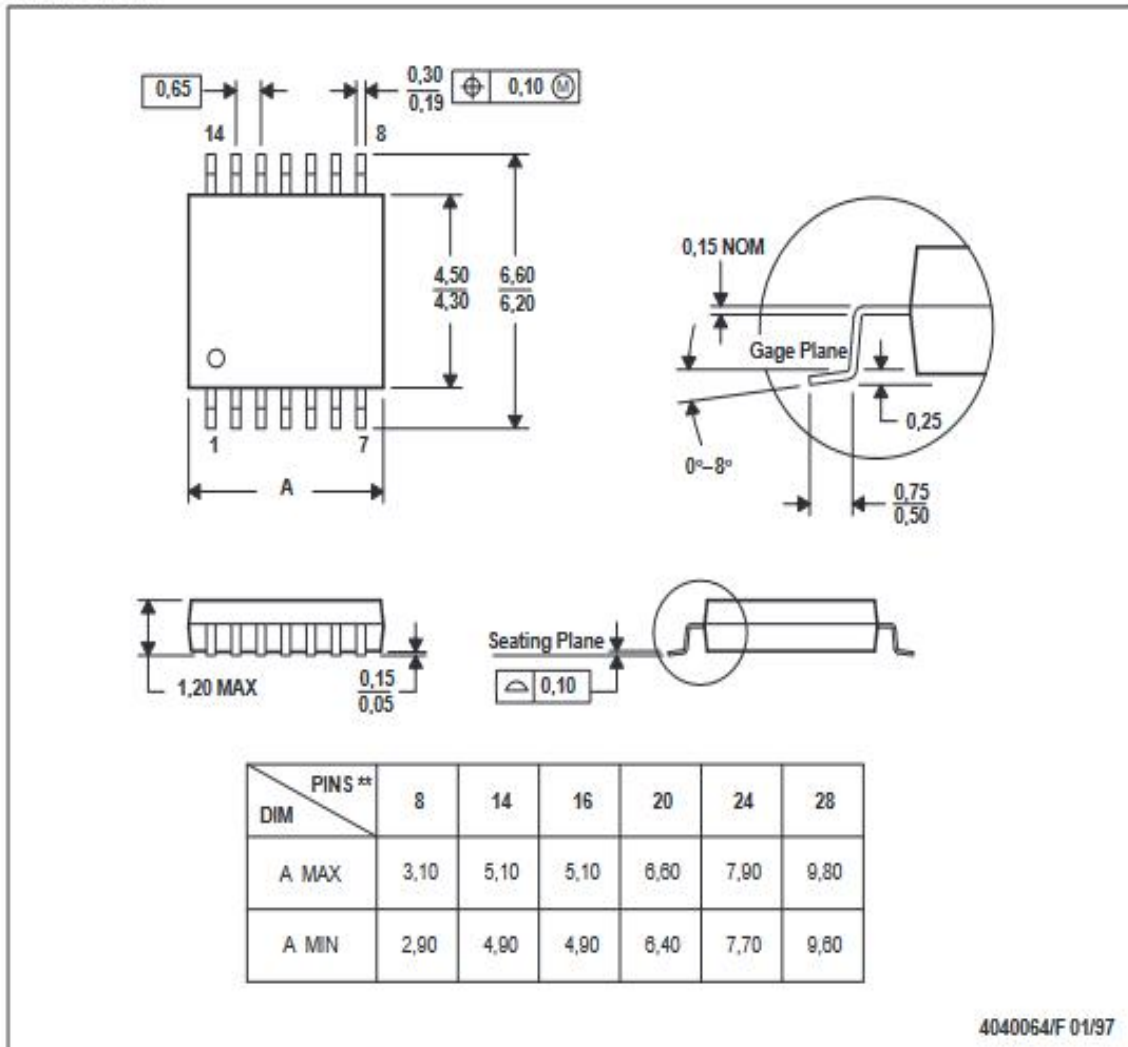
MECHANICAL DATA

MTSS001C – JANUARY 1995 – REVISED FEBRUARY 1999

PW (R-PDSO-G**)

PLASTIC SMALL-OUTLINE PACKAGE

14 PINS SHOWN

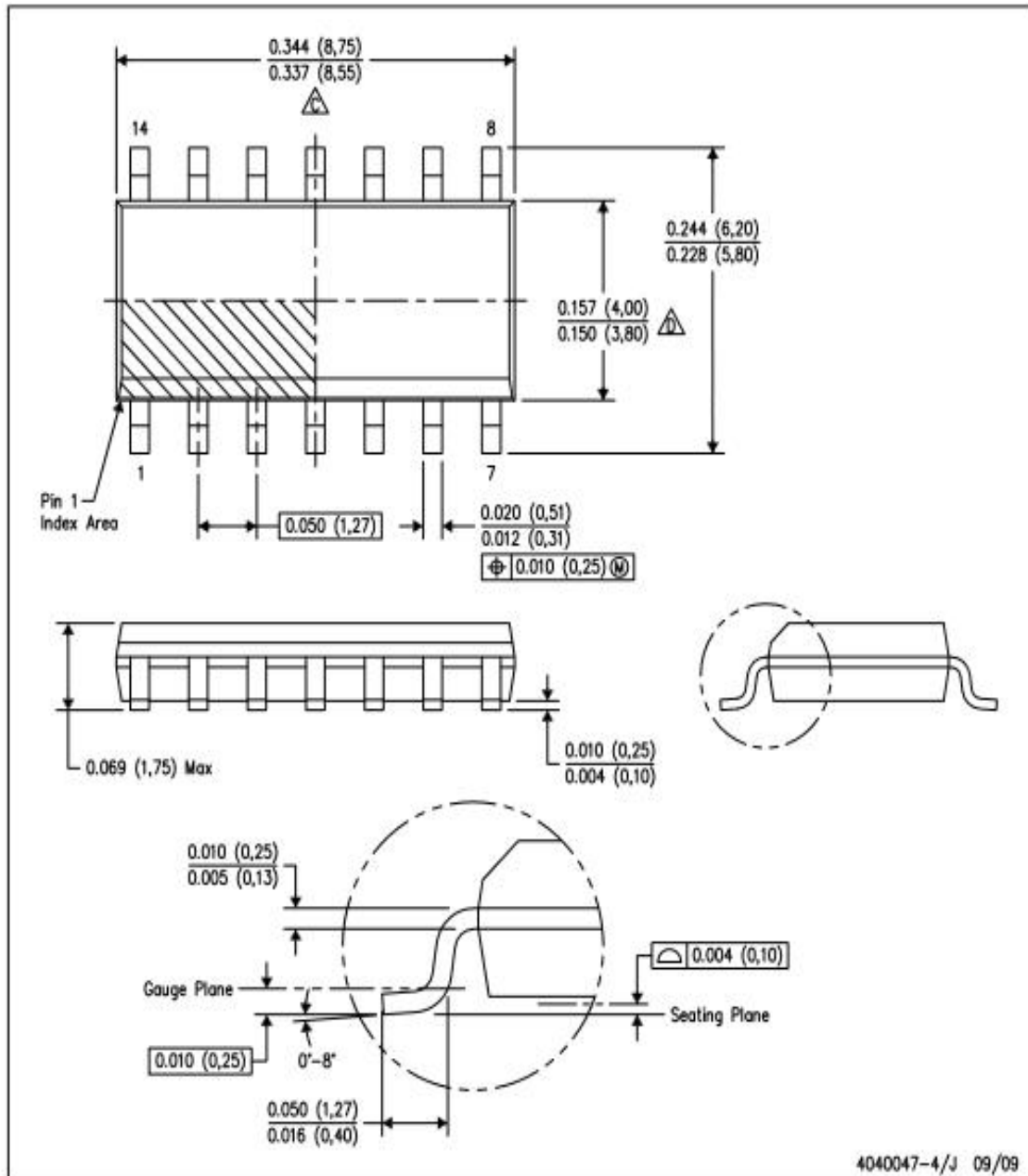


- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
 D. Falls within JEDEC MO-153

MECHANICAL DATA

D (R-PDSO-G14)

PLASTIC SMALL-OUTLINE PACKAGE



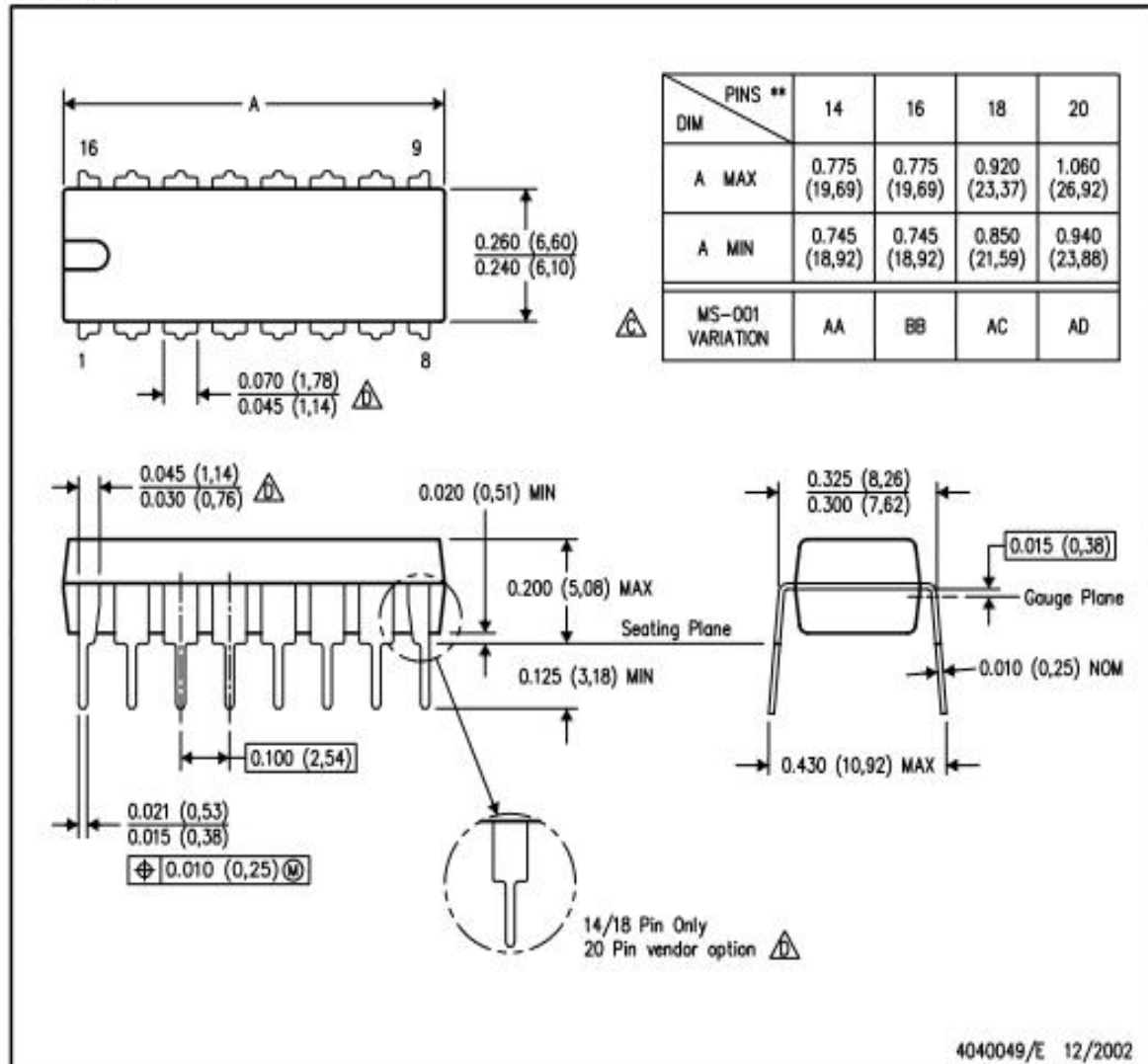
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 (0,15) per end.
 - Body width does not include interlead flash. Interlead flash shall not exceed .017 (0,43) per side.
 - E. Reference JEDEC MS-012 variation AB.

MECHANICAL DATA

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



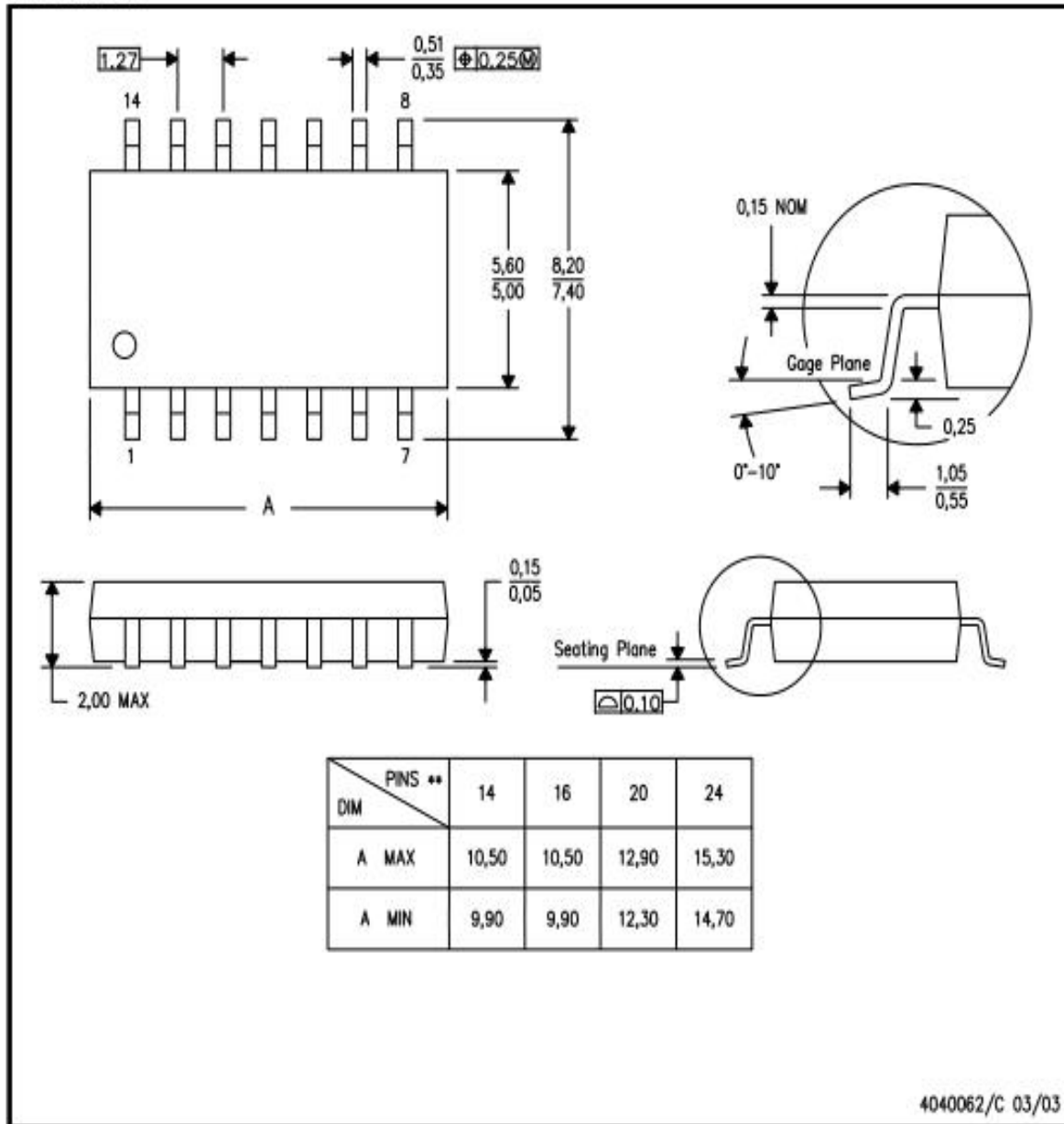
- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

MECHANICAL DATA

NS (R-PDSO-G)**

PLASTIC SMALL-OUTLINE PACKAGE

14-PINS SHOWN

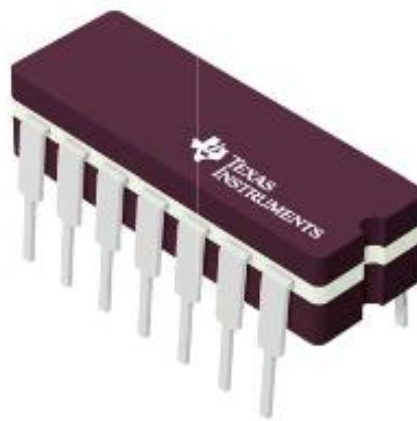


- NOTES:
- A. All linear dimensions are in millimeters.
 - B. This drawing is subject to change without notice.
 - C. Body dimensions do not include mold flash or protrusion, not to exceed 0,15.

GENERIC PACKAGE VIEW
CDIP - 5.08 mm max height

J 14

CERAMIC DUAL IN LINE PACKAGE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

4040083-5/G

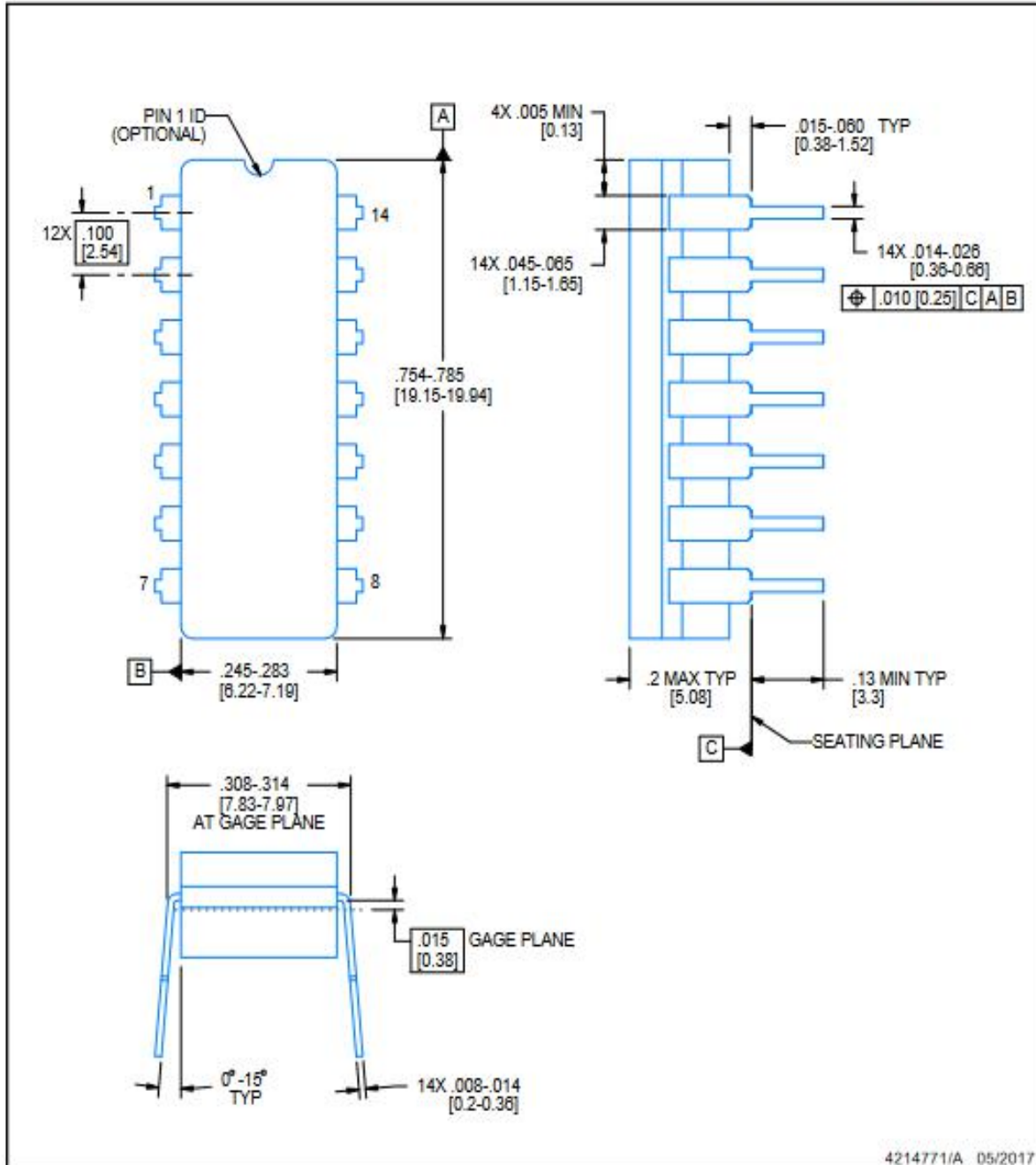


J0014A

PACKAGE OUTLINE

CDIP - 5.08 mm max height

CERAMIC DUAL IN LINE PACKAGE



NOTES:

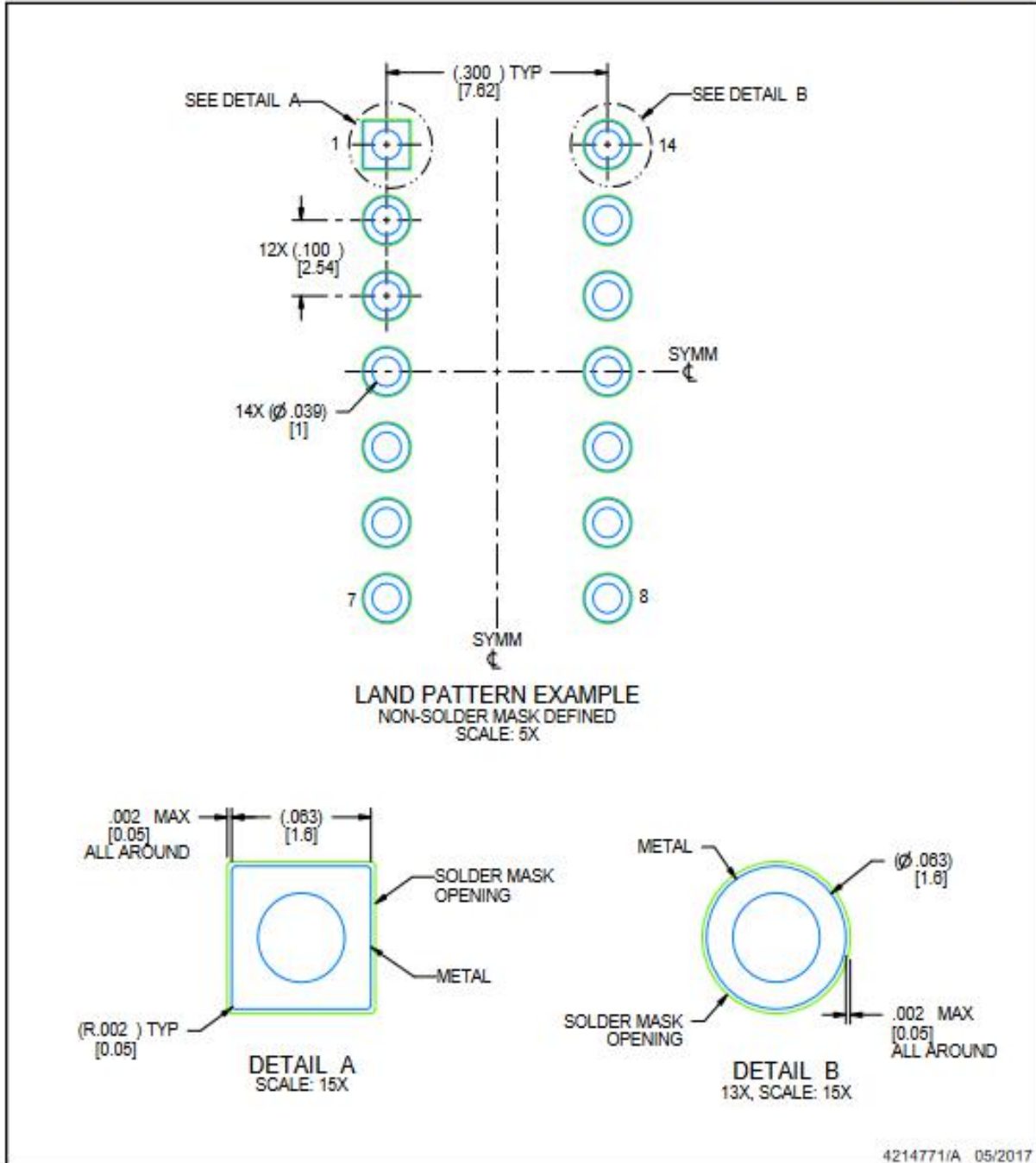
1. All controlling linear dimensions are in inches. Dimensions in brackets are in millimeters. Any dimension in brackets or parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This package is hermetically sealed with a ceramic lid using glass frit.
4. Index point is provided on cap for terminal identification only and on press ceramic glass frit seal only.
5. Falls within MIL-STD-1835 and GDIP1-T14.

EXAMPLE BOARD LAYOUT

J0014A

CDIP - 5.08 mm max height

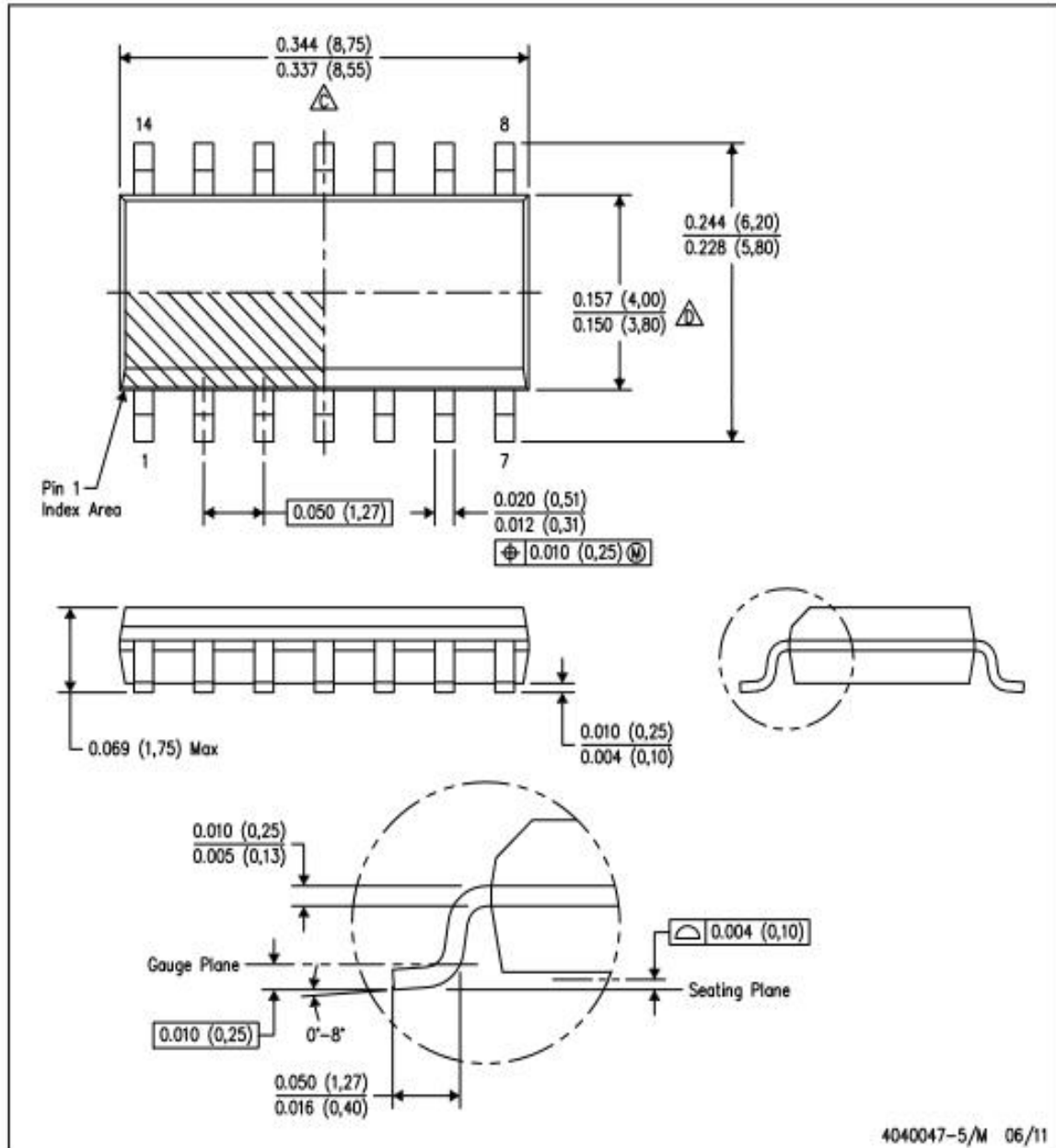
CERAMIC DUAL IN LINE PACKAGE





MECHANICAL DATA

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE

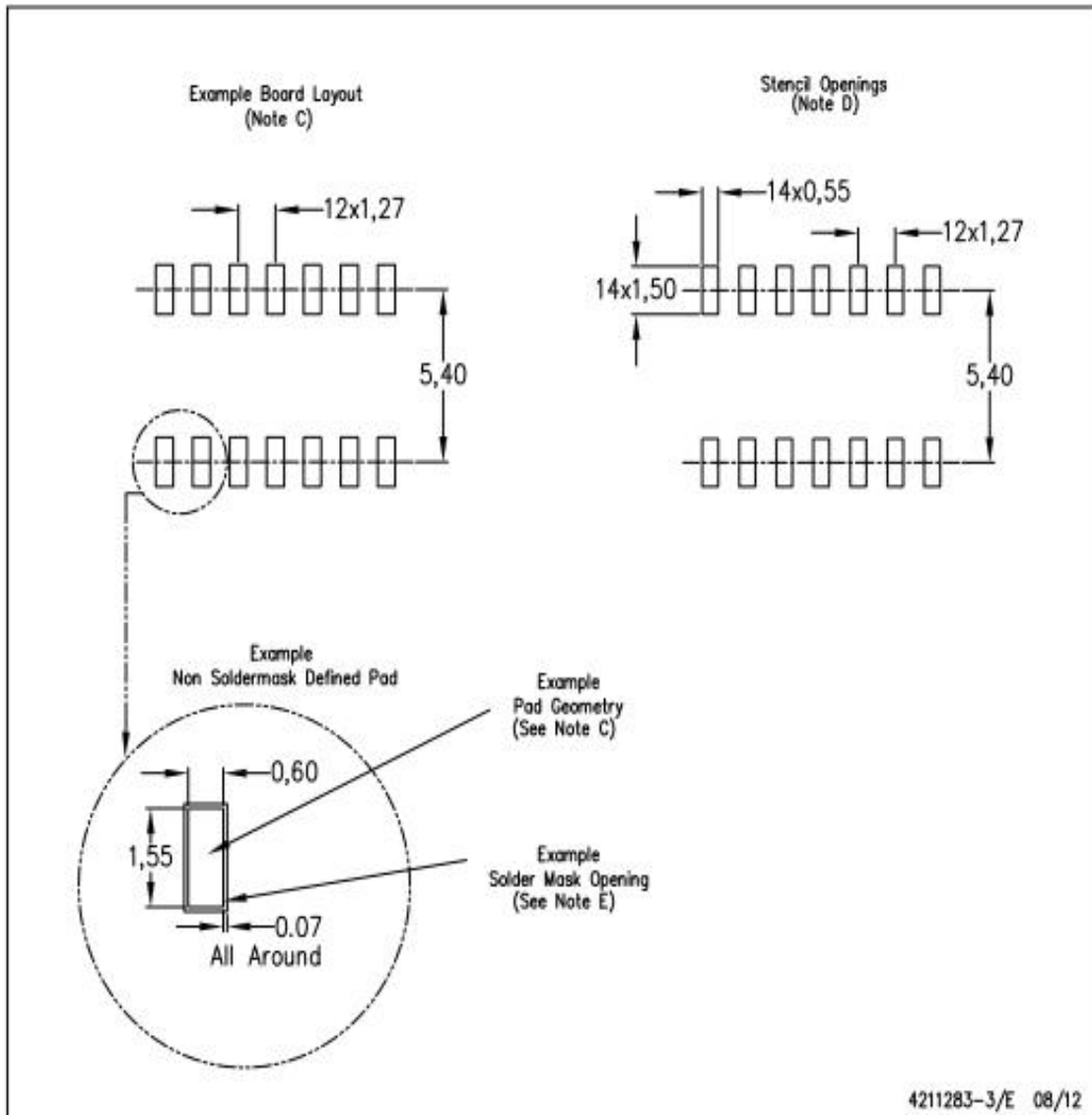


- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 -  Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.006 (0,15) each side.
 -  Body width does not include interlead flash. Interlead flash shall not exceed 0.017 (0,43) each side.
 - E. Reference JEDEC MS-012 variation AB.

LAND PATTERN DATA

D (R-PDSO-G14)

PLASTIC SMALL OUTLINE

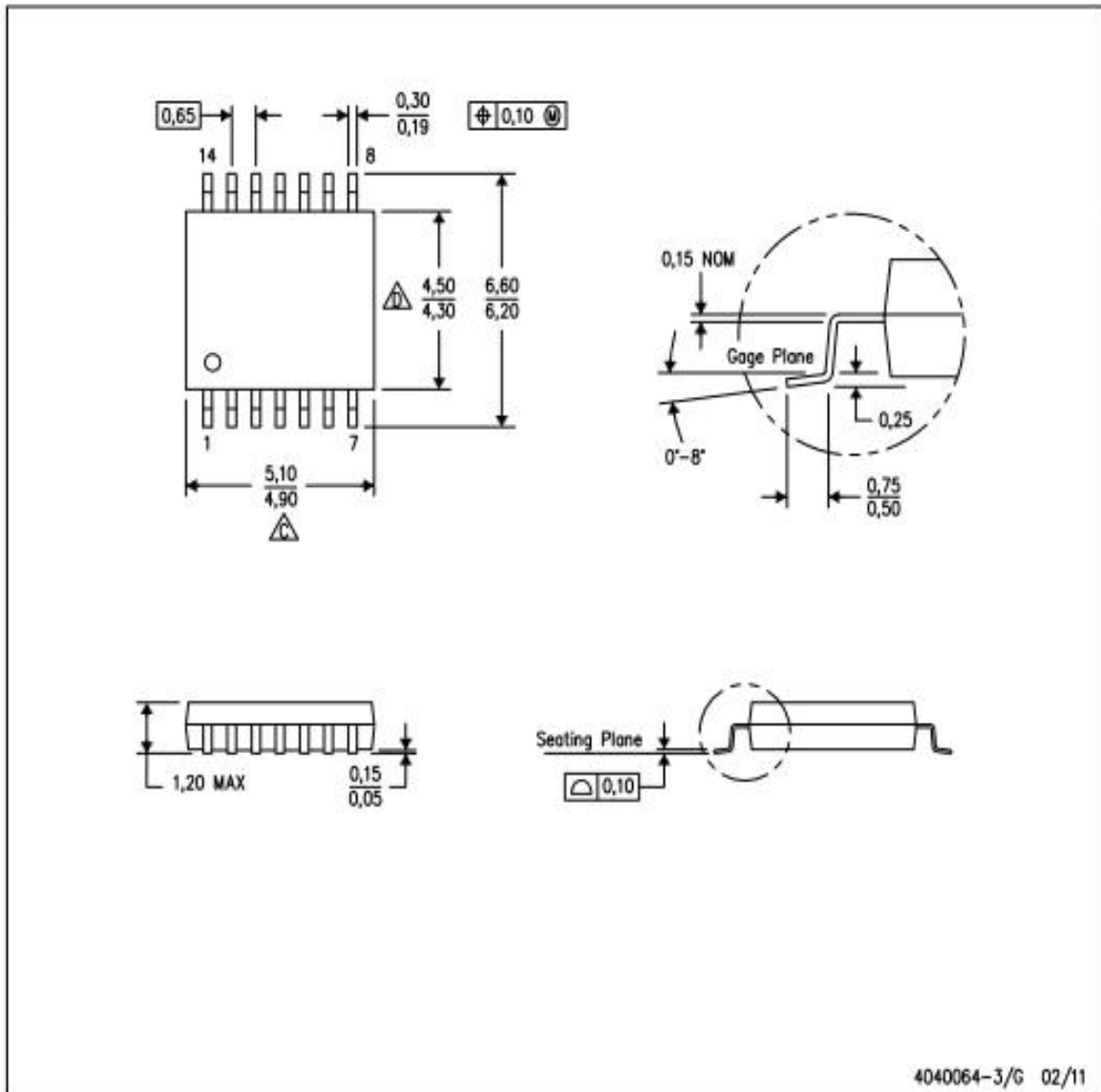


- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

MECHANICAL DATA

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE

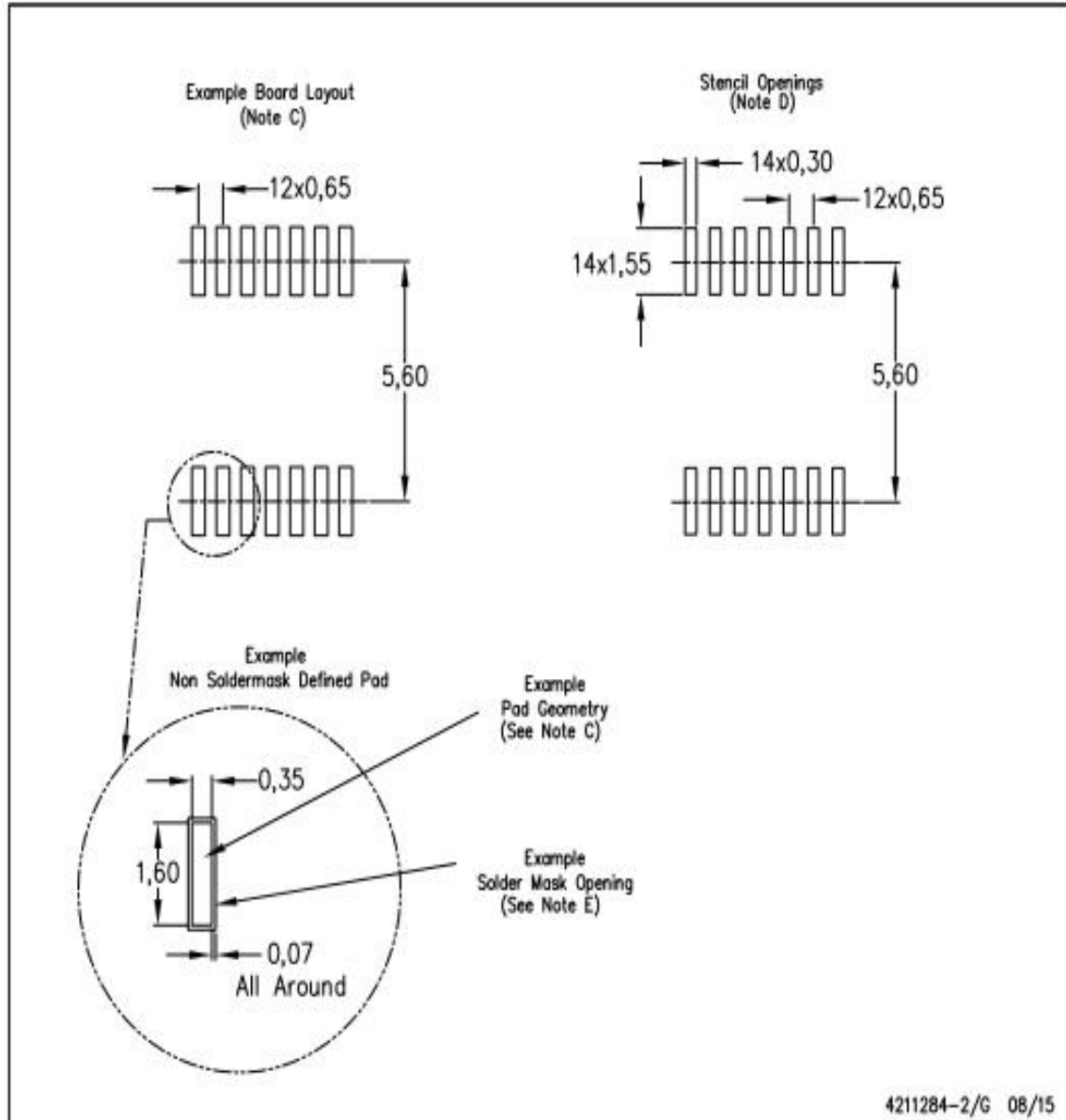


- NOTES:
- A. All linear dimensions are in millimeters. Dimensioning and tolerancing per ASME Y14.5M-1994.
 - B. This drawing is subject to change without notice.
 - C. Body length does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0,15 each side.
 - D. Body width does not include interlead flash. Interlead flash shall not exceed 0,25 each side.
 - E. Falls within JEDEC MO-153

LAND PATTERN DATA

PW (R-PDSO-G14)

PLASTIC SMALL OUTLINE



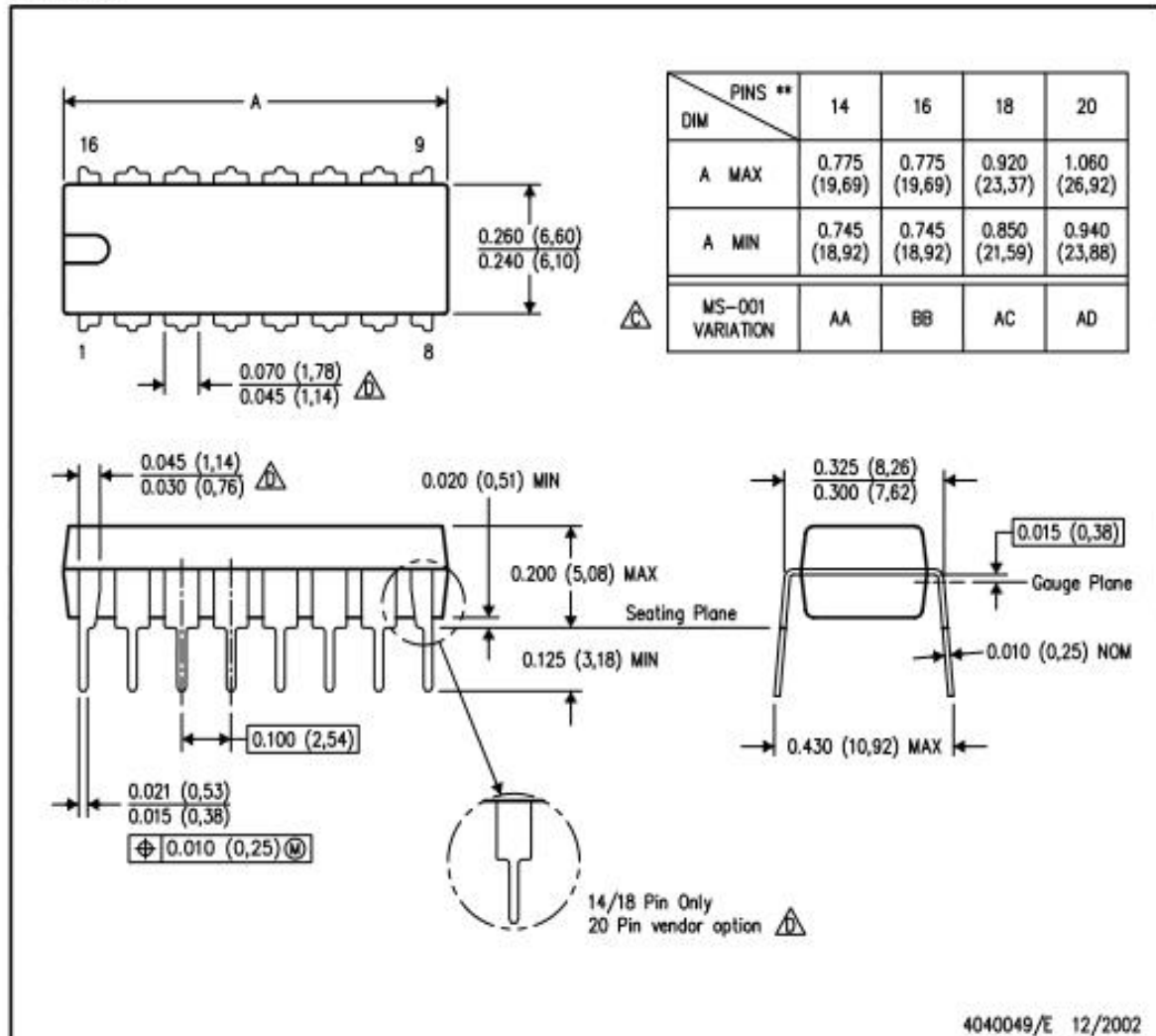
- NOTES:
- All linear dimensions are in millimeters.
 - This drawing is subject to change without notice.
 - Publication IPC-7351 is recommended for alternate designs.
 - Laser cutting apertures with trapezoidal walls and also rounding corners will offer better paste release. Customers should contact their board assembly site for stencil design recommendations. Refer to IPC-7525 for other stencil recommendations.
 - Customers should contact their board fabrication site for solder mask tolerances between and around signal pads.

MECHANICAL DATA

N (R-PDIP-T**)

PLASTIC DUAL-IN-LINE PACKAGE

16 PINS SHOWN



- NOTES:
- A. All linear dimensions are in inches (millimeters).
 - B. This drawing is subject to change without notice.
 - Falls within JEDEC MS-001, except 18 and 20 pin minimum body length (Dim A).
 - The 20 pin end lead shoulder width is a vendor option, either half or full width.

ΚΕΦΑΛΑΙΟ / ΕΝΟΤΗΤΑ 8

Σχεδίαση και υλοποίηση του ημι-αθροιστή και του πλήρους αθροιστή.

VERILOG

```
// DSCH 2.7f
// 25/11/2021 9:15:23 πμ
// C:\Users\am5\Desktop\ΦΑΚΕΛΟΣ ΜΑΘΗΜΑΤΩΝ ΓΙΑ ΕΛΜΕΠΑ\STORE N GO\Export dsch2\Export dsch2\halfAdder.sch

module halfAdder( B,A,Carry,Sum);
  input B,A;
  output Carry,Sum;
  and #(16) and(Carry,B,A);
  xor #(16) xor(Sum,A,B);
endmodule

// Simulation parameters in Verilog Format
always
#1000 B=~B;
#2000 A=~A;

// Simulation parameters
// B CLK 10 10
// A CLK 20 20
```

VHDL CODE

```

entity half_adder is
    port ( a,b          : in std_logic ;
          sum,carry     : out std_logic );
end half_adder ;

architecture structure of half_adder is

-- Component declaration
    component xor2
        port(a,b:in std_logic; c:out std_logic);
    end component;
    component and2
        port(a,b:in std_logic; c:out std_logic);
    end component;

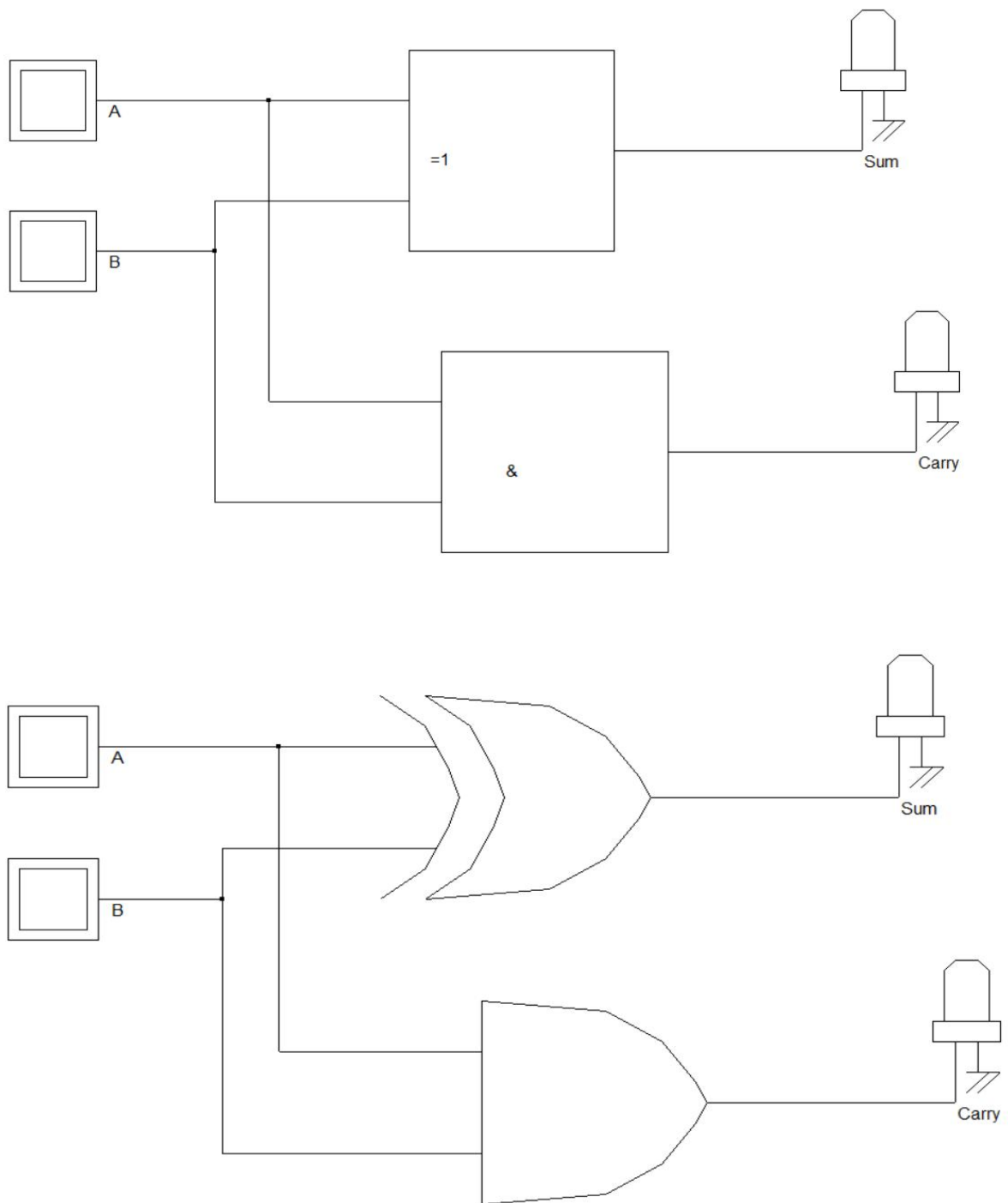
-- Component specification
for EX1:xor2 use entity work.xor2(rtl);
for OR1:and2 use entity work.and2(rtl);

begin
-- Component instantiation
    EX1: xor2 port map (a,b,sum);
    OR1: and2 port map (a,b,carry);

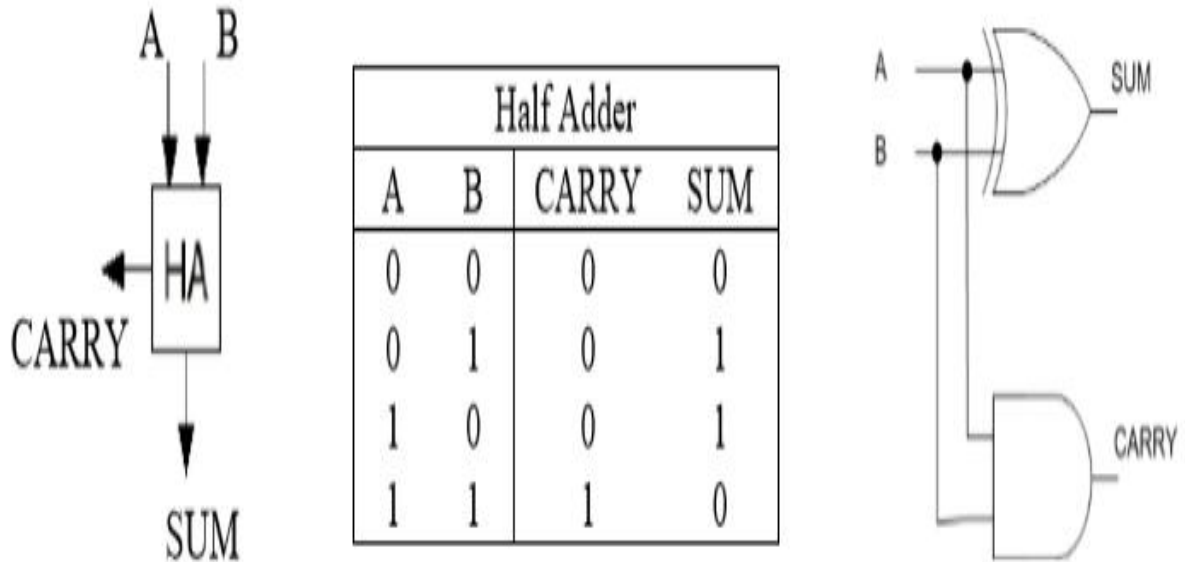
end structure;

```

ΣΧΗΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ ΗΜΙΑΘΡΟΙΣΤΗ



ΣΥΜΒΟΛΟ , ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ ΚΑΙ ΑΠΕΥΘΕΙΑΣ ΥΛΟΠΟΙΗΣΗ ΗΜΙΑΘΡΟΙΣΤΗ



ΣΥΝΑΡΤΗΣΗ ΚΥΚΛΩΜΑΤΟΣ ΗΜΙΑΘΡΟΙΣΤΗ

$$SUM = A \bullet \bar{B} + \bar{A} \bullet B = A \oplus B$$

$$CARRY = A \bullet B$$

ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ 22 ΤΡΑΝΖΙΣΤΟΡ + 6 ΤΡΑΝΖΙΣΤΟΡ (CARRY) = 28

ΜΕ NAND ΠΥΛΕΣ ΕΧΟΥΜΕ 16 ΤΡΑΝΖΙΣΤΟΡ + 6 ΤΡΑΝΖΙΣΤΟΡ = 22

ΜΕ ΣΥΝΘΕΤΗ ΠΥΛΗ ΤΗΣ ΜΟΡΦΗΣ (XNOR):

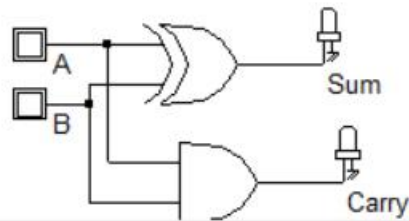
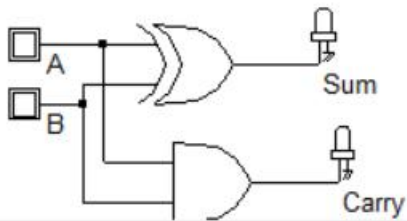
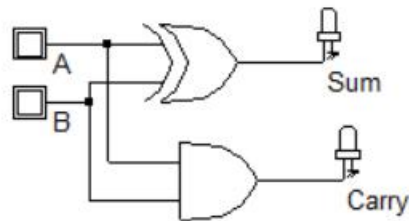
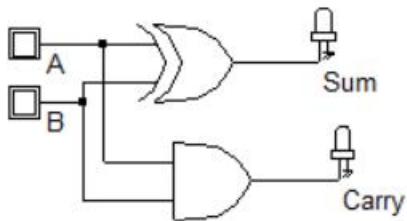
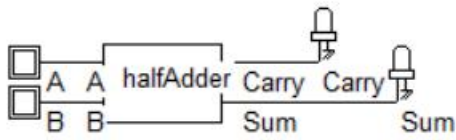
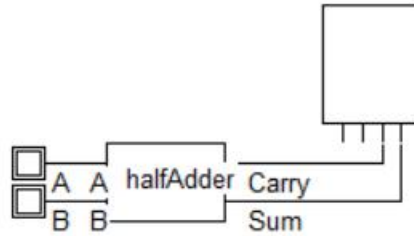
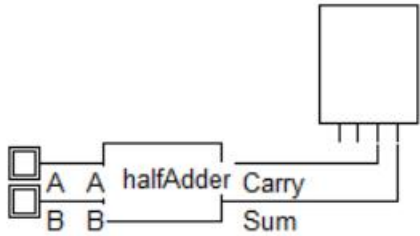
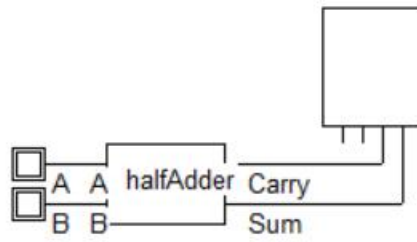
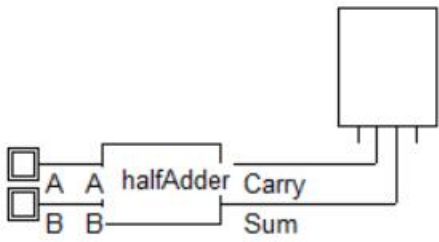
$$SUM = \overline{A \bullet B + \bar{A} \bullet \bar{B}}$$

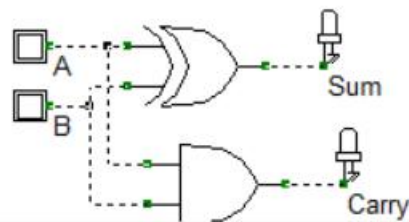
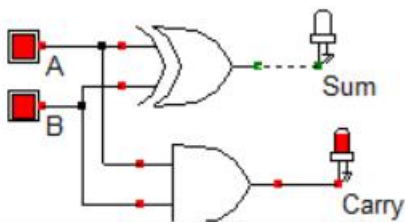
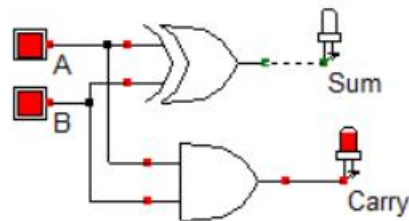
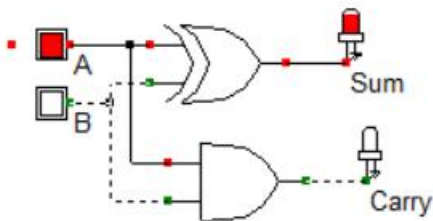
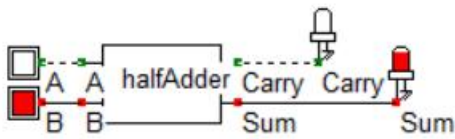
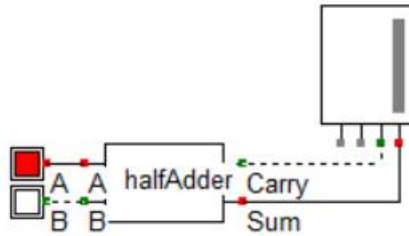
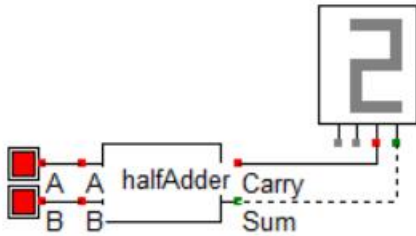
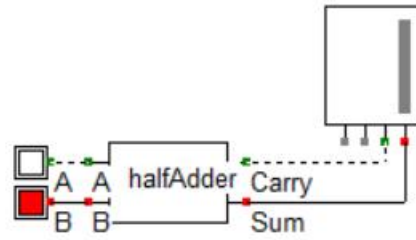
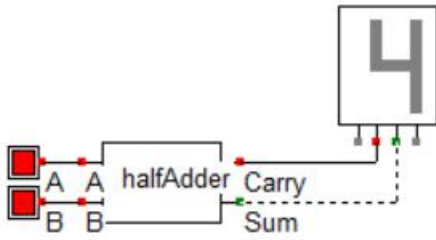
ΕΧΟΥΜΕ 12 ΤΡΑΝΖΙΣΤΟΡ + 6 ΤΡΑΝΖΙΣΤΟΡ = 18 ΤΡΑΝΖΙΣΤΟΡ

$$CARRY = A \bullet B = \overline{\bar{A} + \bar{B}}$$

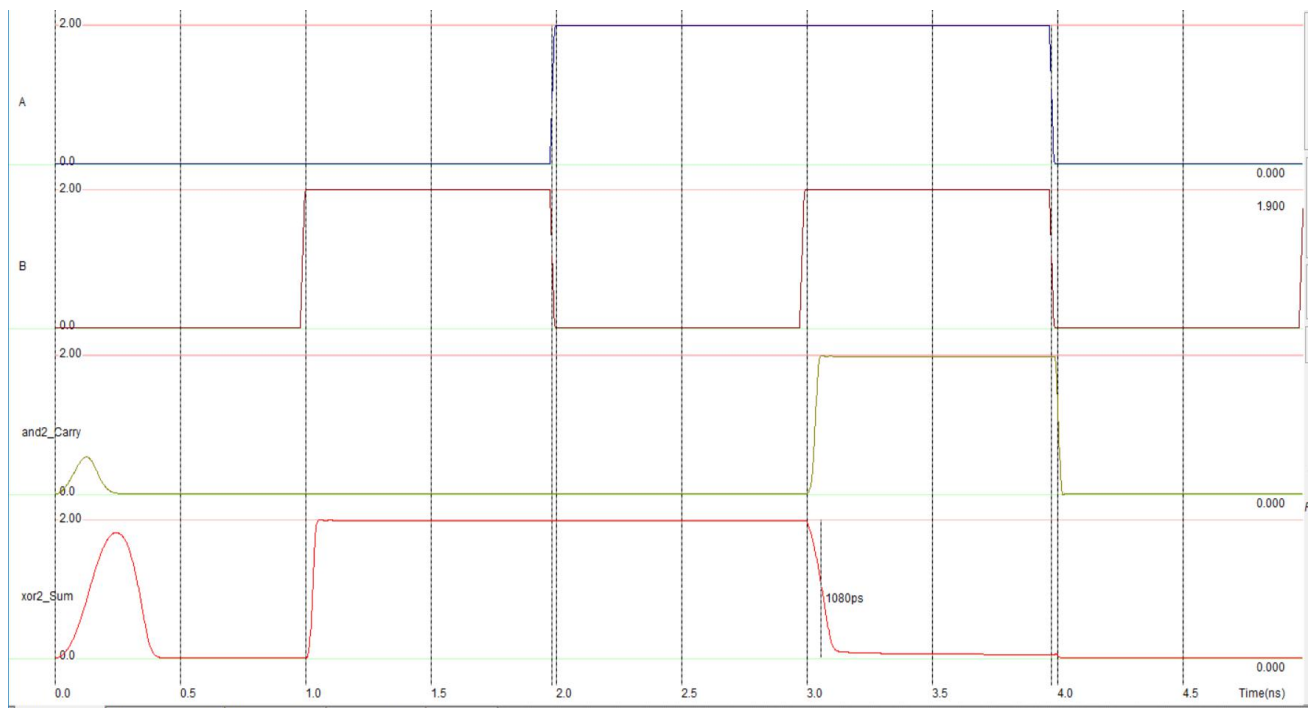
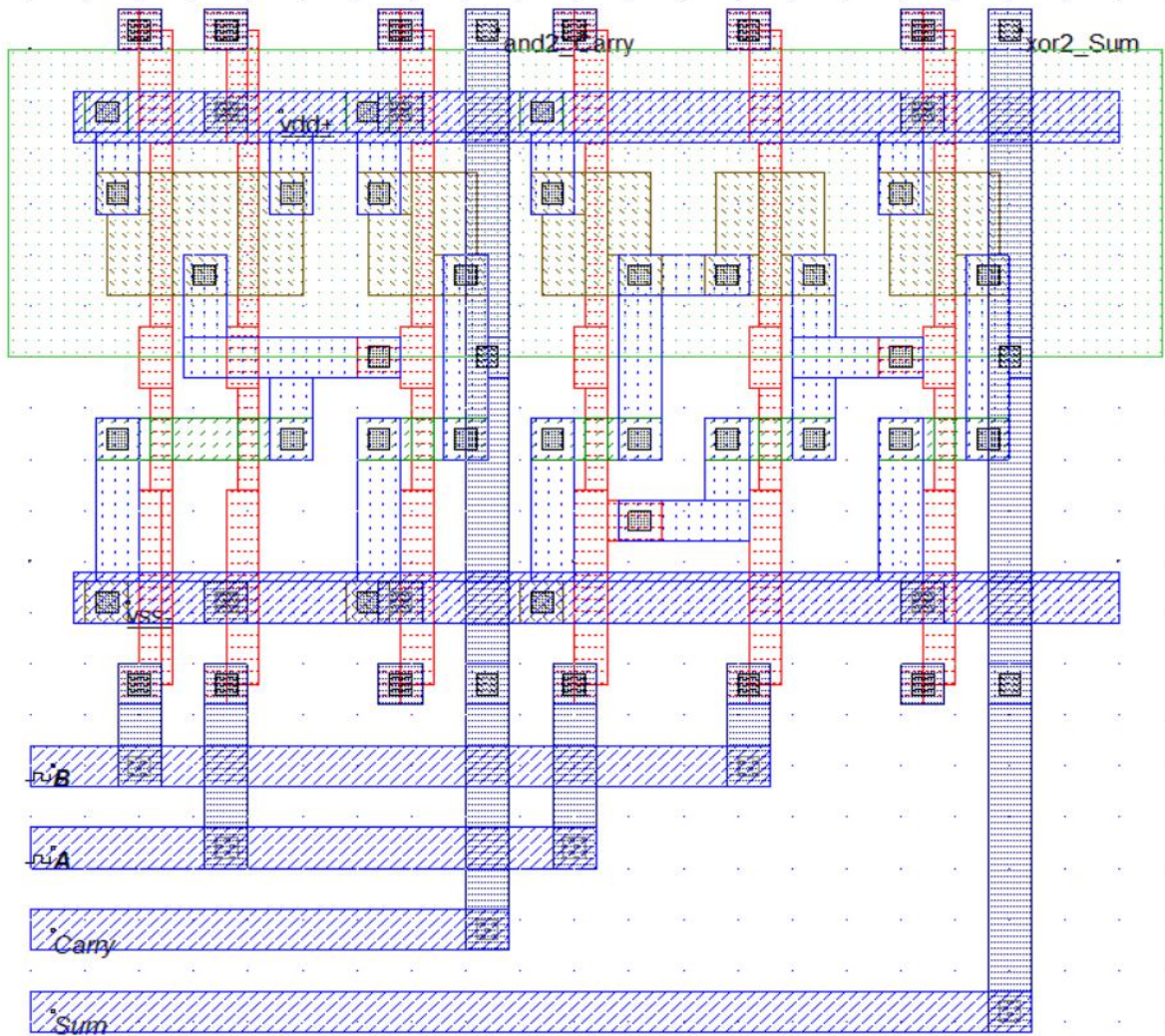
ΟΠΟΤΕ ΕΧΟΥΜΕ ΤΕΛΙΚΑ ΓΙΑ ΤΟ ΚΡΑΤΟΥΜΕΝΟ 4 ΤΡΑΝΖΙΣΤΟΡ

ΑΡΑ ΕΧΟΥΜΕ 12 ΤΡΑΝΖΙΣΤΟΡ + 4 ΤΡΑΝΖΙΣΤΟΡ = 16 ΤΡΑΝΖΙΣΤΟΡ





5 lambda
0.500um



ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ

VERILOG

```
// DSCH 2.7f
// 25/11/2021 9:21:59 μμ
// C:\Users\am5\Desktop\ΦΑΚΕΛΟΣ ΜΑΘΗΜΑΤΩΝ ΓΙΑ ΕΛΜΕΠΑ\STORE N GO\Export dsch2\Export dsch2\fadd.sch

module fadd( C,B,A,Carry,Sum);
  input C,B,A;
  output Carry,Sum;
  xor #(16) xor(w4,A,B);
  nand #(16) and(w5,A,C);
  nand #(16) and(w7,B,A);
  xor #(16) xor(Sum,w4,C);
  nand #(16) and(Carry,w7,w9,w5);
  nand #(16) and(w9,B,C);
endmodule

// Simulation parameters in Verilog Format
always
#1000 C=~C;
#2000 B=~B;
#4000 A=~A;

// Simulation parameters
// C CLK 10 10
// B CLK 20 20
// A CLK 40 40
|
```

VHDL CODE

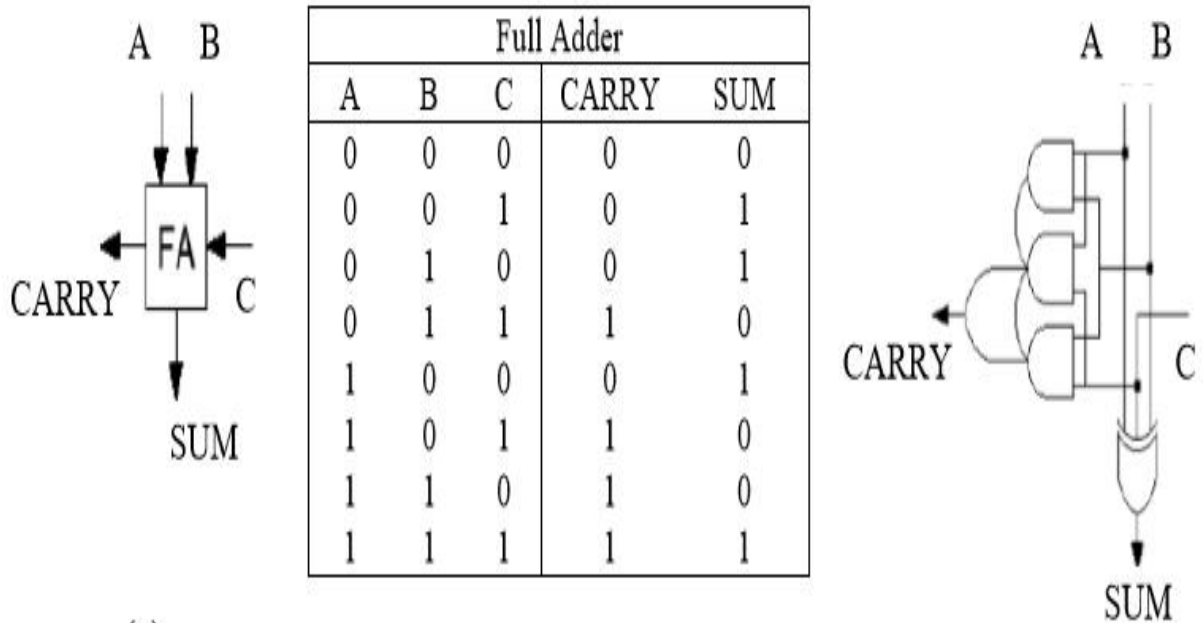
```

entity full_adder is
    port (in1,in2,c_in : in std_logic ;
          sum,c_out    : out std_logic ) ;
end full_adder ;

architecture structure of full_adder is
-- Component declaration
component half_adder
    port(a,b:in std_logic; sum,carry:out std_logic);
end component;
component or_2
    port(a,b:in std_logic; c:out std_logic);
end component;
-- Internal signal declaration
signal s1,s2,s3:std_logic;
-- Component specification
for H1,H2:half_adder use entity work.half_adder(structure);
for O1:or_2 use entity work.or_2(rtl);
begin
-- Component instantiation
H1: half_adder port map (in1,in2,s1,s3) ;
H2: half_adder port map (s1,c_in,sum,s2);
O1: or_2      port map (s2,s3,c_out);
end structure;

```

ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ



ΕΚΦΡΑΣΗ ΓΙΑ ΤΟ ΠΛΗΡΕΣ ΑΘΡΟΙΣΜΑ ΚΑΙ ΤΟ ΚΡΑΤΟΥΜΕΝΟ ΑΝΤΙΣΤΟΙΧΑ

$$\begin{aligned}
 SUM &= \bar{A} \cdot \bar{B} \cdot C + \bar{A} \cdot B \cdot \bar{C} + A \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C = (\bar{A} \cdot \bar{B} + A \cdot B) \cdot C + (\bar{A} \cdot B + A \cdot \bar{B}) \cdot \bar{C} = \\
 &= \overline{(\bar{A} \cdot B + A \cdot \bar{B})} \cdot C + (\bar{A} \cdot B + A \cdot \bar{B}) \cdot \bar{C} \Rightarrow SUM = A \oplus B \oplus C \\
 CARRY &= A \cdot B + B \cdot C + A \cdot C
 \end{aligned}$$

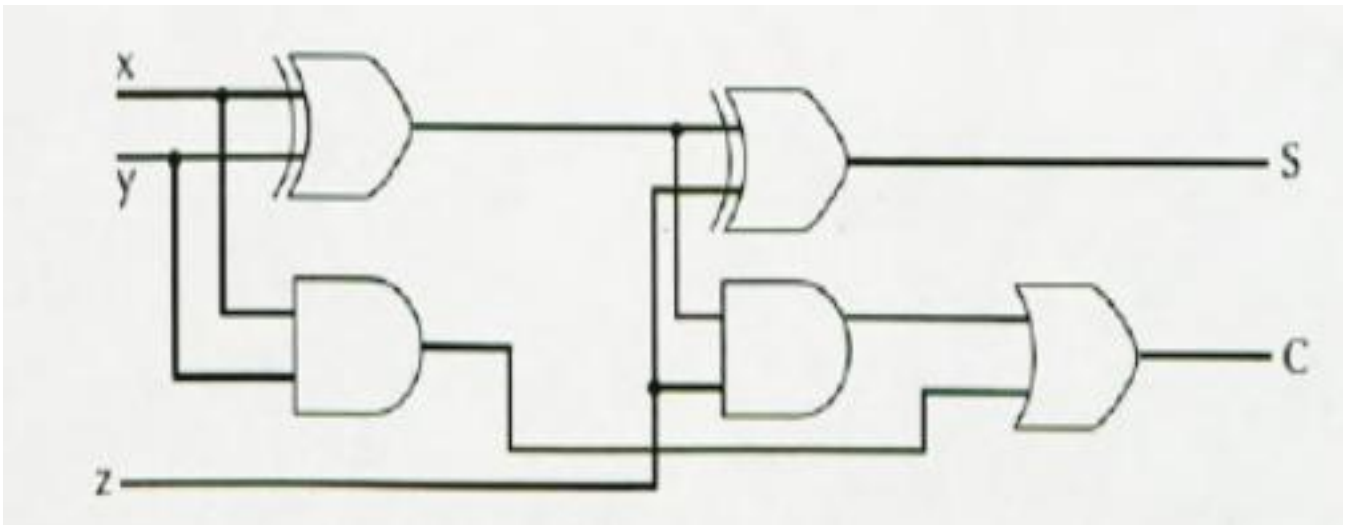
ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ 44 ΤΡΑΝΖΙΣΤΟΡ + 26 ΤΡΑΝΖΙΣΤΟΡ = 70 ΤΡΑΝΖΙΣΤΟΡ

Πιο αναλυτικά έχουμε:

Για το Sum και για το Carry βλέπουμε πως βγαίνουν οι σχέσεις παρακάτω

$$\begin{aligned}
 S &= \bar{x} \cdot \bar{y} \cdot z + \bar{x} \cdot y \cdot \bar{z} + x \cdot \bar{y} \cdot \bar{z} + x \cdot y \cdot z = \\
 &= (\bar{x} \cdot y \cdot \bar{z} + x \cdot \bar{y} \cdot \bar{z}) + (\bar{x} \cdot \bar{y} \cdot z + x \cdot y \cdot z) = \\
 &= (\bar{x} \cdot y + \bar{x} \cdot y) \cdot \bar{z} + (\bar{x} \cdot \bar{y} + x \cdot y) \cdot z = \\
 &= (x \oplus y) \cdot \bar{z} + \overline{(x \oplus y)} \cdot z = (x \oplus y) \oplus z
 \end{aligned}$$

$$\begin{aligned}
 C &= \bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z + x \cdot y \cdot \bar{z} + x \cdot y \cdot z = (\bar{x} \cdot y \cdot z + x \cdot \bar{y} \cdot z) + (x \cdot y \cdot \bar{z} + x \cdot y \cdot z) = \\
 &= (\bar{x} \cdot y + x \cdot \bar{y}) \cdot z + x \cdot y \cdot (\bar{z} + z) = (x \oplus y) \cdot z + x \cdot y \cdot 1 = \\
 &= (x \oplus y) \cdot z + x \cdot y
 \end{aligned}$$



ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ ΜΕ 2 ΗΜΙΑΘΡΟΙΣΤΕΣ ΑΠΕΥΘΕΙΑΣ ΥΛΟΠΟΙΗΣΗ ΚΑΙ NAND ΠΥΛΕΣ ΚΑΙ ΕΧΟΥΜΕ ΓΙΑ ΤΟ SUM = 32 ΤΡΑΝΖΙΣΤΟΡ ΚΑΙ ΓΙΑ ΤΟ CARRY = 18 ΤΡΑΝΖΙΣΤΟΡ. ΑΡΑ ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ = 32 ΤΡΑΝΖΙΣΤΟΡ + 18 ΤΡΑΝΖΙΣΤΟΡ ΓΙΑ ΤΟ CARRY = 50 ΤΡΑΝΖΙΣΤΟΡ.

$$CARRY = A \cdot B + B \cdot C + A \cdot C = \overline{\overline{A \cdot B + B \cdot C + A \cdot C}} = \overline{\overline{A \cdot B} \cdot \overline{B \cdot C} \cdot \overline{A \cdot C}}$$

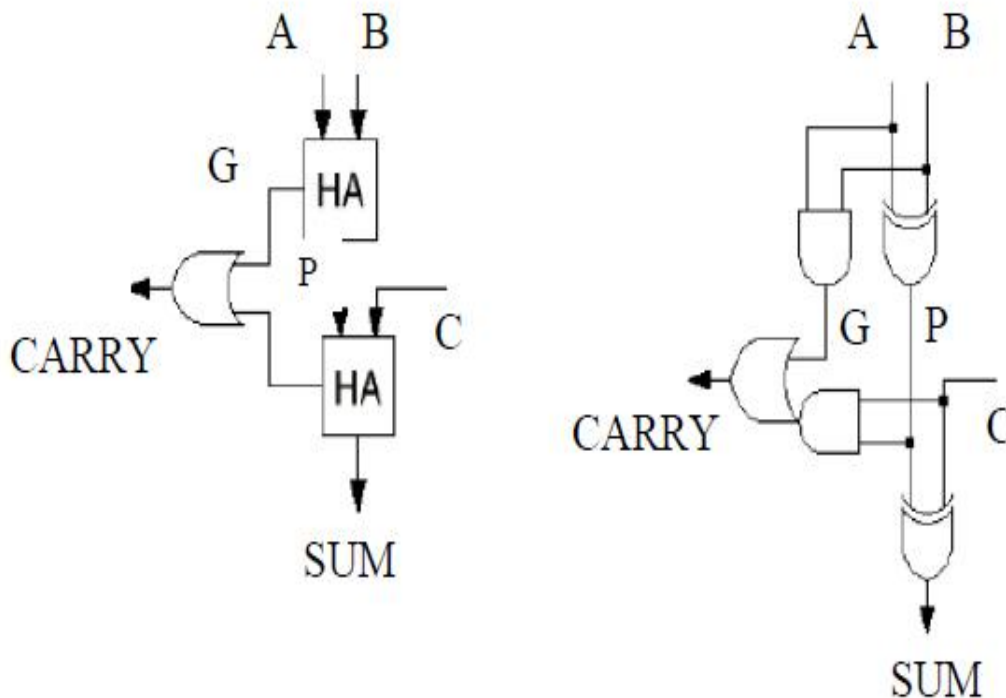
ΤΩΡΑ ΜΕ ΣΥΝΘΕΤΕΣ ΠΥΛΕΣ ΕΧΟΥΜΕ , ΓΙΑ ΤΟ ΚΡΑΤΟΥΜΕΝΟ (CARRY) ΕΧΟΥΜΕ

$$CARRY = A \cdot B + B \cdot C + A \cdot C = (A + C) \cdot B + A \cdot C$$

ΤΟ SUM ΕΙΝΑΙ 24 ΤΡΑΝΖΙΣΤΟΡ ΚΑΙ ΤΟ CARRY ΕΙΝΑΙ 12 ΤΡΑΝΖΙΣΤΟΡ

ΚΟΣΤΟΣ ΥΛΟΠΟΙΗΣΗΣ = 24 ΤΡΑΝΖΙΣΤΟΡ (SUM) + 12 ΤΡΑΝΖΙΣΤΟΡ (CARRY) = 36 ΤΡΑΝΖΙΣΤΟΡ.

ΑΛΛΗ ΥΛΟΠΟΙΗΣΗ ΜΕ ΧΡΗΣΗ ΗΜΙΑΘΡΟΙΣΤΩΝ ΠΟΥ ΒΑΣΙΖΕΤΑΙ ΣΤΗΝ ΠΡΟΒΛΕΨΗ ΚΡΑΤΟΥΜΕΝΩΝ (CARRY LOOK AHEAD ADDER)



ΜΕ ΤΙΣ ΑΚΟΛΟΥΘΕΣ ΣΧΕΣΕΙΣ

$$P = A \oplus B \quad G = A \cdot B \quad SUM = P \oplus C \quad CARRY = G + P \cdot C$$

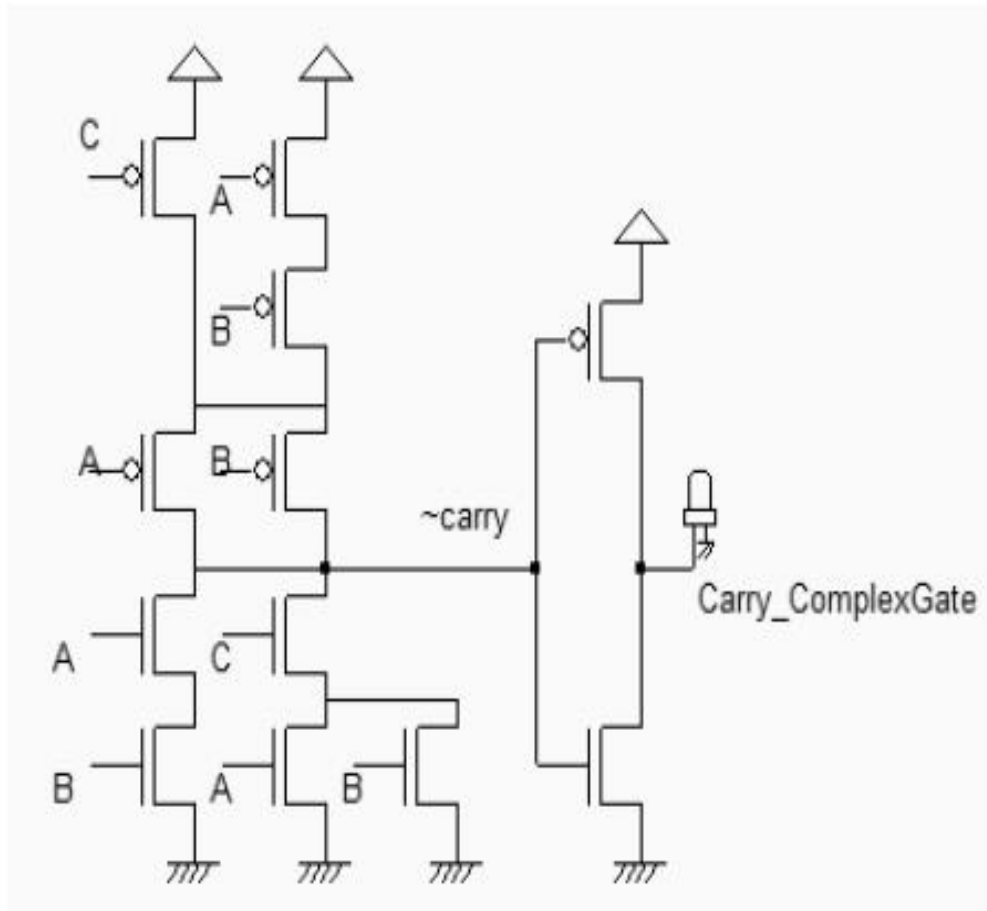
ΕΔΩ ΤΟ ΚΟΣΤΟΣ ΒΓΑΙΝΕΙ ΣΤΑ 42 ΤΡΑΝΖΙΣΤΟΡ

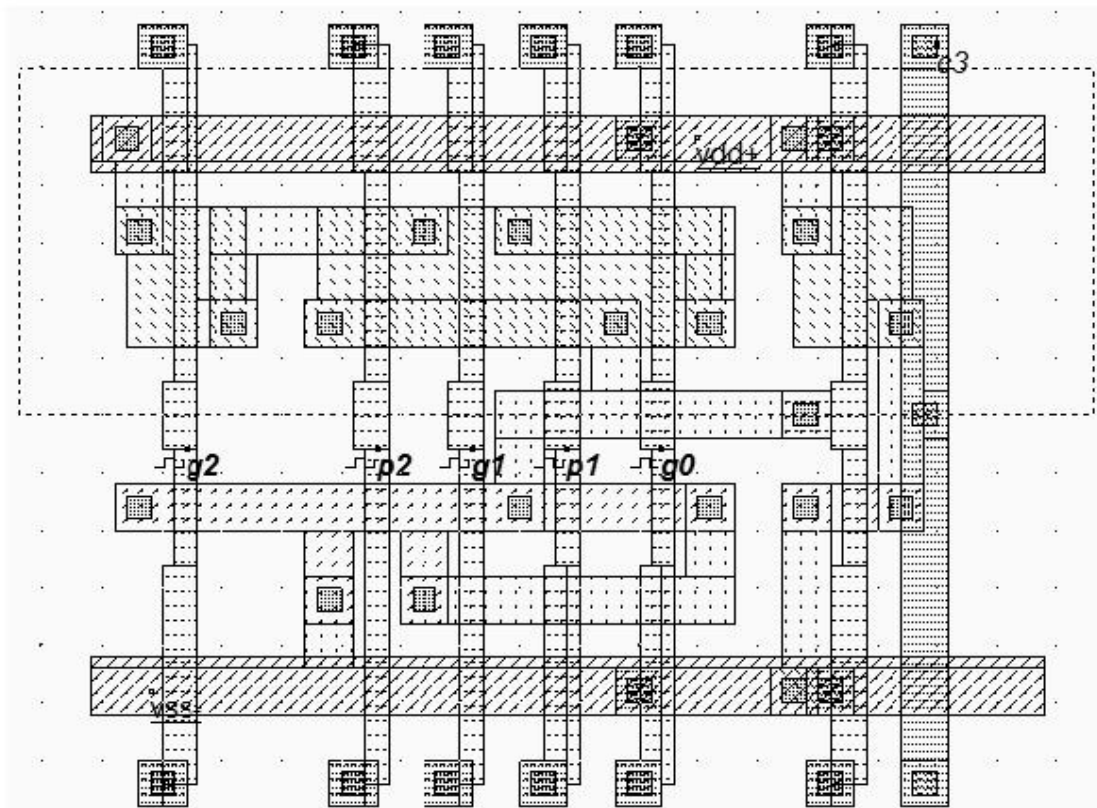
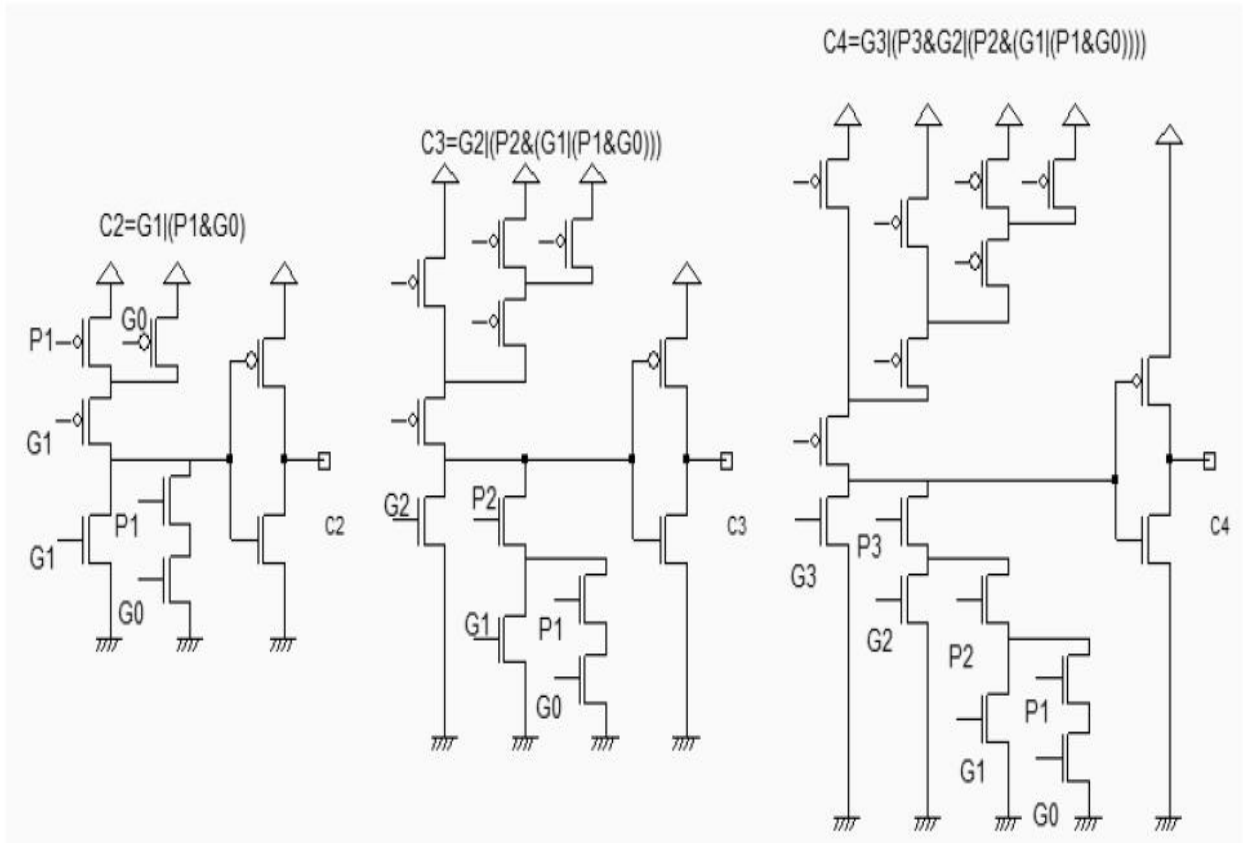
ΜΠΟΡΟΥΜΕ ΝΑ ΠΑΜΕ ΣΕ ΑΚΟΜΑ ΠΙΟ ΟΙΚΟΝΟΜΙΚΗ ΛΥΣΗ ΜΕ ΚΑΤΑΛΛΗΛΟ ΧΕΙΡΙΣΜΟ ΤΩΝ ΣΥΝΑΡΤΗΣΕΩΝ SUM ΚΑΙ CARRY ,ΓΙΝΕΤΑΙ ΜΕ ΣΥΝΘΕΤΕΣ ΠΥΛΕΣ. ΕΧΟΥΜΕ

$$SUM = A \cdot B \cdot C + \overline{(A + B + C)} \cdot CARRY$$

$$CARRY = A \cdot B + B \cdot C + A \cdot C = \overline{(A + B)} \cdot C + A \cdot B$$

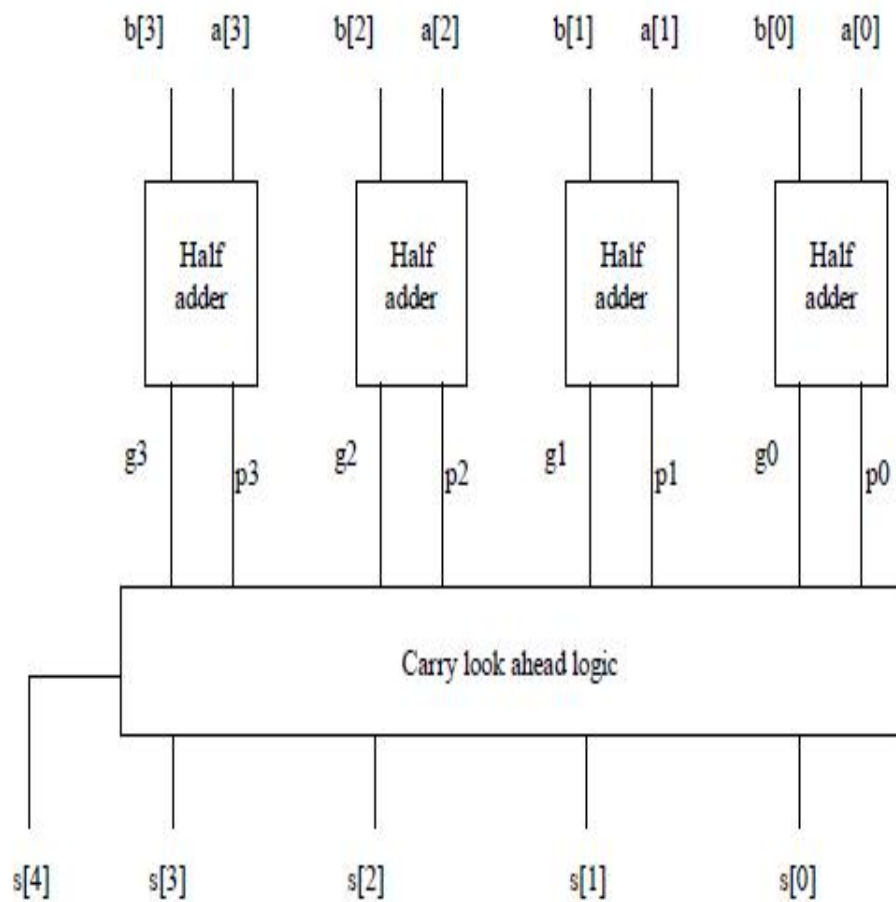
$$CARRY = G + P \cdot C$$





LAYOUT OF THE COMPLEX GATE C3 , 12 TRANSISTORS

Carry Look Ahead Adder



$$p0 = a[0] \wedge b[0]$$

$$p1 = a[1] \wedge b[1]$$

$$p2 = a[2] \wedge b[2]$$

$$p3 = a[3] \wedge b[3]$$

$$s[0] = p0$$

$$c1 = g0$$

$$s[1] = c1 \wedge p1$$

$$c2 = g1 \vee (p1 \& g0)$$

$$s[2] = c2 \wedge p2$$

$$c3 = g2 \vee (p2 \& (g1 \vee (p1 \& g0)))$$

$$s[3] = c3 \wedge p3$$

$$c4 = g3 \vee (p3 \& (g2 \vee p2 \& (g1 \vee (p1 \& g0))))$$

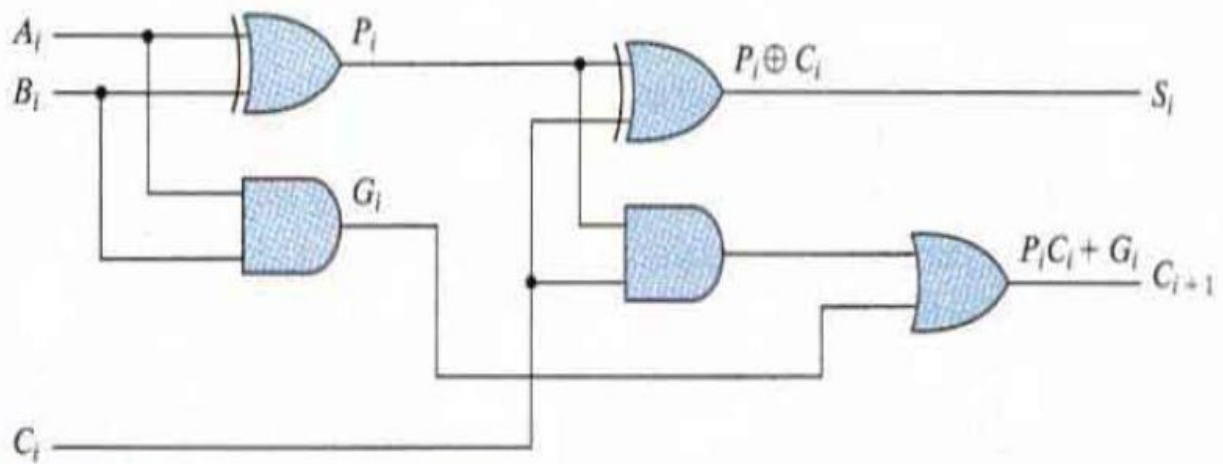
$$s[4] = c4$$

$$g0 = a[0] \& b[0]$$

$$g1 = a[1] \& b[1]$$

$$g2 = a[2] \& b[2]$$

$$g3 = a[3] \& b[3]$$



Full adder with P and G shown

$$P_i = A_i \oplus B_i$$

$$G_i = A_i B_i$$

the output sum and carry can respectively be expressed as

$$S_i = P_i \oplus C_i$$

$$C_{i+1} = G_i + P_i C_i$$

G_i is called a *carry generate*, and it produces a carry of 1 when both A_i and B_i are 1, regardless of the input carry C_i . P_i is called a *carry propagate*, because it determines whether a carry into stage i will propagate into stage $i + 1$ (i.e., whether an assertion of C_i will propagate to an assertion of C_{i+1}).

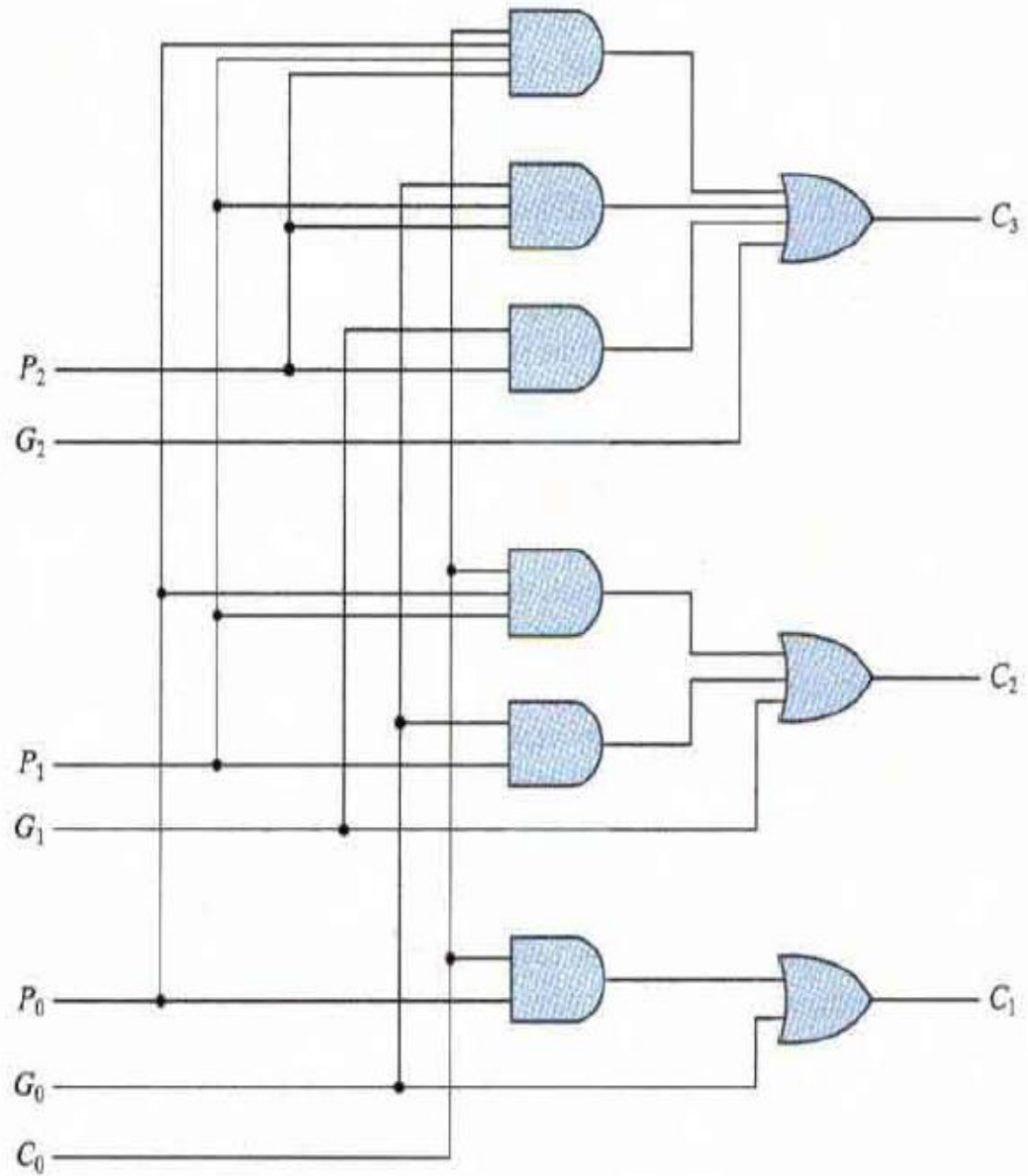
We now write the Boolean functions for the carry outputs of each stage and substitute the value of each C_i from the previous equations:

$$C_0 = \text{input carry}$$

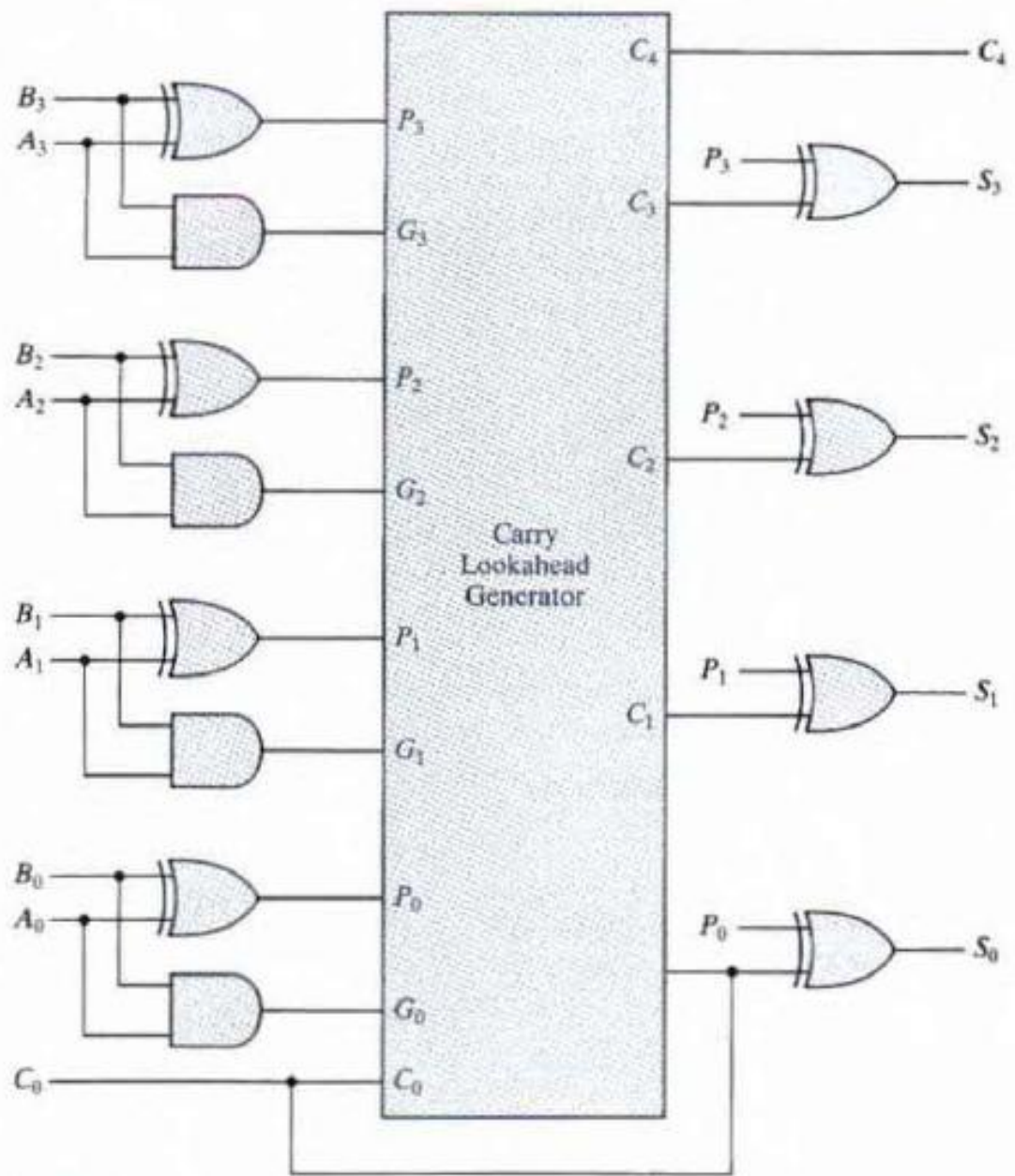
$$C_1 = G_0 + P_0 C_0$$

$$C_2 = G_1 + P_1 C_1 = G_1 + P_1 (G_0 + P_0 C_0) = G_1 + P_1 G_0 + P_1 P_0 C_0$$

$$C_3 = G_2 + P_2 C_2 = G_2 + P_2 G_1 + P_2 P_1 G_0 = P_2 P_1 P_0 C_0$$

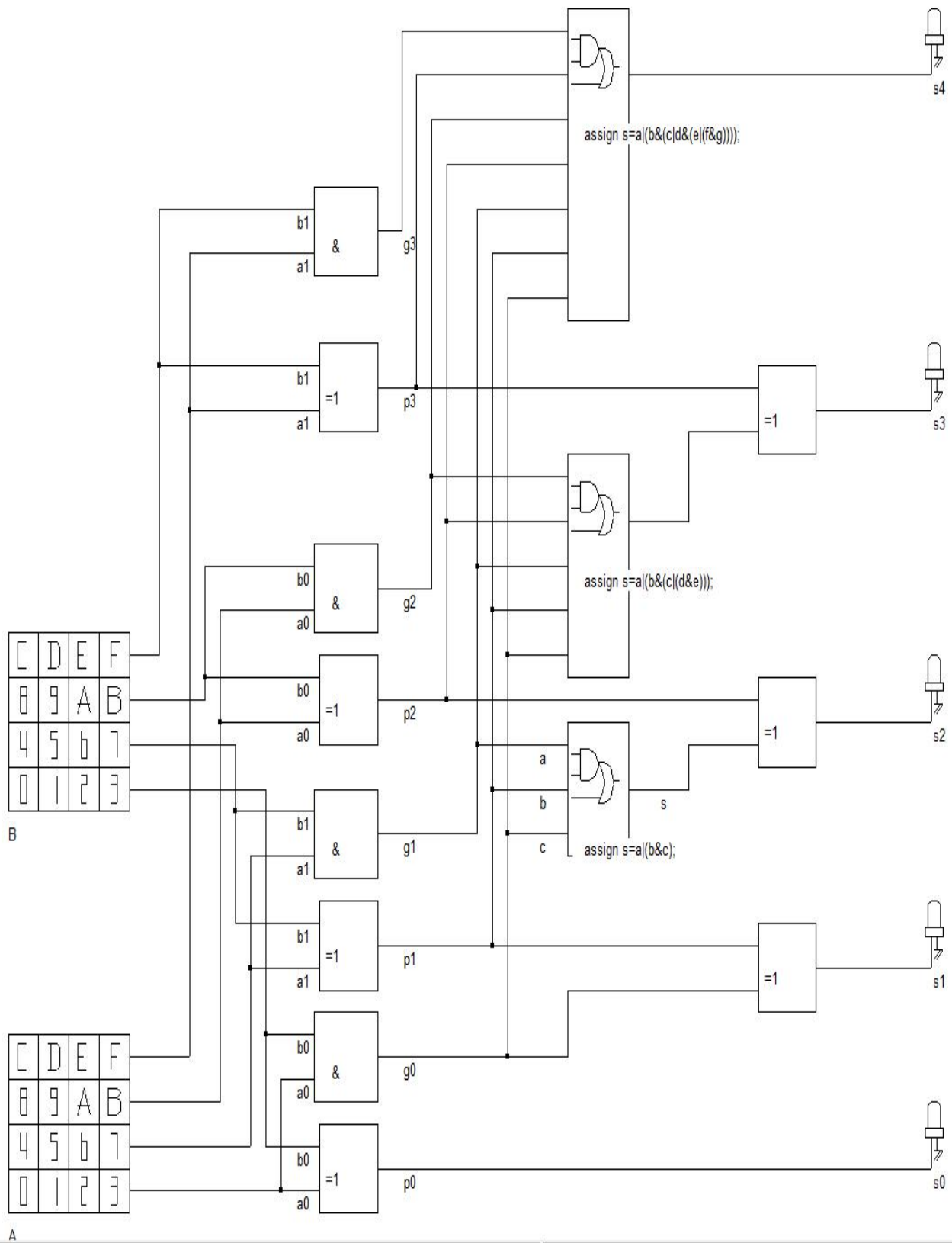


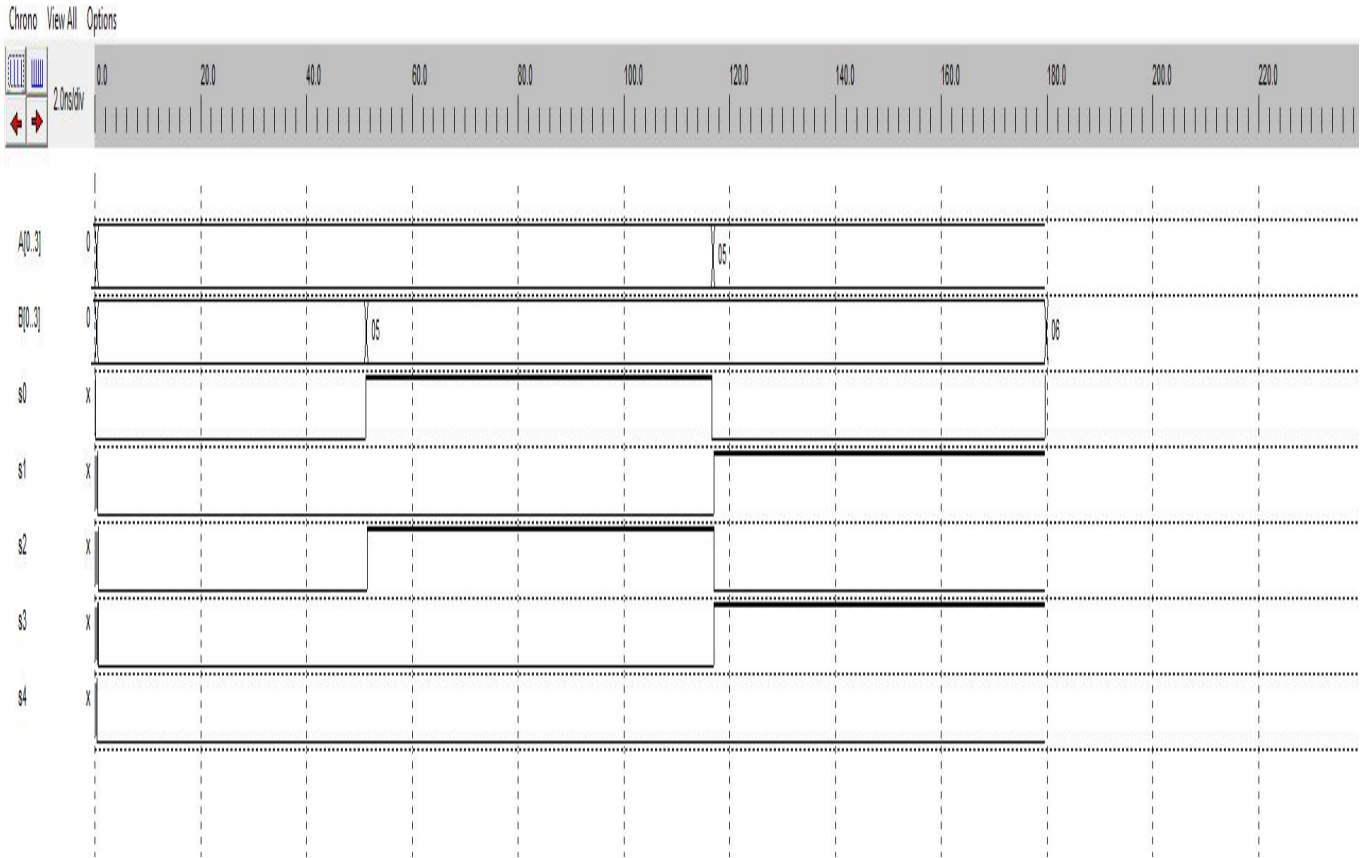
Logic diagram of carry lookahead generator



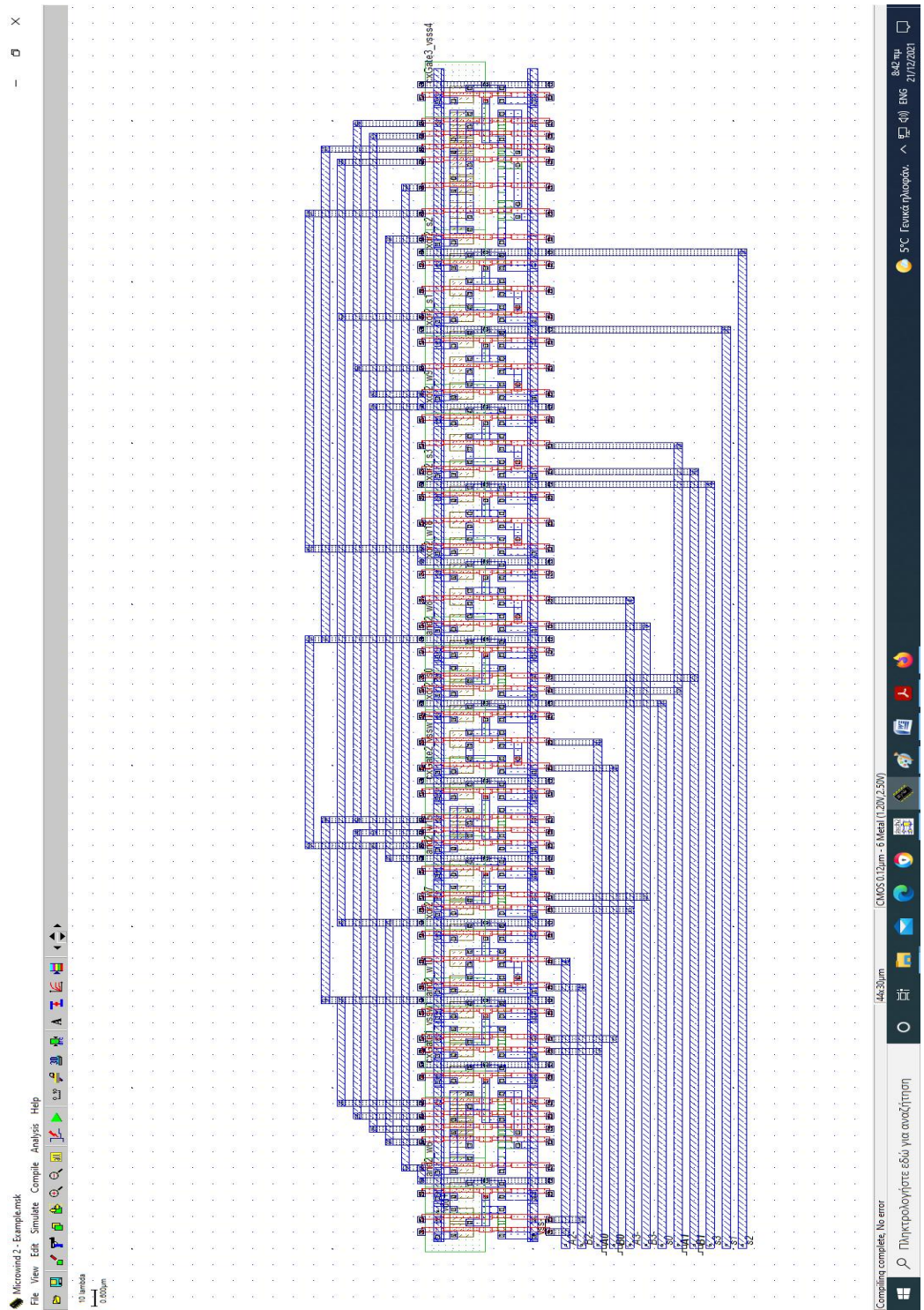
Four-bit adder with carry lookahead

4 bit Adder with carry Look Ahead

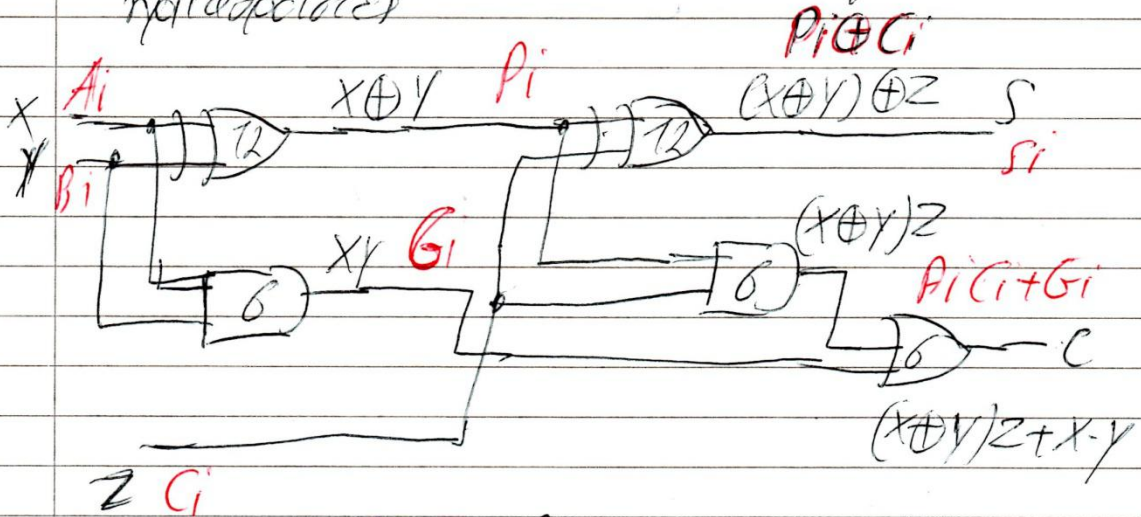




4 bit Adder with carry Look Ahead



Υλοποίηση πλήρους Αθροιστή με 2 ημιαθροιστές



Κόστος υλοποίησης

$2 \cdot 7.8 + 7 \cdot 6 = 42$ τρανζίστορ

$P = A \oplus B, G = A \cdot B, SUM = P \oplus C, CARRY = G + P \cdot C$

$G_i = A_i \cdot B_i =$ Γεννήτρια Κρατημένης

$P_i = A_i \oplus B_i =$ Διαφορής Κρατημένης

$P_i \oplus C_i$

$P_i \cdot C_i + G_i$

Αθροιστής και κρατημένο παράγονται από τα P, G και το προηγούμενο κρατημένο

~~(CARRY LOOP ANALYSIS)~~

Πρόβλεψη Κρατημένης

$C_1 = G_0 + P_0 \cdot C_0$ $C_0 =$ κρατημένης εισόδου

$C_2 = G_1 + P_1 \cdot C_1 = G_1 + P_1 \cdot (G_0 + P_0 \cdot C_0) = G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_0$

$$C_3 = G_2 + P_2 C_2 = G_2 + P_2 (G_1 + P_1 C_1) = G_2 + P_2 G_1 + P_2 P_1 C_1 + P_2 P_1 P_0 C_0$$

$$C_4 = G_3 + P_3 C_3 = G_3 + P_3 (G_2 + P_2 G_1 + P_2 P_1 C_1) = G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 C_1$$

$$= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 (G_0 + P_0 C_0) =$$

$$= G_3 + P_3 G_2 + P_3 P_2 G_1 + P_3 P_2 P_1 G_0 + P_3 P_2 P_1 P_0 C_0$$

Υπάρξουν οτι το CARRY (κρπαρμελε) ειναι μια ελεγχωμενη αραδιση με ελεγχους A, B, C

$$CARRY = A \cdot B + B \cdot C + A \cdot C = \text{παρε σε ανδραση τον CARRY (κρπαρμελε)}$$

$$CARRY = A \cdot B + B \cdot C + A \cdot C = (A + B) \cdot C + A \cdot B$$

Υπάρξουν οτι το CARRY ειναι: $CARRY = G + P \cdot C$
 το G ειναι: $G = A \cdot B$ και το P ειναι:

$$P = A \oplus B \text{ και απο εχουμε}$$

$$SUM = P \oplus C$$

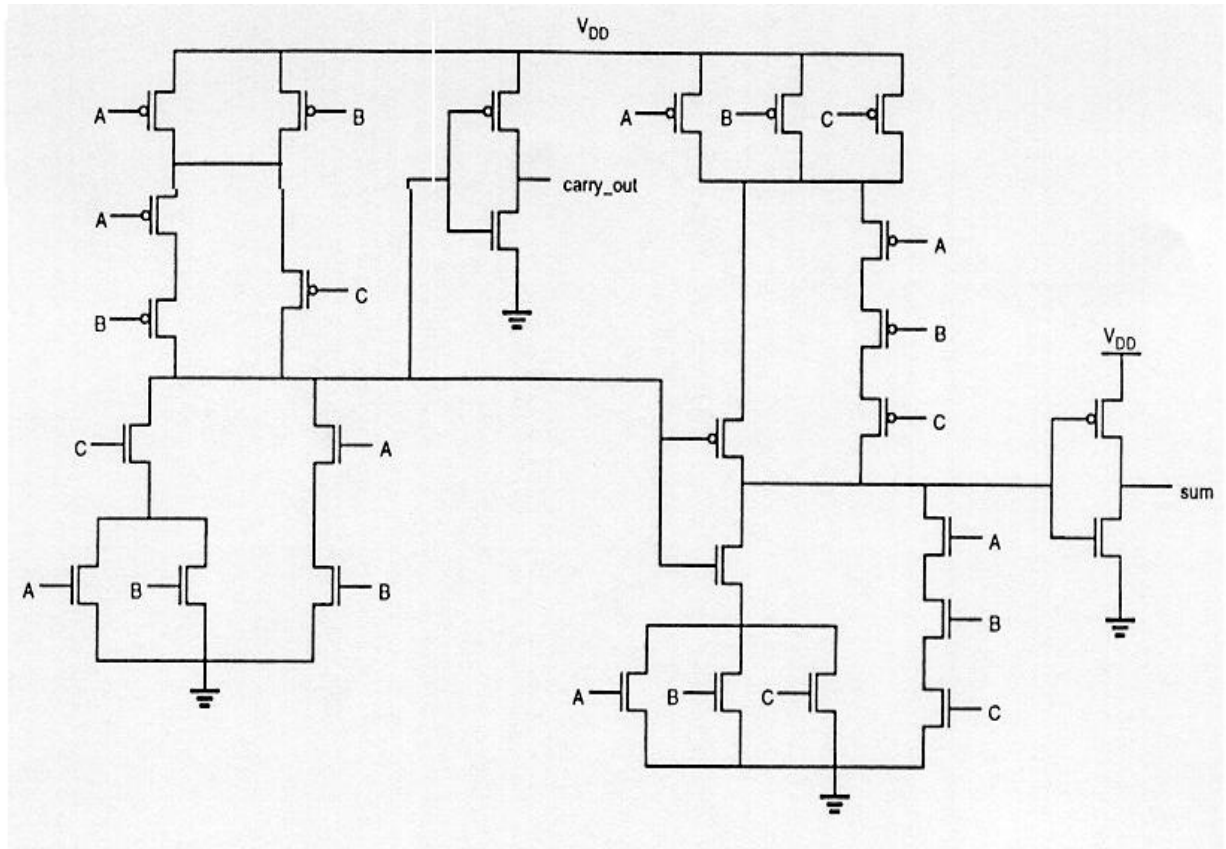
$$CARRY = G + P \cdot C = A \cdot B + (A + B) \cdot C \quad 12 \text{ tr}$$

το ιδιο καταγε και για το Αφραδιο (SUM)

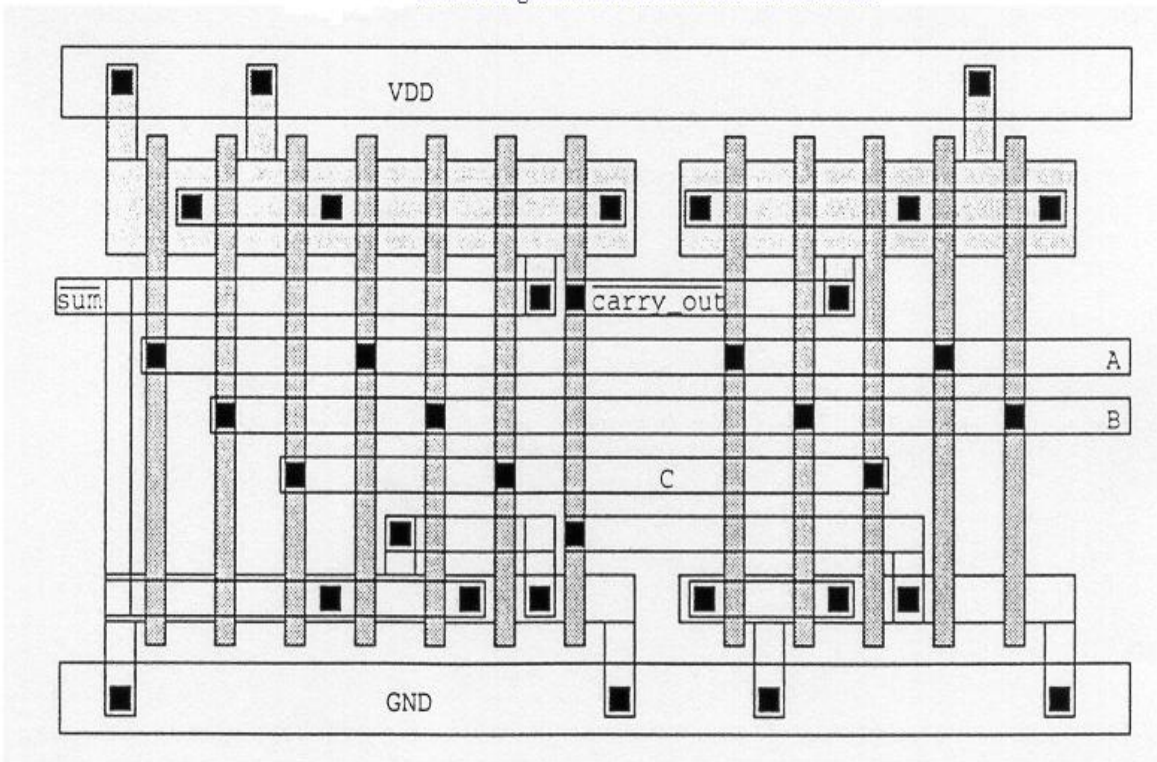
$$SUM = A \cdot B \cdot C + (A + B + C) \cdot CARRY \quad 10 \text{ tr}$$

$$SUM = G + P \cdot C$$

Η εδραση αυτη για με το κρπαρμελε (CARRY) και για με το Αφραδιο (SUM) θα μετρη με αυτες τις μεθ και απο 42 τρυφισαφ οταν ερε σε 28 τρυφισαφ

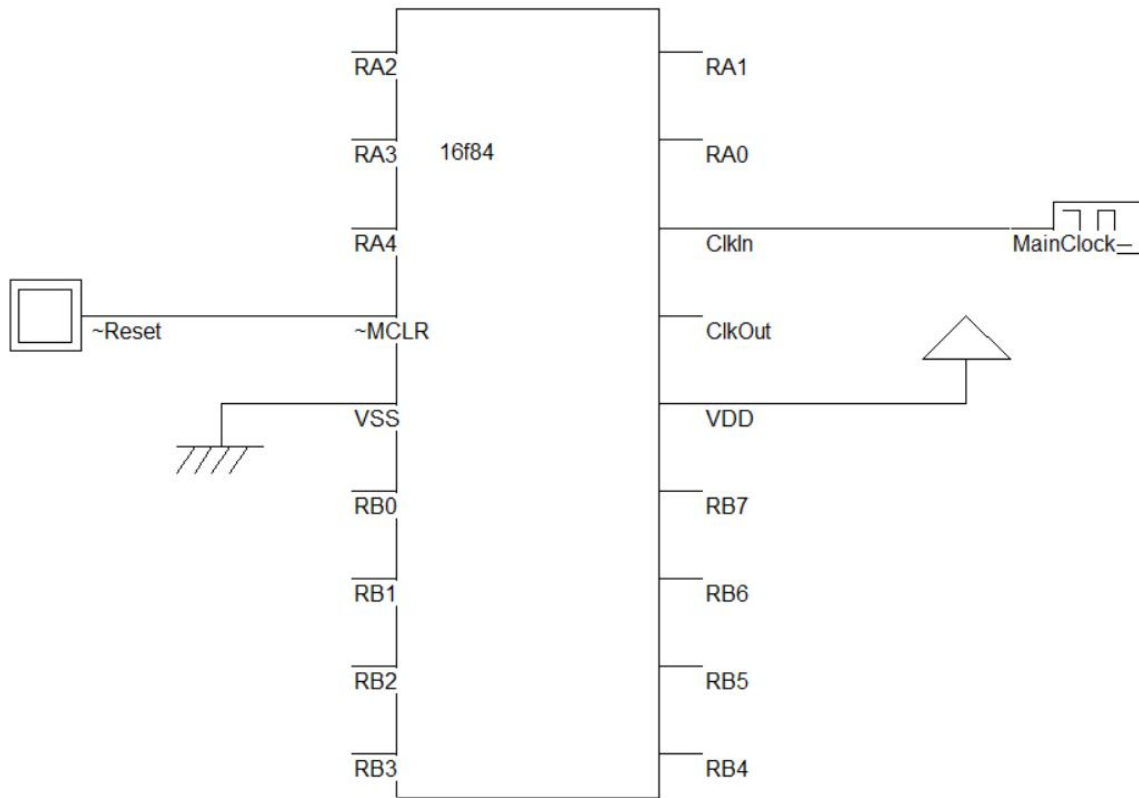


Circuit diagram of the CMOS one-bit full adder.

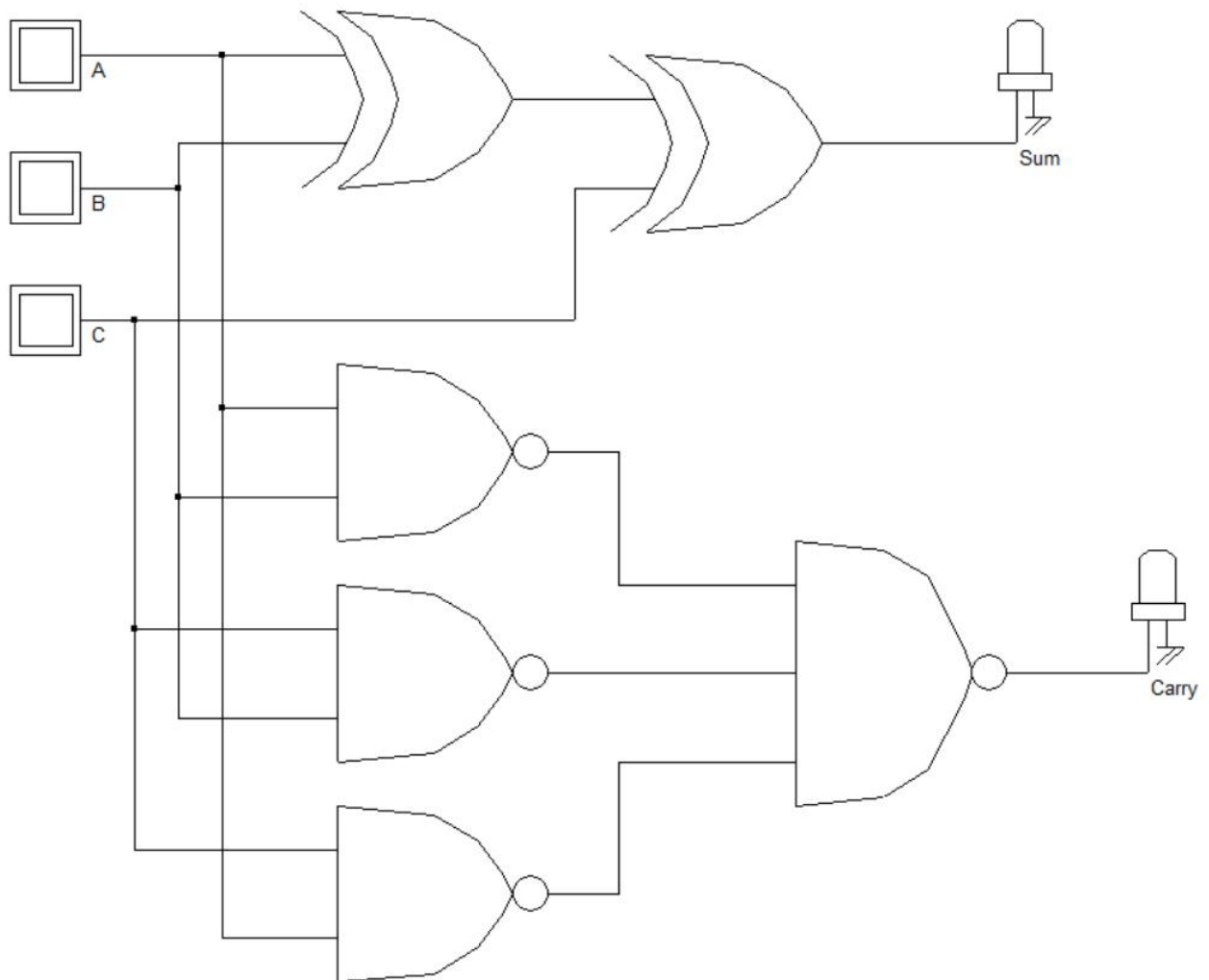


: Mask layout of the CMOS full adder circuit..

ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ ΟΛΟΚΛΗΡΩΜΕΝΟ ΚΥΚΛΩΜΑ



ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ 3 ΕΙΣΟΔΩΝ ΣΧΗΜΑΤΙΚΟ



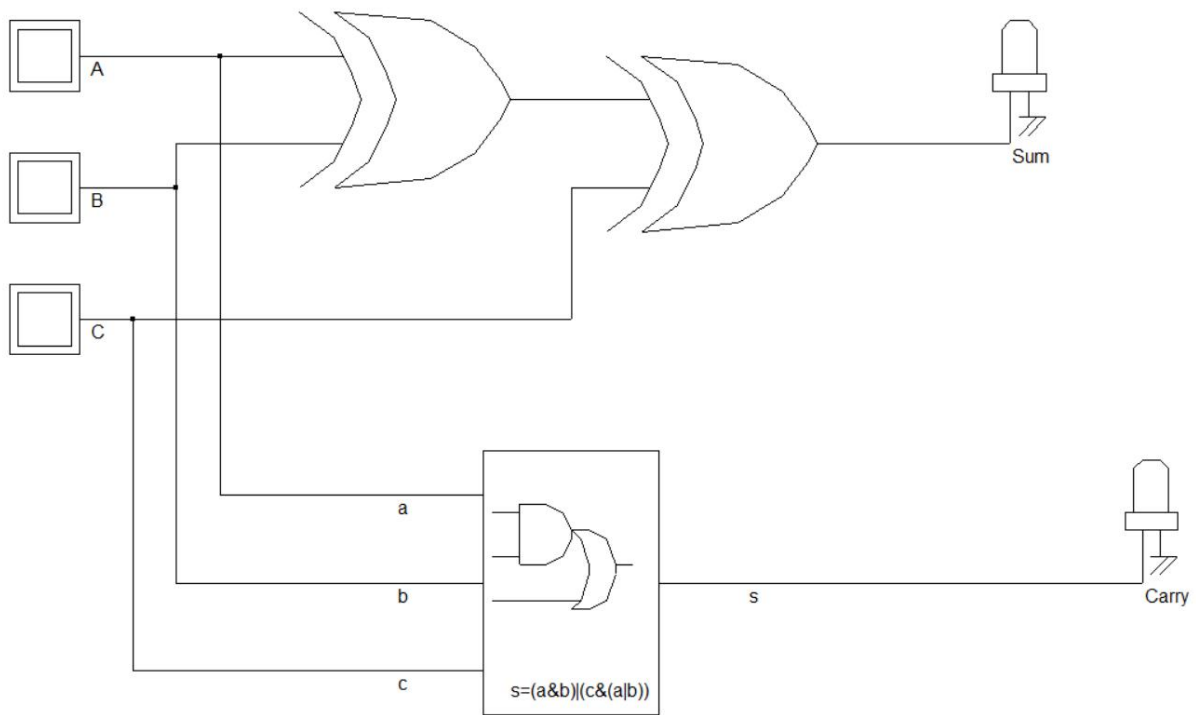
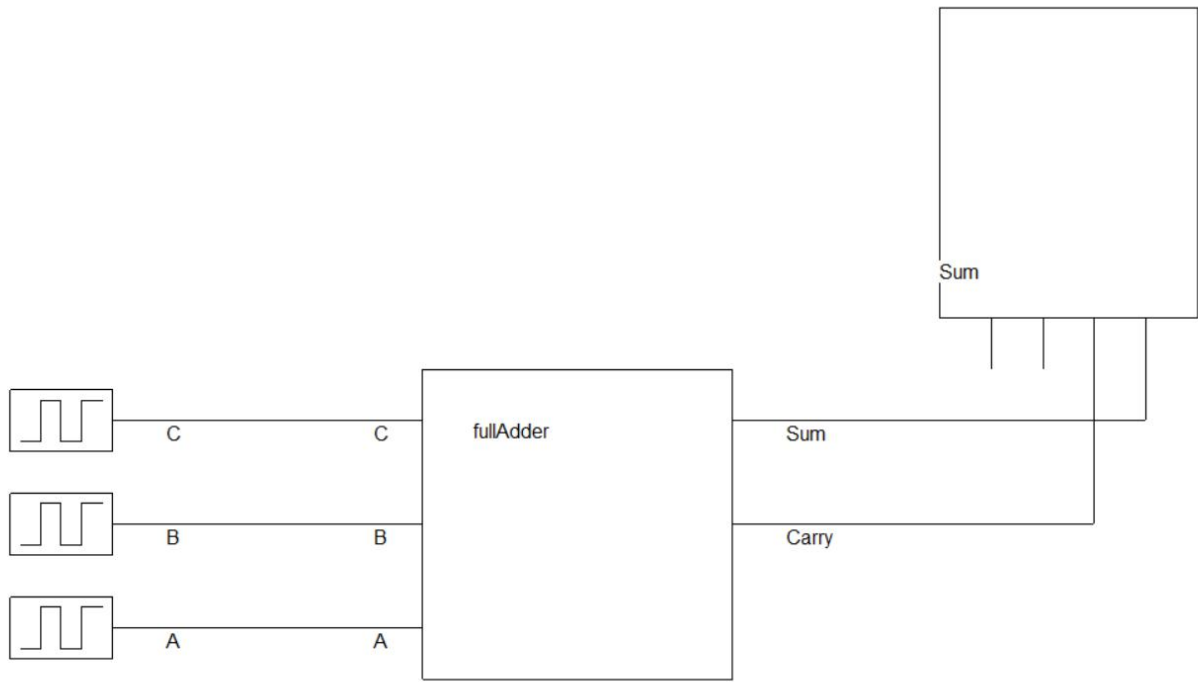
Πίνακας αληθείας

A	B	C	Carry	Sum	Result
0	0	0	0	0	0
0	0	1	0	1	1
0	1	0	0	1	1
0	1	1	1	0	2
1	0	0	0	1	1
1	0	1	1	0	2
1	1	0	1	0	2
1	1	1	1	1	3

$$\text{SUM} = A \oplus B \oplus C$$

Carry = (A&B)|(A&C)|(B&C) ΕΦΑΡΜΟΖΕΙ DE MORGAN ΚΑΙ ΚΑΤΑΛΗΓΕΙ ΣΕ

CARRY = [(A&B)'&(A&C)'&(B&C)'] 18 ΤΡΑΝΖΙΣΤΟΡ ΜΕ NAND ΠΥΛΕΣ



$SUM = A \oplus B \oplus C$

Carry = (A&B)|(A&C)|(B&C) ΕΦΑΡΜΟΖΕΙ DE MORGAN ΚΑΙ ΚΑΤΑΛΗΓΕΙ ΣΕ

CARRY = [(A&B)'&(A&C)'&(B&C)']' 18 ΤΡΑΝΖΙΣΤΟΡ ΜΕ NAND

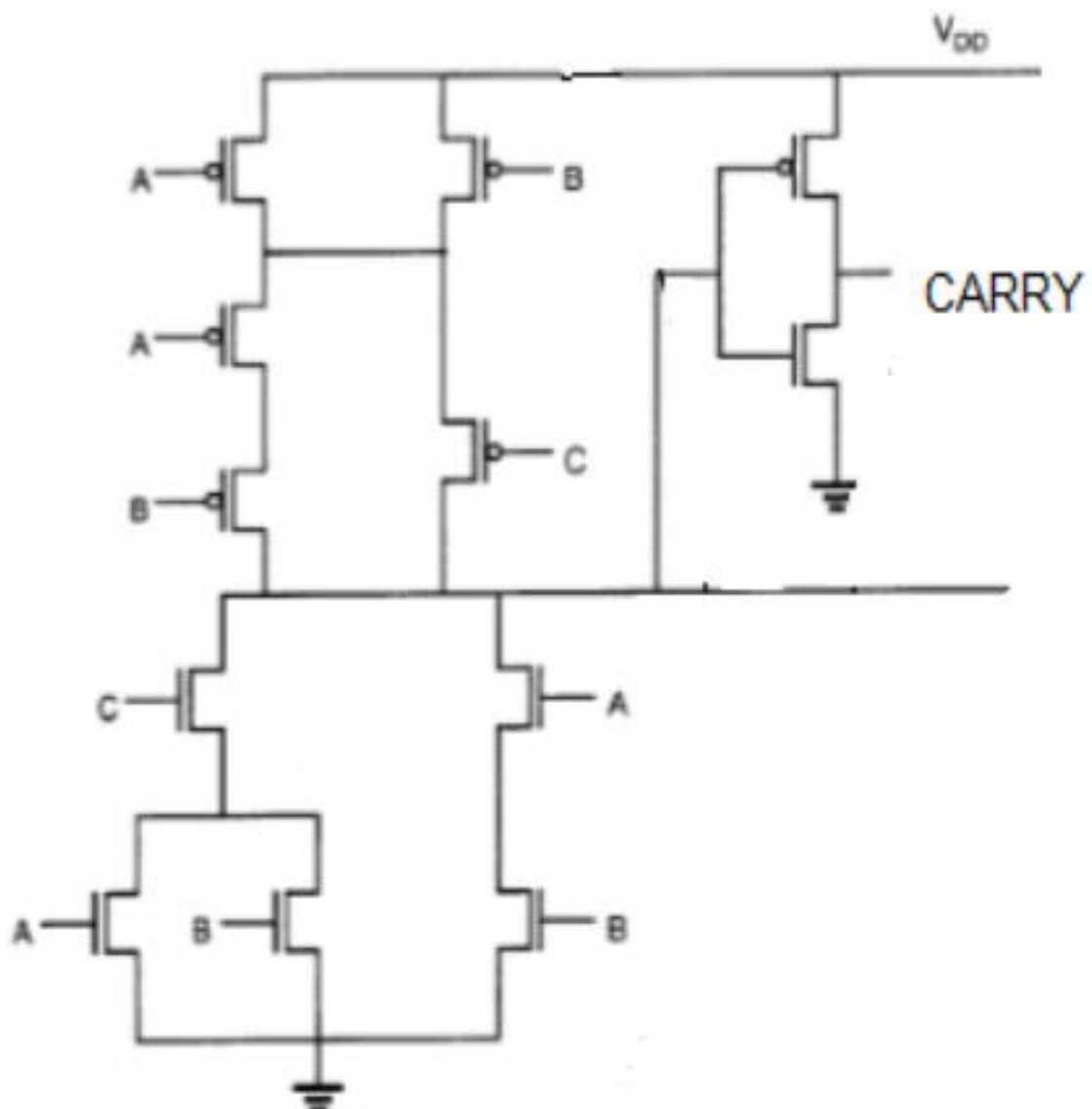
carry=(A&B)|(C&(A|B)) ή CARRY = (A * B) + (C * (A + B)) 12 ΤΡΑ WITH AOI.

CARRY (ΚΡΑΤΟΥΜΕΝΟ) ΠΛΗΡΗ ΑΘΡΟΙΣΤΗ ΜΕ 12 ΤΡΑΝΖΙΣΤΟΡ

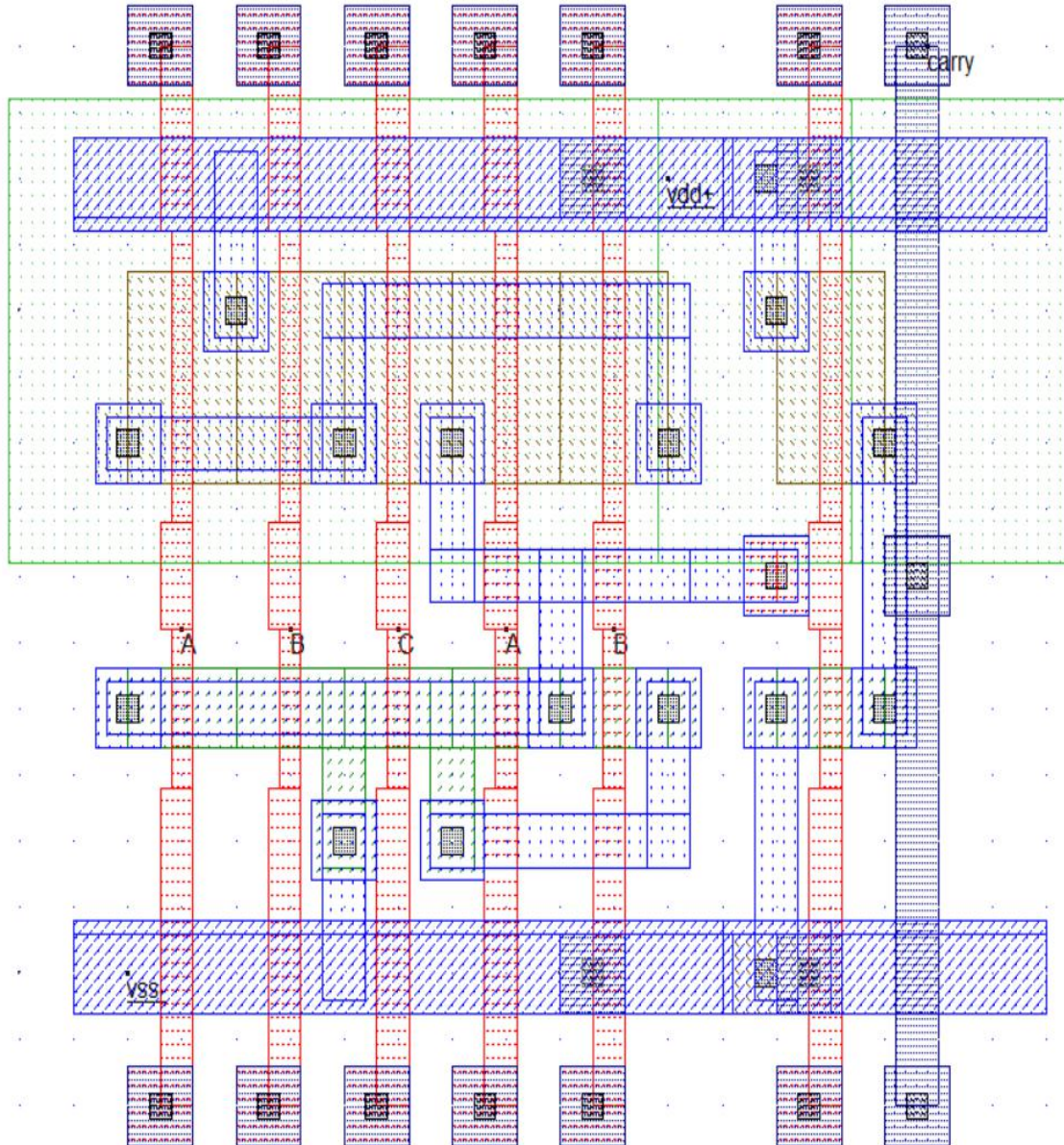
$$\text{carry}=(A\&B)|(C\&(A|B)) \text{ ή } \text{carry} = A * B + B * C + A * C = (A + B) * C + A * B$$

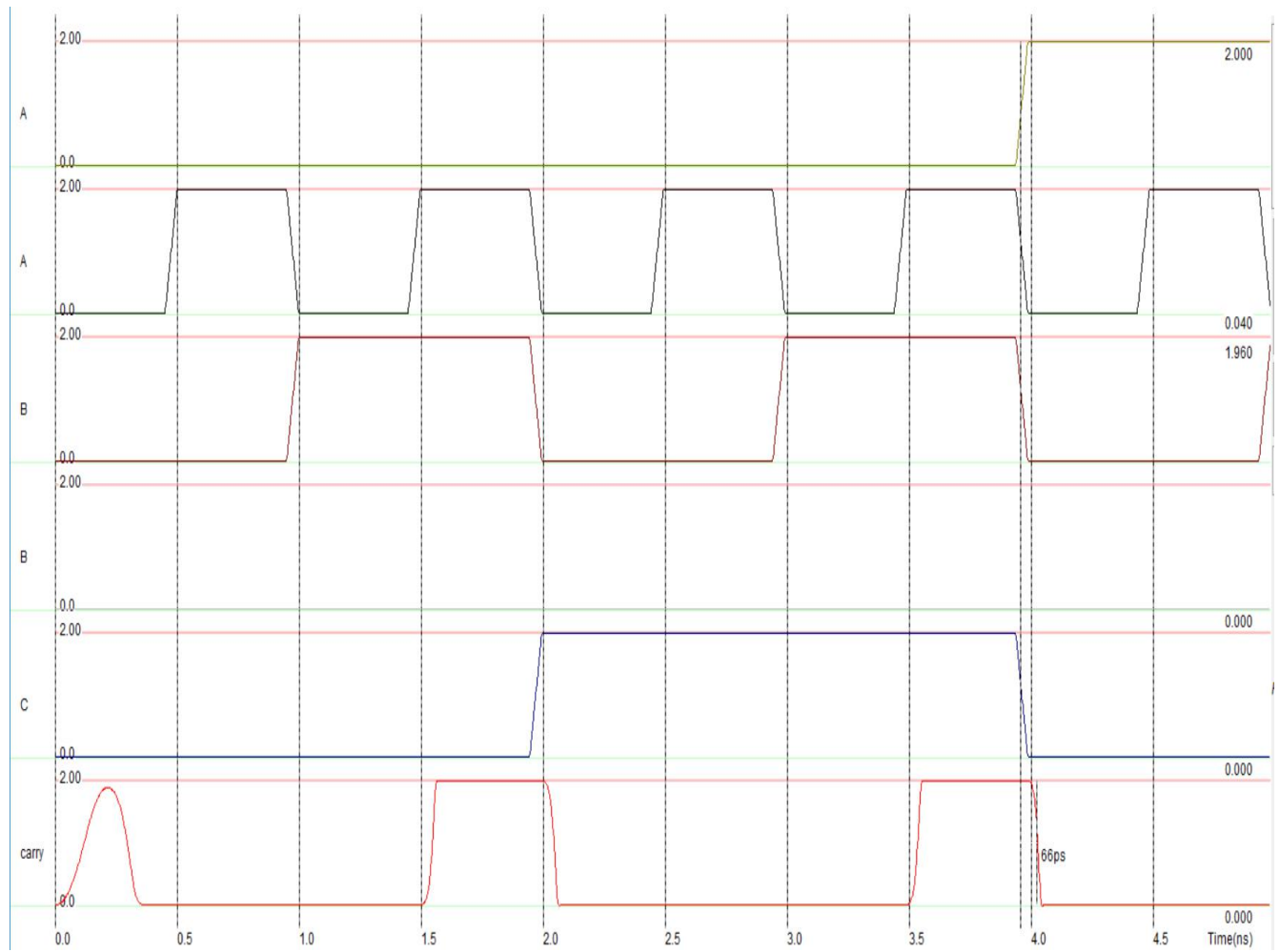
$$\text{Carry} = (A * B) + (C * (A + B)) \text{ ΠΙΟ ΣΩΣΤΗ ΥΛΟΠΟΙΗΣΗ}$$

ΚΥΚΛΩΜΑΤΙΚΟ ΔΙΑΓΡΑΜΜΑ



5 lambda
0.500um



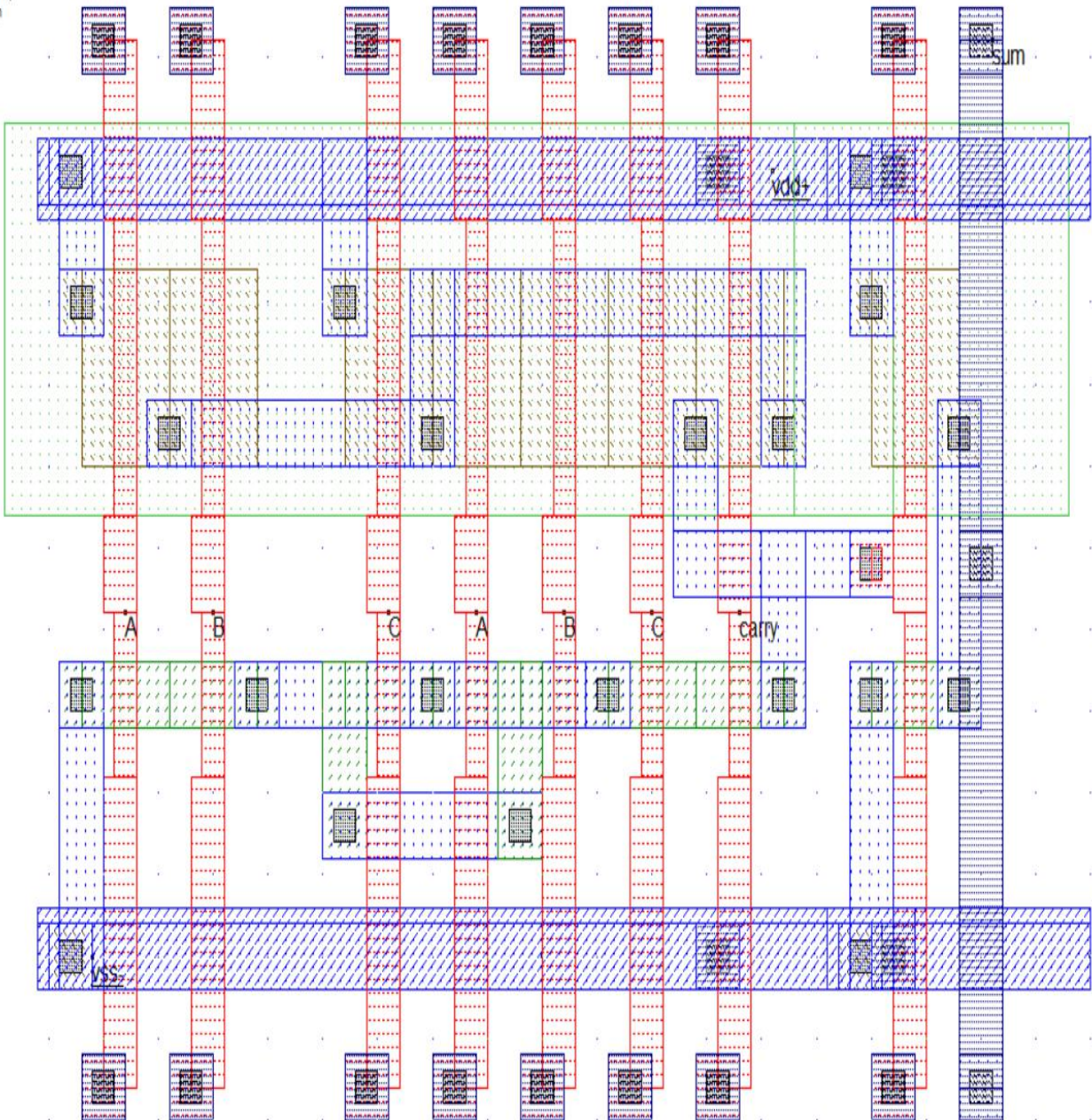


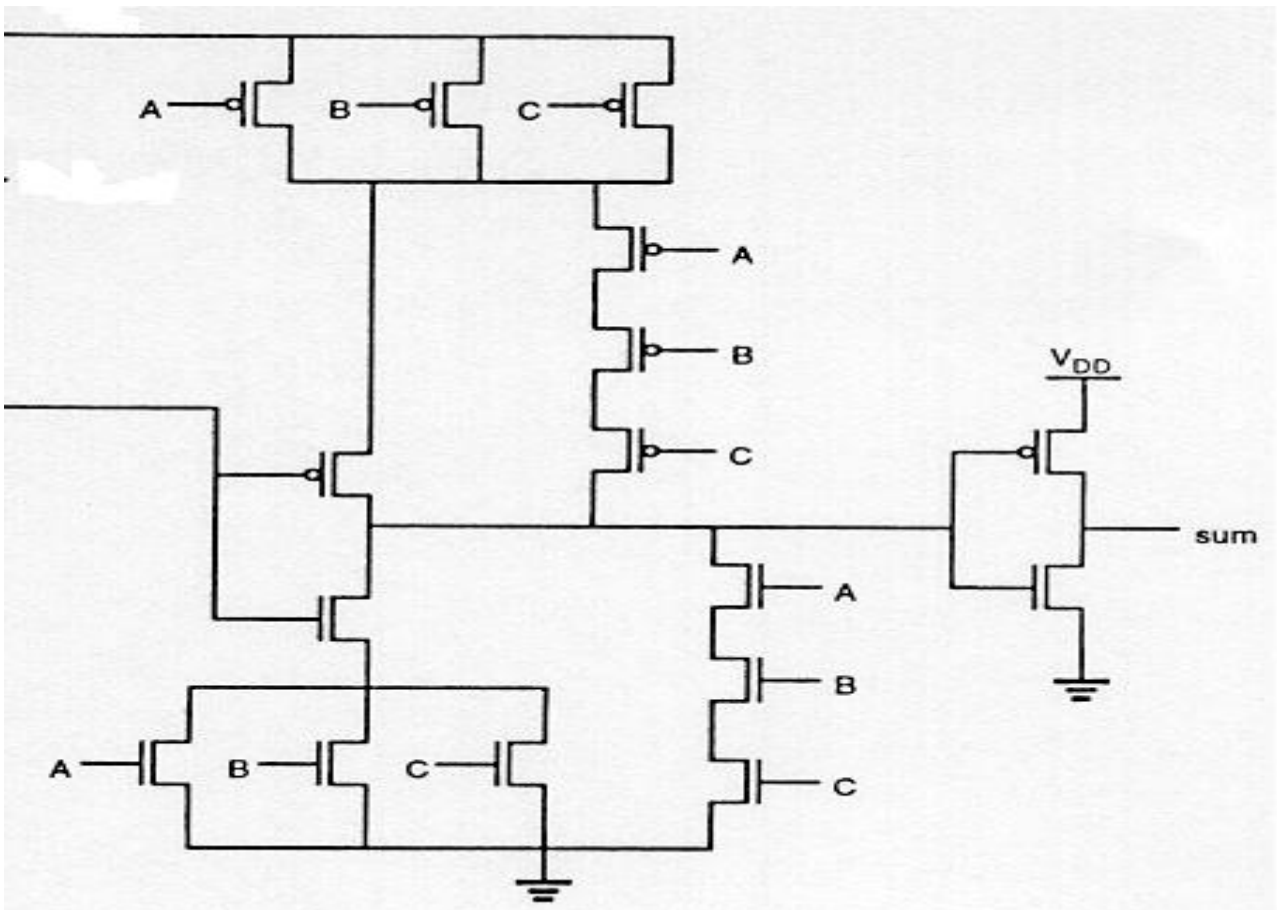
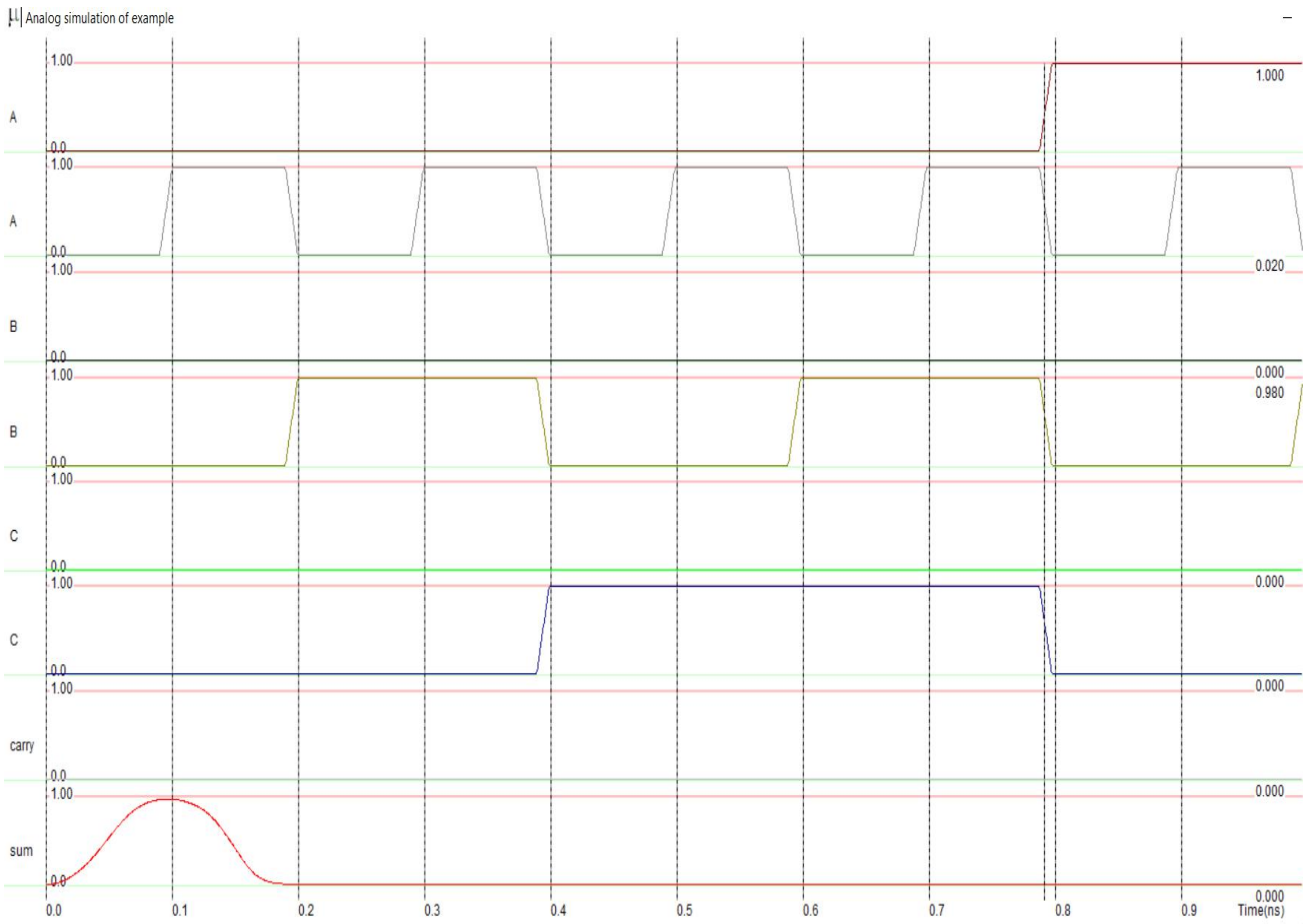
ΑΘΡΟΙΣΜΑ

$$\text{Sum} = A * B * C + (A + B + C) * \text{CARRY}'$$

$$\text{sum} = A\&B\&C|(A|B|C)\&\sim\text{carry} \quad ,16 \text{ transistor}$$

5 lambda
0.175µm



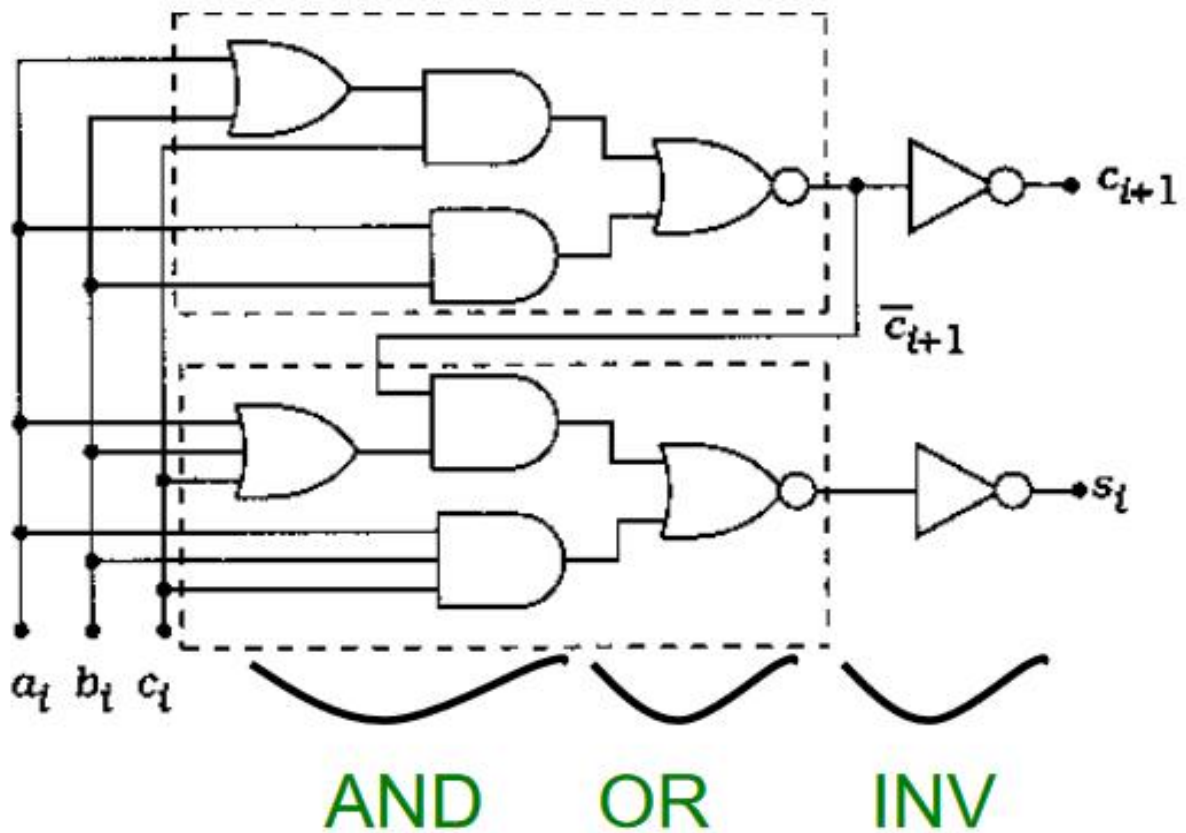


ONE BIT ADDER

$$P = A \oplus B \quad G = A \bullet B \quad SUM = P \oplus C \quad CARRY = G + P \bullet C$$

$$c_{i+1} = a_i \bullet b_i + c_i \bullet (a_i + b_i)$$

$$\bar{s}_i = (a_i + b_i + c_i) \bullet c_{i+1} + (a_i \bullet b_i \bullet c_i)$$



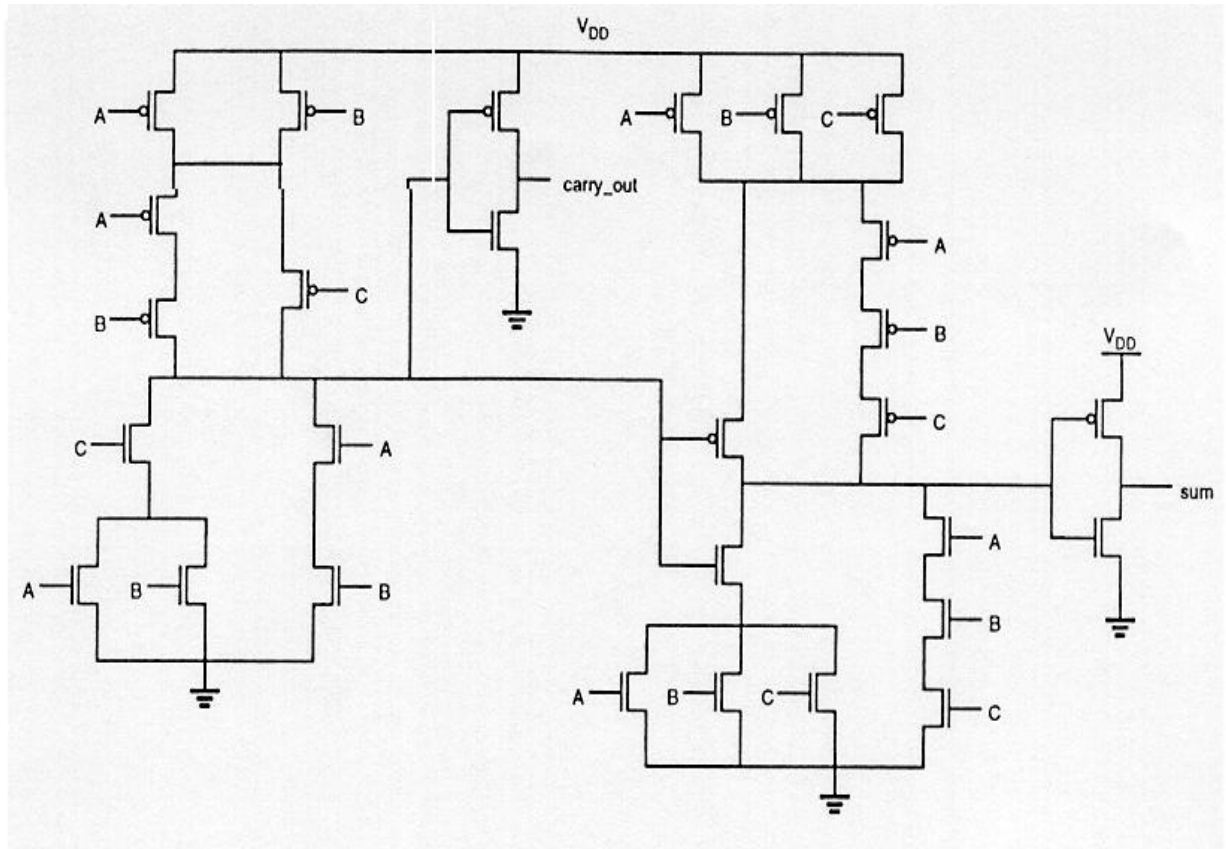
$$CARRY = P * C + G$$

P = PROPAGATION SIGNAL

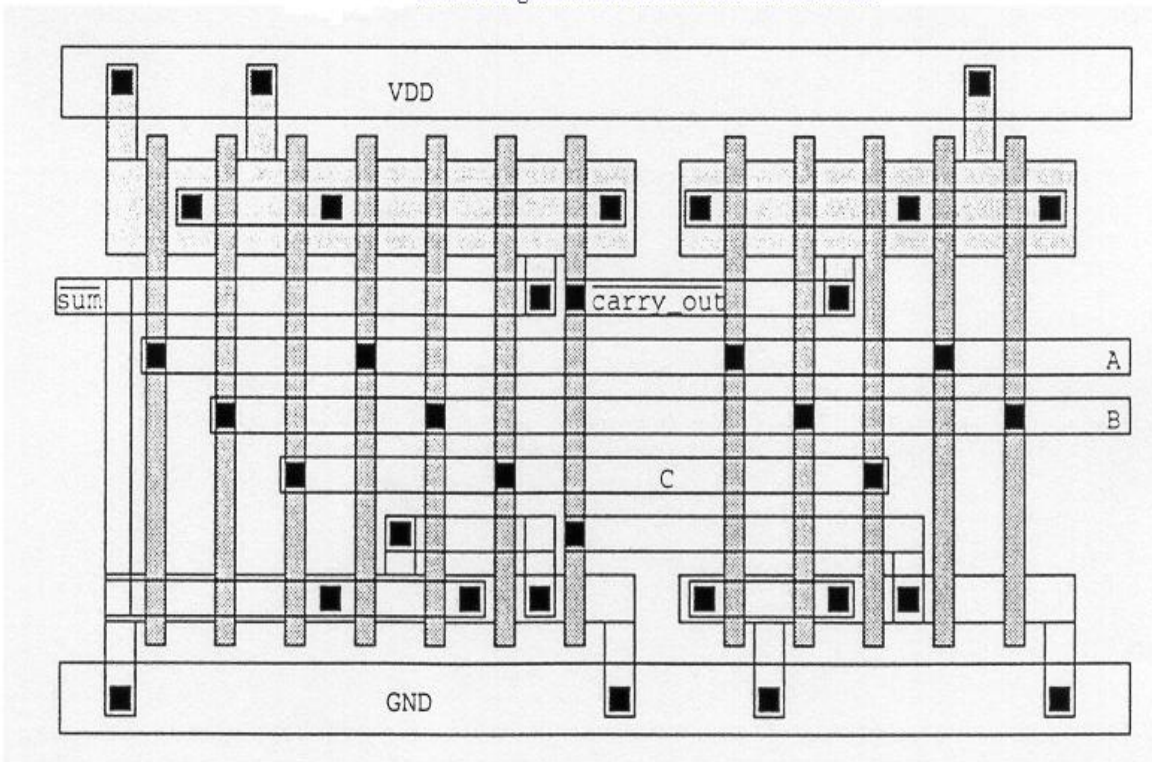
G = GENERATION SIGNAL

$$P = A \oplus B \quad SUM = P \oplus C$$

$$G = A \bullet B$$

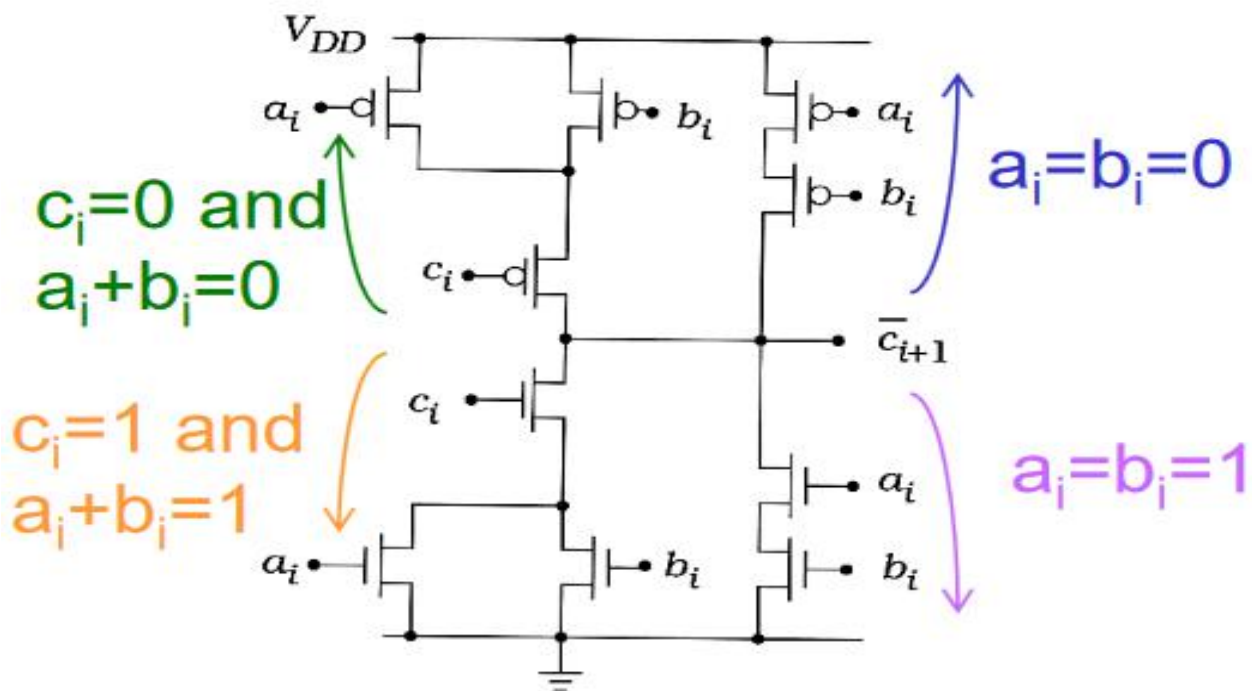


Circuit diagram of the CMOS one-bit full adder.

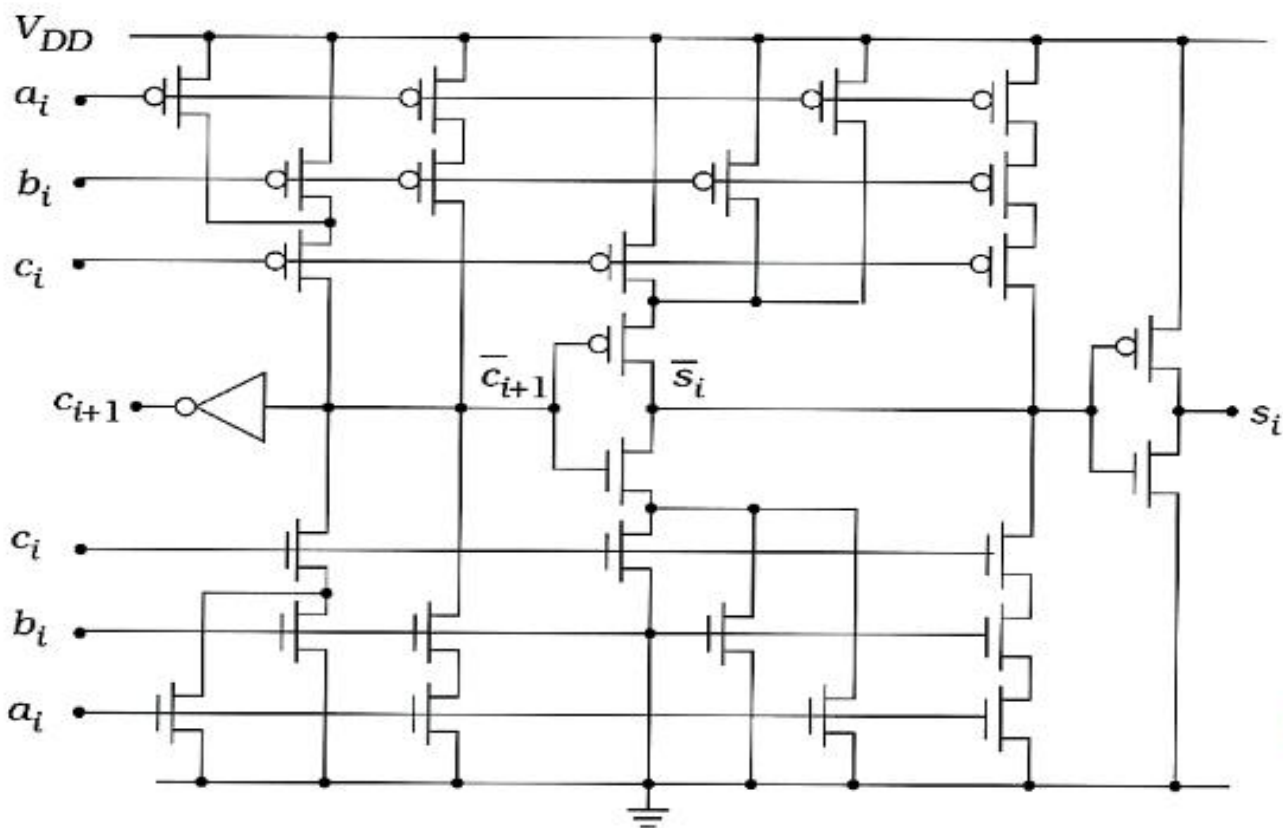


: Mask layout of the CMOS full adder circuit..

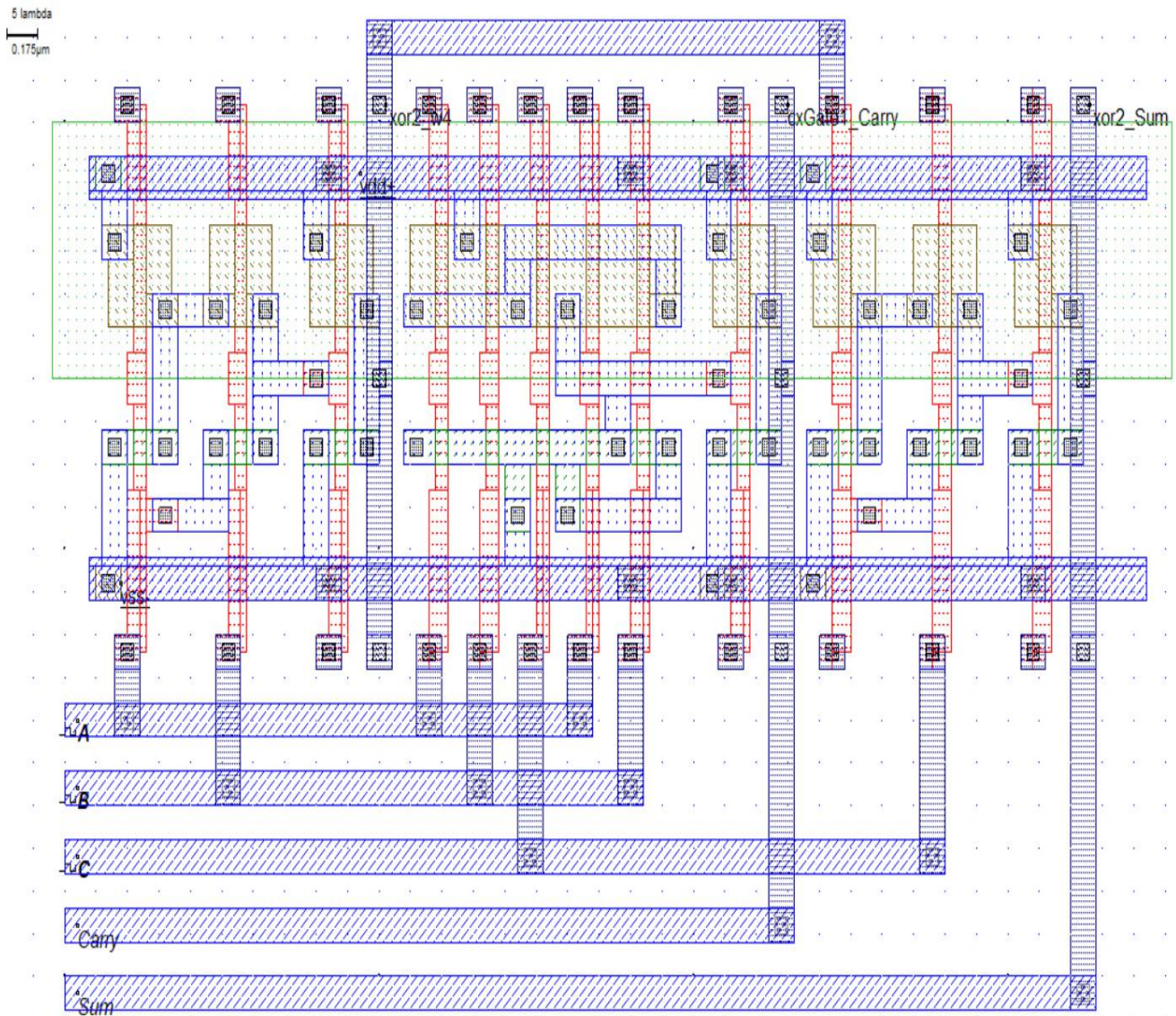
ΚΥΚΛΩΜΑ ΚΑΘΡΕΠΤΗΣ – ΚΥΚΛΩΜΑ ΚΡΑΤΟΥΜΕΝΟΥ



ΚΥΚΛΩΜΑ ΚΑΘΡΕΠΤΗΣ - ΠΛΗΡΕΣ ΚΥΚΛΩΜΑ



ΠΛΗΡΗΣ ΑΘΡΟΙΣΤΗΣ ΜΕ 24 ΤΡΑΝΖΙΣΤΟΡ



$$\text{SUM} = A \oplus B \oplus C$$

Carry = (A&B)|(A&C)|(B&C) ΕΦΑΡΜΟΖΕΙ DE MORGAN ΚΑΙ ΚΑΤΑΛΗΓΕΙ ΣΕ

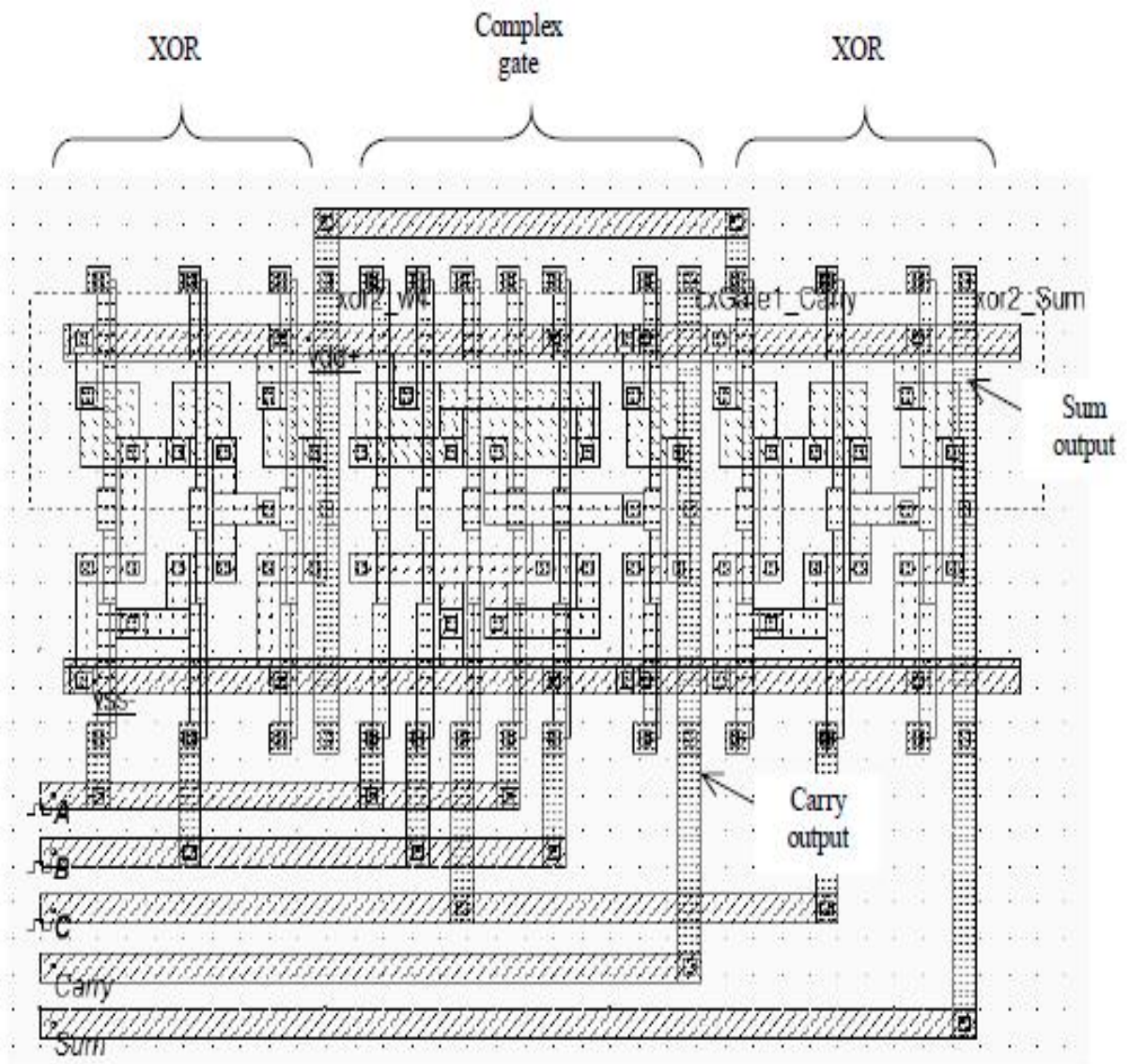
$$\text{CARRY} = [(A \& B)' \& (A \& C)' \& (B \& C)']' \text{ 18 ΤΡΑΝΖΙΣΤΟΡ ΜΕ NAND}$$

ΕΦΑΡΜΟΖΕΙ DE MORGAN ΚΑΙ ΚΑΤΑΛΗΓΕΙ ΣΕ

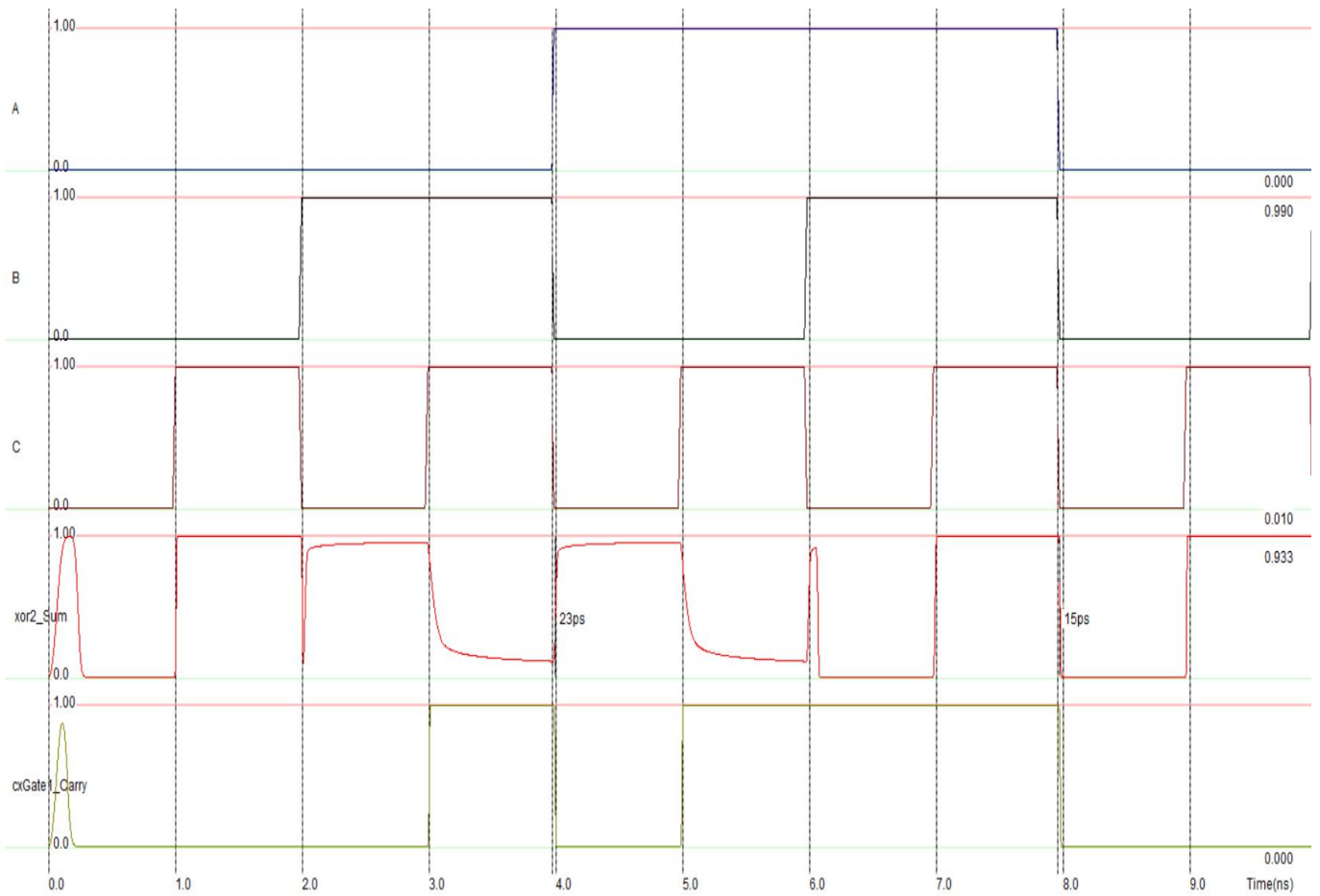
$$\text{CARRY} = (A \& B) | (C \& (A | B)) \quad \text{ή} \quad \text{CARRY} = (A * B) + (C * (A + B))$$

12 ΤΡΑΝΖΙΣΤΟΡ ΜΕ ΑΟΙ.

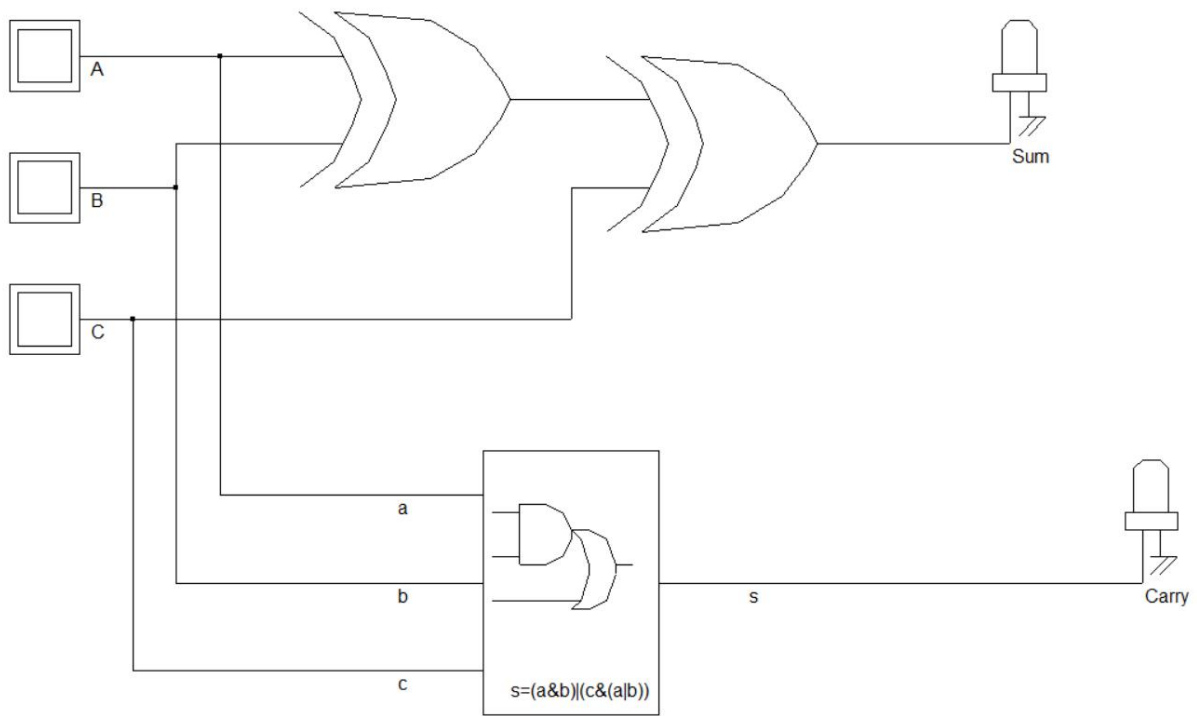
ΣΥΝΟΛΟ 24 ΤΡΑΝΖΙΣΤΟΡ



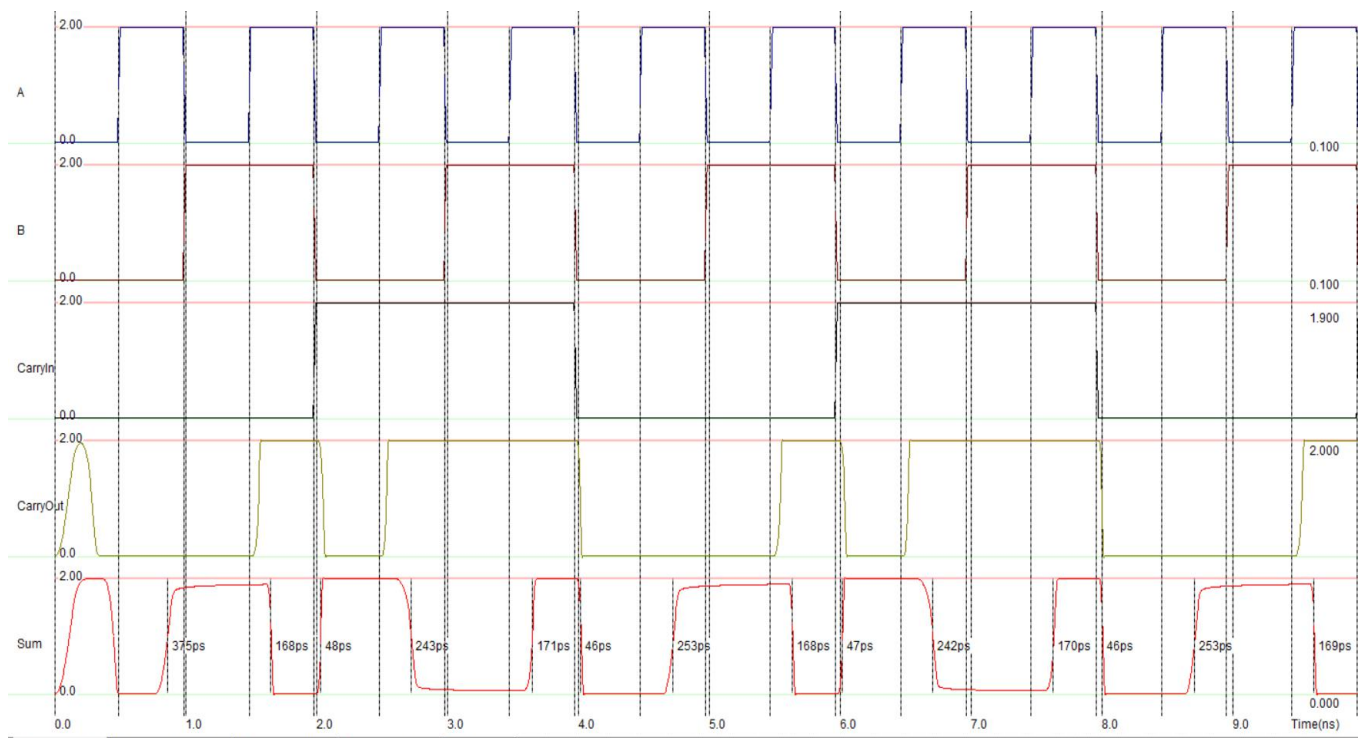
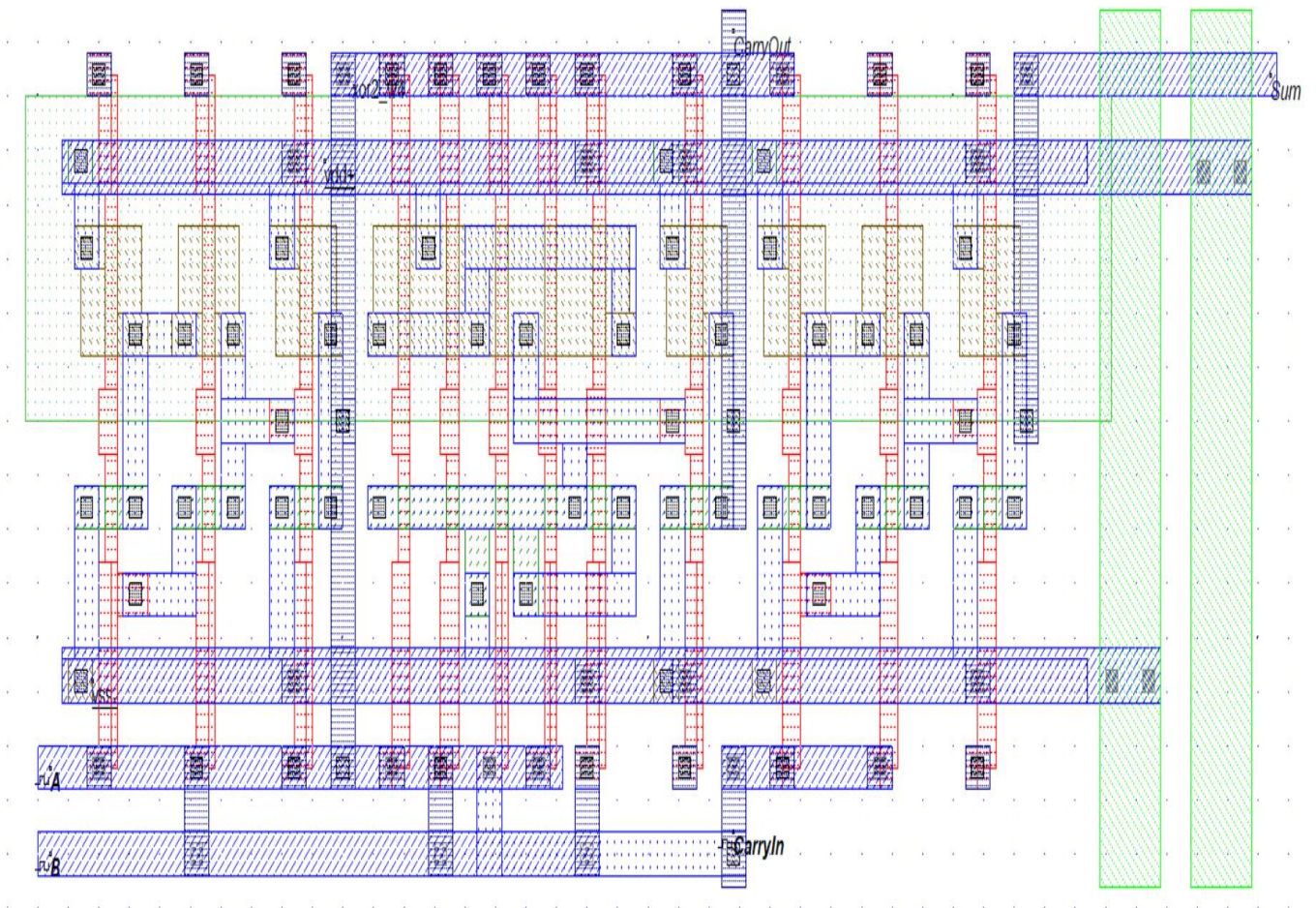
ΕΙΝΑΙ ΣΥΝΔΥΑΣΜΟΣ ΠΥΛΩΝ ΜΕΤΑΔΟΣΗΣ ΚΑΙ ΣΥΝΘΕΤΩΝ ΠΥΛΩΝ
ΠΥΛΕΣ ΜΕΤΑΔΟΣΗΣ ΓΙΑ ΤΟ ΑΘΡΟΙΣΜΑ (SUM) = 2 * 6 TRANSISTORS
ΣΥΝΘΕΤΕΣ ΠΥΛΕΣ ΓΙΑ ΤΟ ΚΡΑΤΟΥΜΕΝΟ = 12 TRANSISTORS
ΣΥΝΟΛΟ = 24 ΤΡΑΝΖΙΣΤΟΡΣ



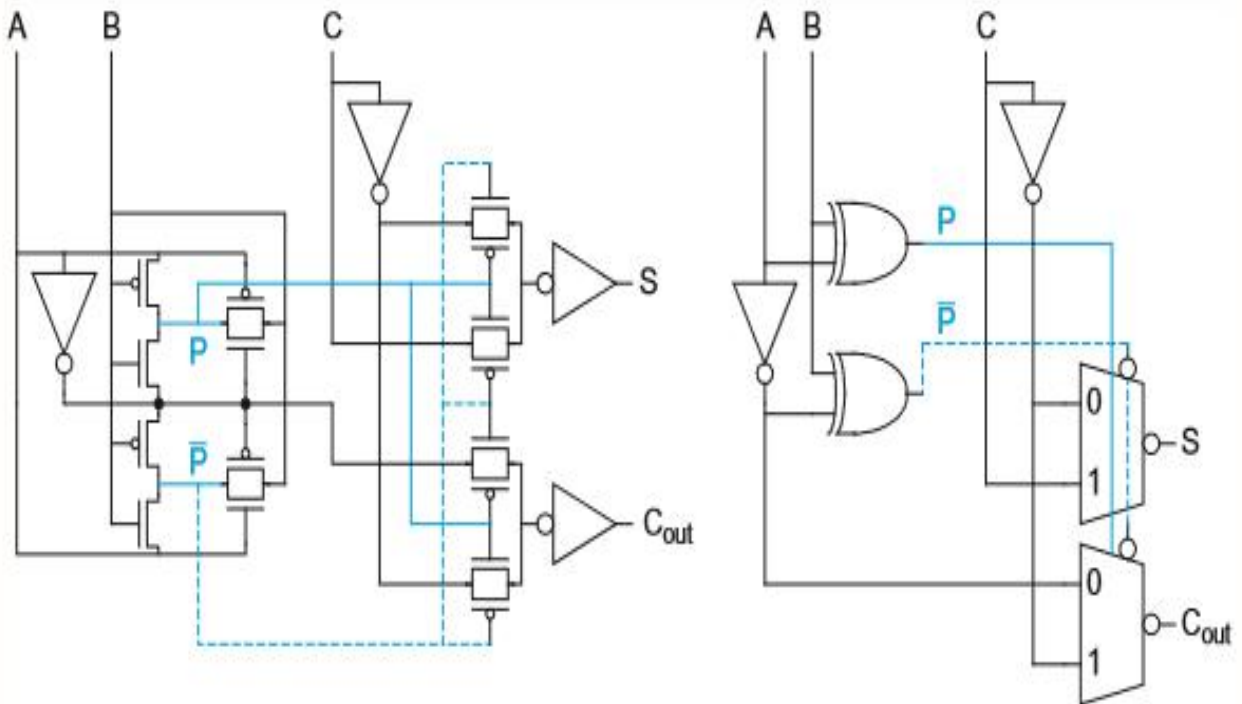
ΑΥΤΟ ΕΙΝΑΙ ΤΟ ΣΧΗΜΑΤΙΚΟ ΤΟΥΤ



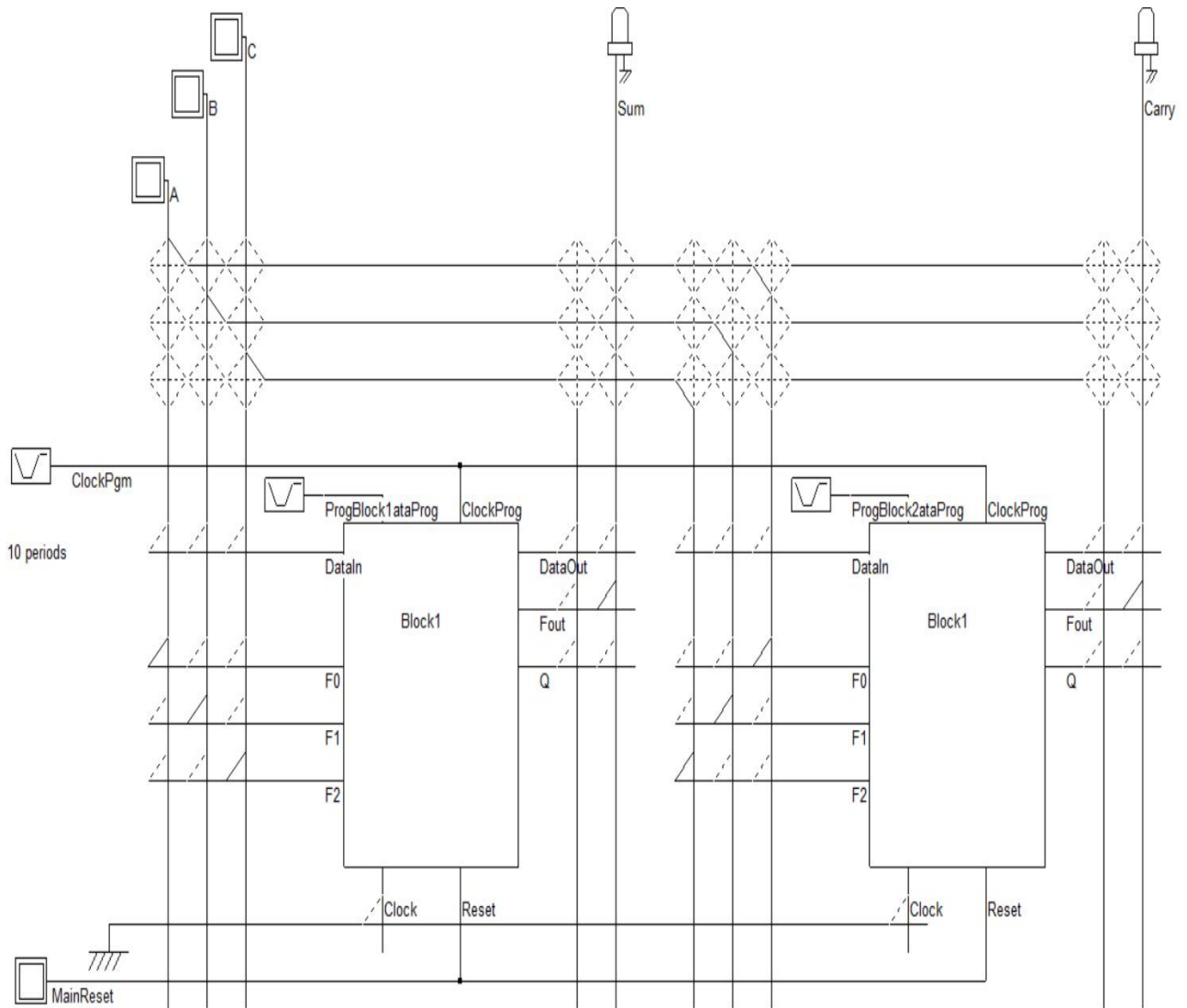
Layout πλήρους αθροιστή με τεχνική full - custom



Μια διαφορετική σχεδίαση πλήρους αθροιστή με πύλες μετάδοσης για να σχηματίσει πολυπλέκτες και XORS. Έχει 24 τρανζίστορ και παρέχει απομονωμένες εξόδους σωστής πολικότητας και ίσης καθυστέρησης.



Fpga fulladder



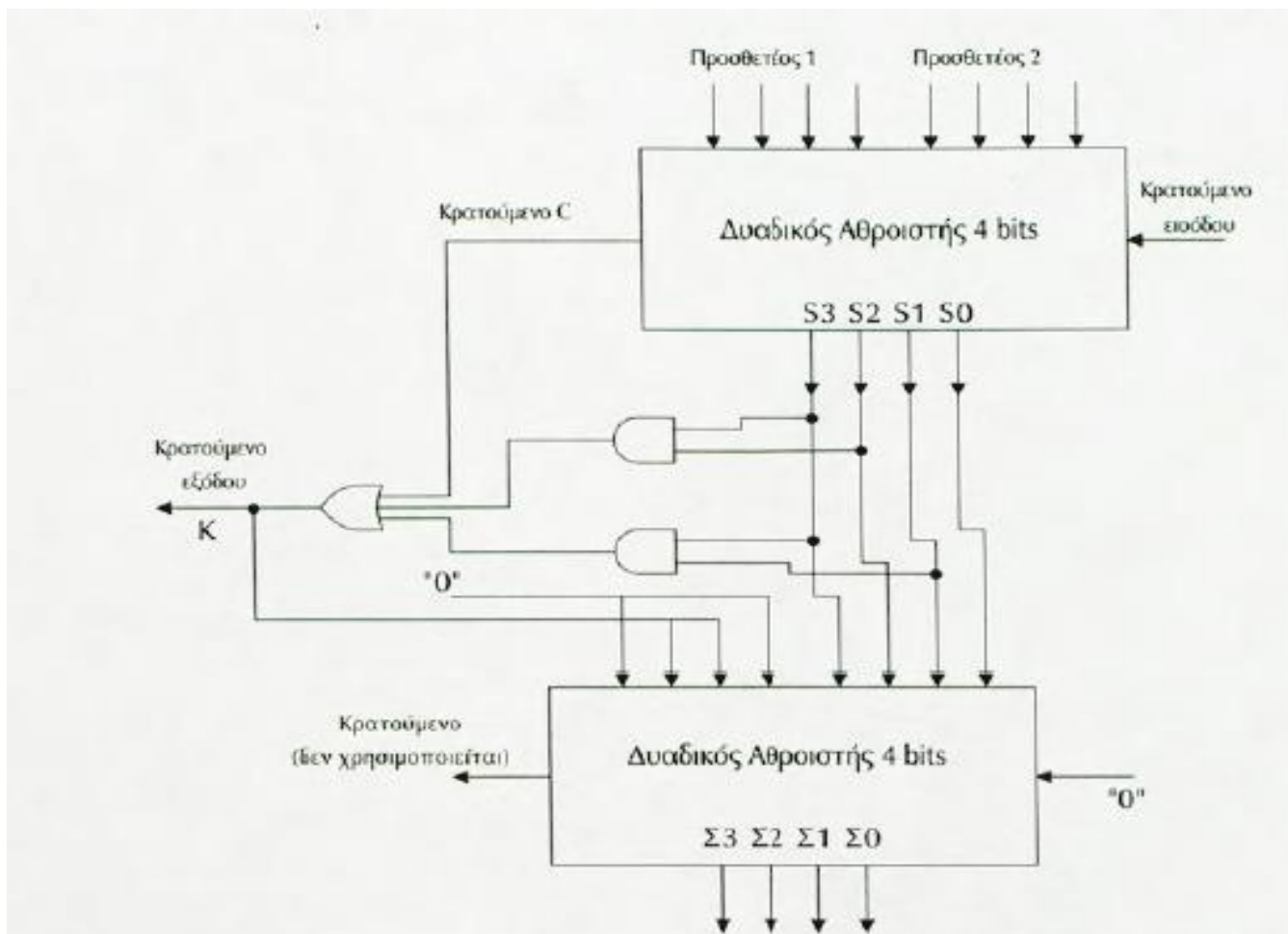
Αφαίρεση δυαδικών αριθμών

Μειωτέος X	Αφαιρετέος Y	Διαφορά Δ	Δανεικό B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

$$\begin{array}{r}
 1010101 \\
 -1000111 \\
 \hline
 0001110
 \end{array}$$

$$\begin{array}{rcl}
 \text{Μειωτέος} & \rightarrow & 85 \\
 \text{Αφαιρετέος} & \rightarrow & \underline{-71} \\
 \text{Διαφορά} & \rightarrow & 14
 \end{array}$$

Αθροιστής BCD



Παραδείγματα πρόσθεσης

	BCD
5	0101
+ 3	+ 0011
-----	-----
8	1000

Στο παρακάτω παράδειγμα υπάρχει λάθος στο BCD κομμάτι το οποίο μετά διορθώνεται με πρόσθεση αριθμού

	BCD	
7	0111	
+ 5	+ 0101	
-----	-----	
12	1100	
	+ 0110	

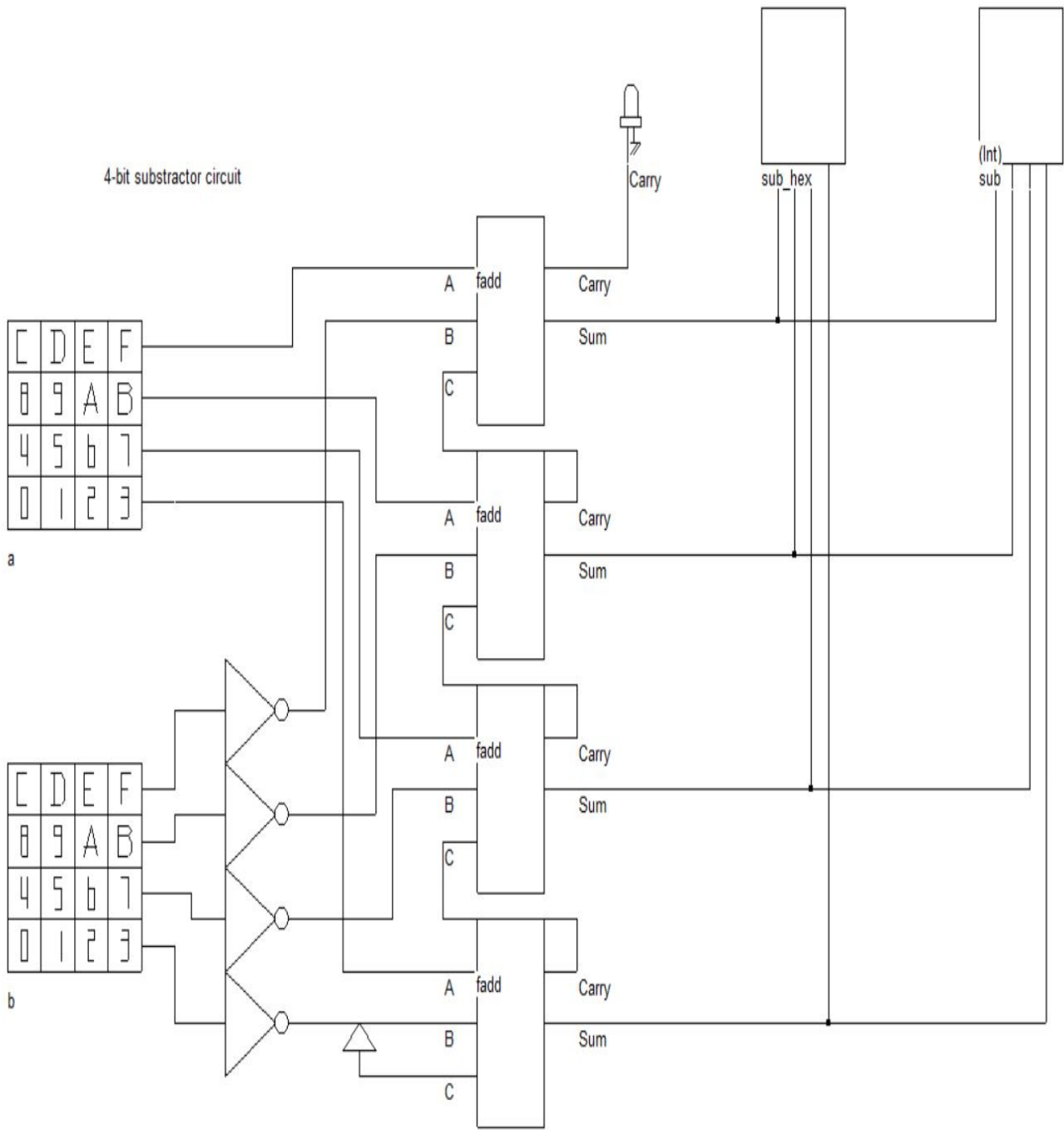
	0001 0010	
		Λάθος BCD!
		Προσθέτουμε 6

		Σωστό BCD 12

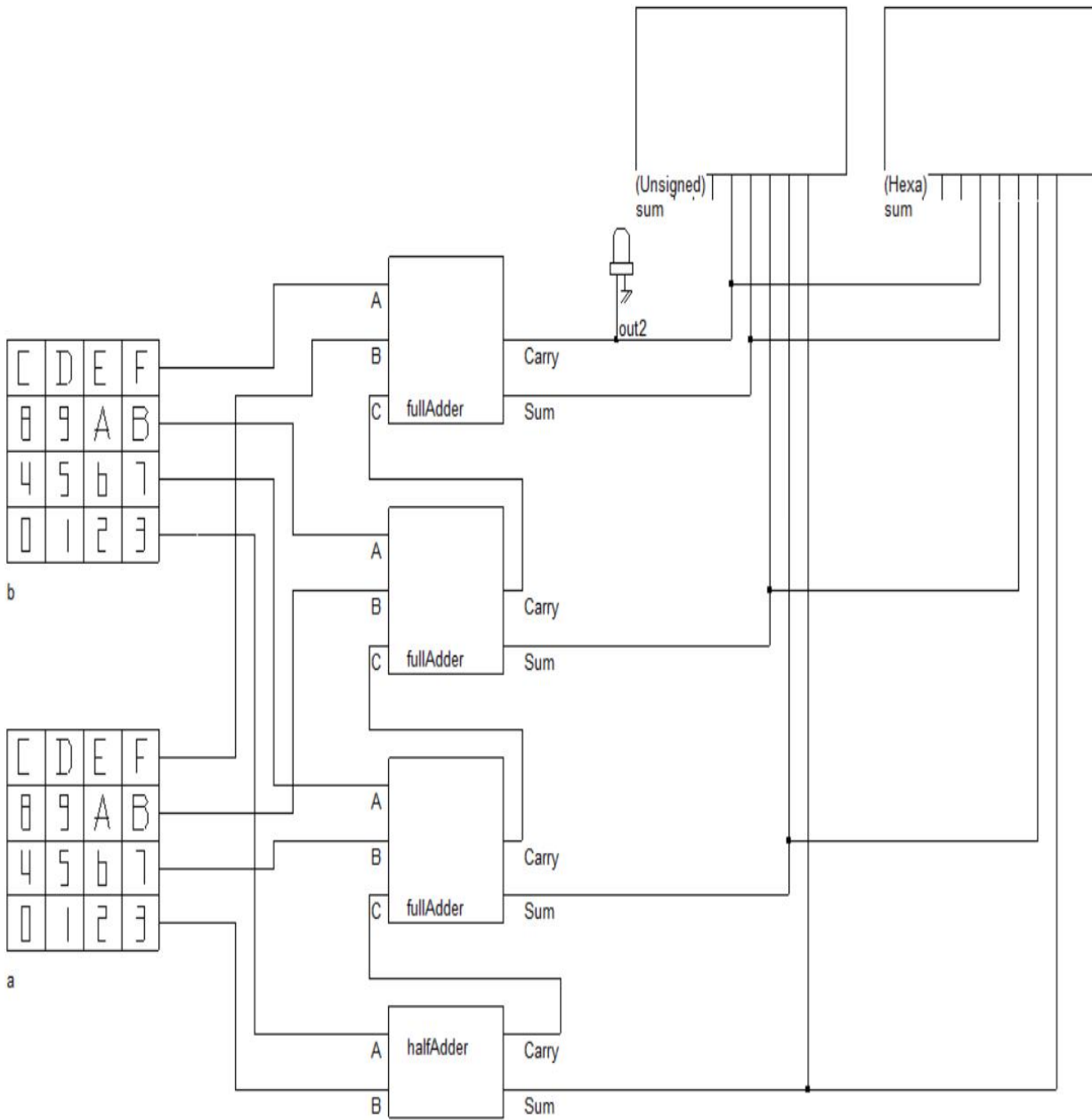
		BCD			
35		0011	0101		
+ 26	+	0010	0110		
61		0101	1011	Λάθος BCD!	
	+	0000	0110	Προσθέτουμε 6	
		0110	0001	Σωστό BCD 61	

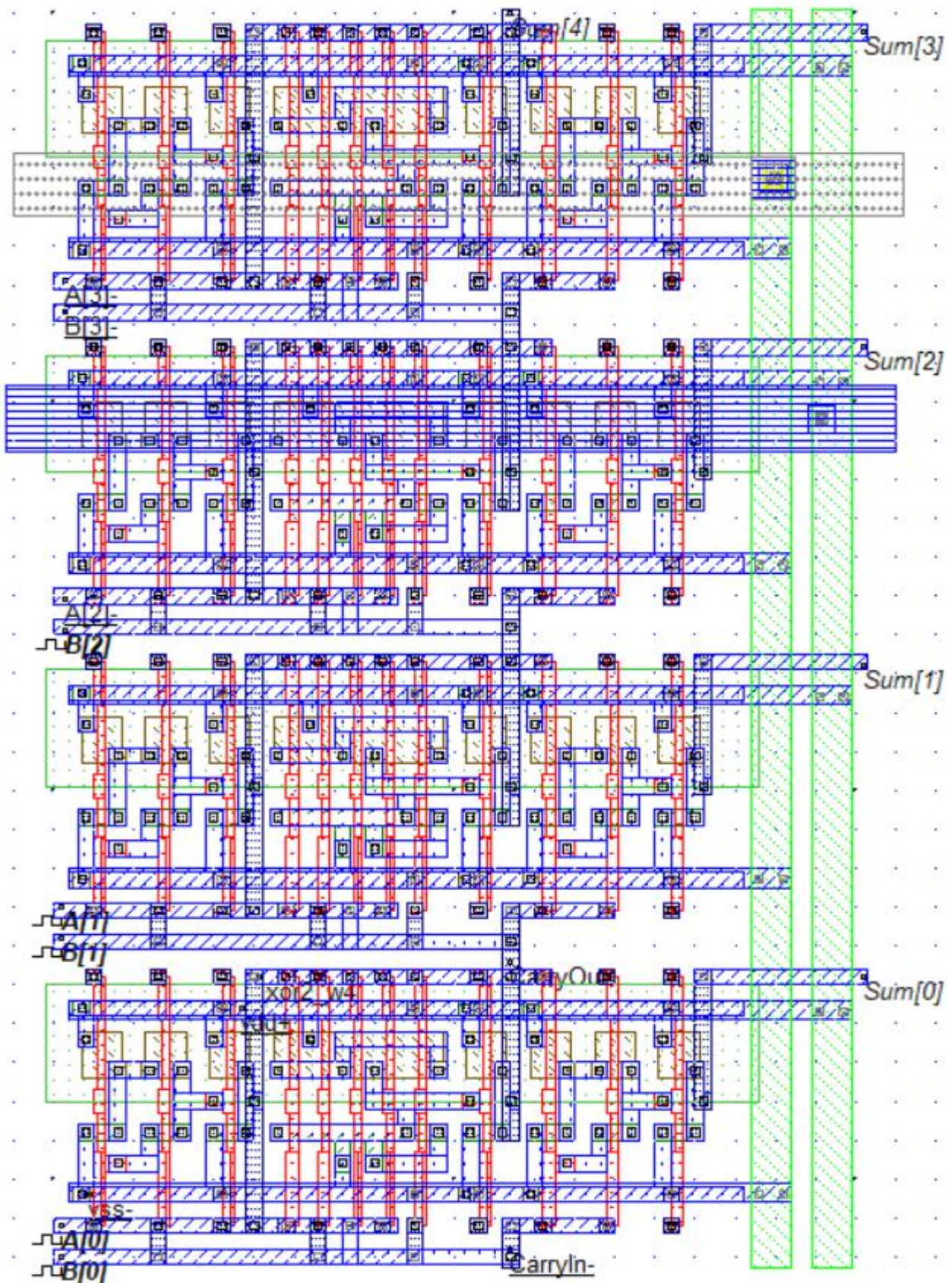
Δυαδικό Άθροισμα					Άθροισμα BCD					Δεκαδικός
C	S3	S2	S1	S0	K	Σ3	Σ2	Σ1	Σ0	
0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	2
0	0	0	1	1	0	0	0	1	1	3
0	0	1	0	0	0	0	1	0	0	4
0	0	1	0	1	0	0	1	0	1	5
0	0	1	1	0	0	0	1	1	0	6
0	0	1	1	1	0	0	1	1	1	7
0	1	0	0	0	0	1	0	0	0	8
0	1	0	0	1	0	1	0	0	1	9
0	1	0	1	0	1	1	0	0	0	10
0	1	0	1	1	1	1	0	0	1	11
0	1	1	0	0	1	1	0	1	0	12
0	1	1	0	1	1	1	0	1	1	13
0	1	1	1	0	1	1	0	1	0	14
0	1	1	1	1	1	1	0	1	1	15
1	0	0	0	0	1	1	0	1	0	16
1	0	0	0	1	1	1	0	1	1	17
1	0	0	1	0	1	1	1	0	0	18
1	0	0	1	1	1	1	1	0	1	19

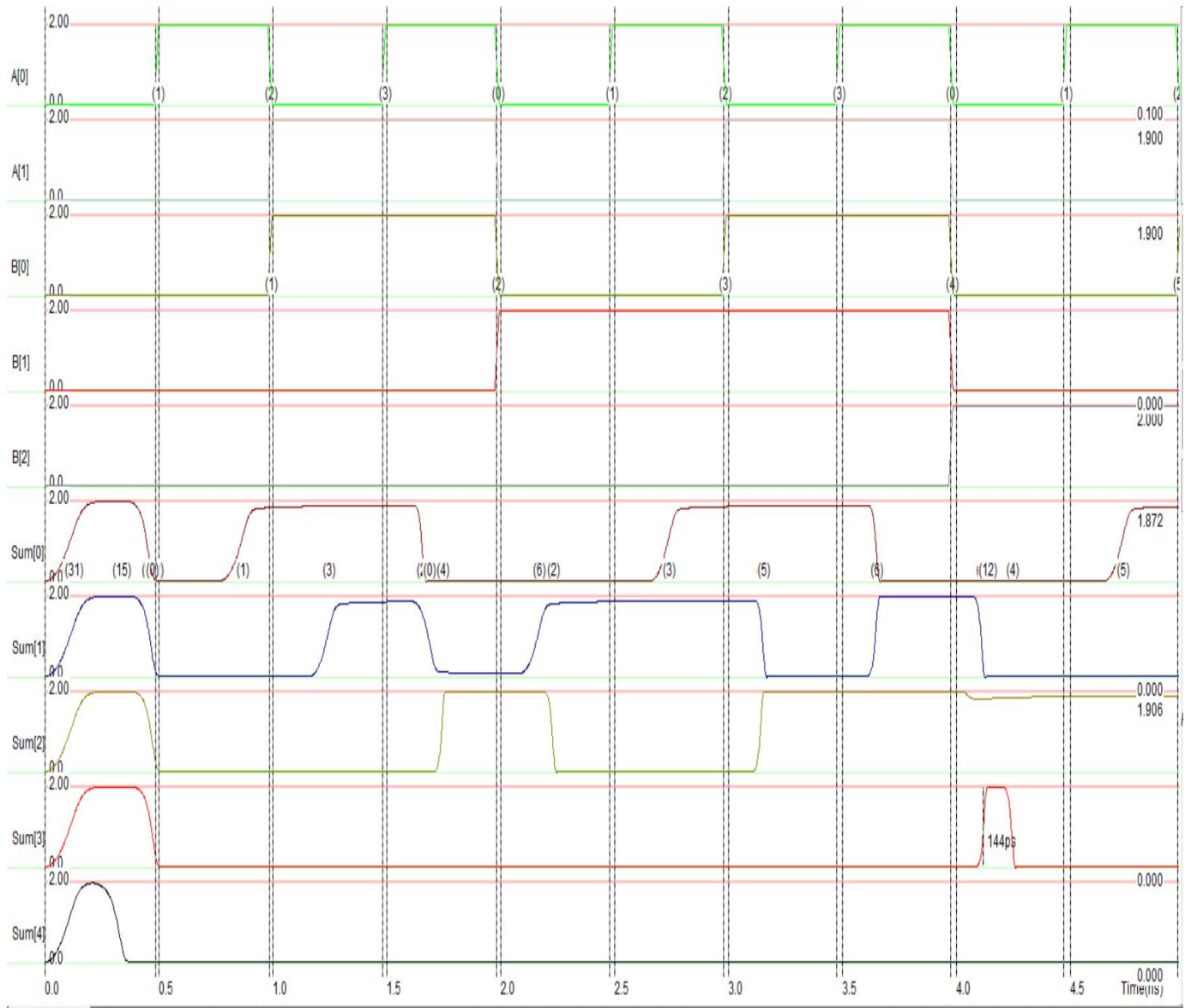
4 BIT ΑΦΑΙΡΕΤΗΣ



4 ΒΙΤ ΔΕΚΑΔΙΚΟΣ ΚΑΙ ΔΕΚΑΕΞΑΔΙΚΟΣ ΑΘΡΟΙΣΤΗΣ ΜΕ ΠΛΗΚΤΡΟΛΟΓΙΟ







DATA SHEET OF FULL ADDER



August 1986
Revised March 2000

DM74LS83A 4-Bit Binary Adder with Fast Carry

General Description

These full adders perform the addition of two 4-bit binary numbers. The sum (Σ) outputs are provided for each bit and the resultant carry (C4) is obtained from the fourth bit. These adders feature full internal look ahead across all four bits. This provides the system designer with partial look-ahead performance at the economy and reduced package count of a ripple-carry implementation.

The adder logic, including the carry, is implemented in its true form meaning that the end-around carry can be accomplished without the need for logic or level inversion.

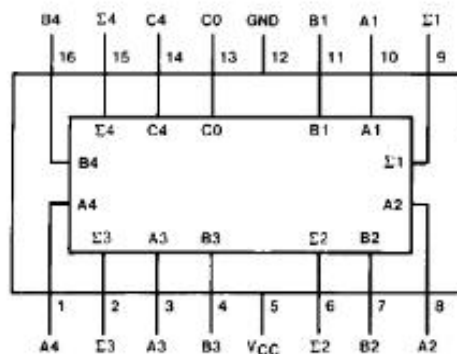
Features

- Full-carry look-ahead across the four bits
- Systems achieve partial look-ahead performance with the economy of ripple carry
- Typical add times
 - Two 8-bit words 25 ns
 - Two 16-bit words 45 ns
- Typical power dissipation per 4-bit adder 95 mW

Ordering Code:

Order Number	Package Number	Package Description
DM74LS83AN	N16E	16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide

Connection Diagram



DM74LS83A 4-Bit Binary Adder with Fast Carry

DM74LS83A

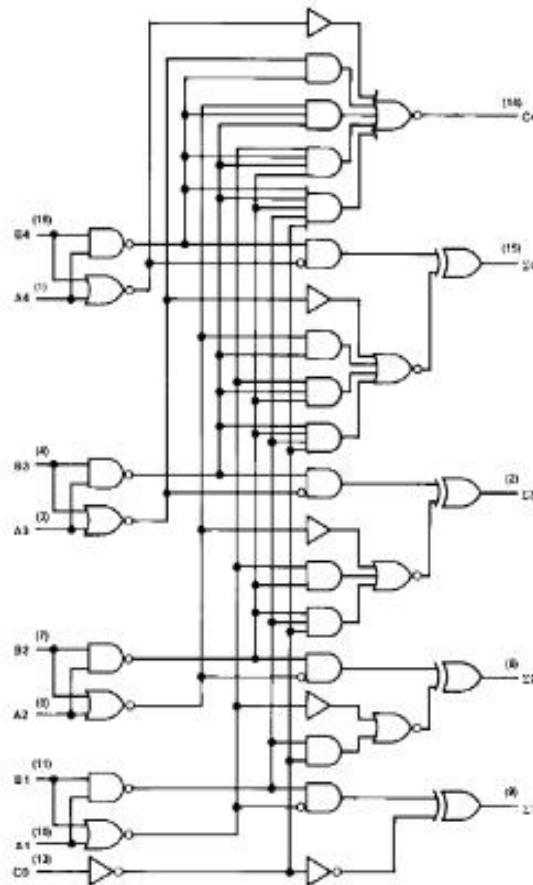
Truth Table

Inputs				Outputs					
				When C0 = L			When C0 = H		
A1	B1	A2	B2	Σ1	Σ2	C2	Σ1	Σ2	C2
A3	B3	A4	B4	Σ3	Σ4	C4	Σ3	Σ4	C4
L	L	L	L	L	L	L	H	L	L
H	L	L	L	H	L	L	L	H	L
L	H	L	L	L	L	L	L	H	L
H	H	L	L	L	H	L	H	H	L
L	L	H	L	L	H	L	L	H	L
H	L	H	L	H	H	L	L	L	H
L	H	H	L	L	H	L	L	L	H
H	H	H	L	L	L	H	H	L	H
L	L	L	H	L	H	L	L	L	H
H	L	L	H	L	L	L	L	L	H
L	H	L	H	L	L	L	L	L	H
H	H	L	H	L	L	L	L	L	H
L	L	H	H	L	L	L	L	L	H
H	L	H	H	L	L	L	L	L	H
L	H	H	H	L	L	L	L	L	H
H	H	H	H	L	L	L	L	L	H

H = HIGH Level, L = LOW Level

Input conditions at A1, B1, A2, B2, and C0 are used to determine outputs Σ1 and Σ2 and the value of the internal carry C2. The values at C2, A3, B3, A4, and B4 are then used to determine outputs Σ3, Σ4, and C4.

Logic Diagram



Absolute Maximum Ratings^(Note 1)

Supply Voltage	7V
Input Voltage	7V
Operating Free Air Temperature Range	0°C to +70°C
Storage Temperature Range	-85°C to +150°C

Note 1: The "Absolute Maximum Ratings" are those values beyond which the safety of the device cannot be guaranteed. The device should not be operated at these limits. The parametric values defined in the Electrical Characteristics tables are not guaranteed at the absolute maximum ratings. The "Recommended Operating Conditions" table will define the conditions for actual device operation.

Recommended Operating Conditions

Symbol	Parameter	Min	Nom	Max	Units
V _{CC}	Supply Voltage	4.75	5	5.25	V
V _{IH}	HIGH Level Input Voltage	2			V
V _{IL}	LOW Level Input Voltage			0.8	V
I _{OH}	HIGH Level Output Current			-0.4	mA
I _{OL}	LOW Level Output Current			8	mA
T _A	Free Air Operating Temperature	0		70	°C

Electrical Characteristics

over recommended operating free air temperature range (unless otherwise noted)

Symbol	Parameter	Conditions	Min	Typ (Note 2)	Max	Units
V _I	Input Clamp Voltage	V _{CC} = Min, I _I = -18 mA			-1.5	V
V _{OH}	HIGH Level Output Voltage	V _{CC} = Min, I _{OH} = Max V _{IL} = Max, V _{OH} = Min	2.7	3.4		V
V _{OL}	LOW Level Output Voltage	V _{CC} = Min, I _{OL} = Max V _{IL} = Max, V _{OH} = Min		0.35	0.5	V
		I _{OL} = 4 mA, V _{CC} = Min		0.25	0.4	
I _I	Input Current @ Max Input Voltage	V _{CC} = Max V _I = 7V	A or B		0.2	mA
			C0		0.1	
I _{IH}	HIGH Level Input Current	V _{CC} = Max V _I = 2.7V	A or B		40	μA
			C0		20	
I _{IL}	LOW Level Input Current	V _{CC} = Max V _I = 0.4V	A or B		-0.8	mA
			C0		-0.4	
I _{OS}	Short Circuit Output Current	V _{CC} = Max (Note 3)	-20		-100	mA
I _{CC1}	Supply Current	V _{CC} = Max (Note 4)		19	34	mA
I _{CC2}	Supply Current	V _{CC} = Max (Note 5)		22	39	mA

Note 2: All typicals are at V_{CC} = 5V, T_A = 25°C.

Note 3: Not more than one output should be shorted at a time, and the duration should not exceed one second.

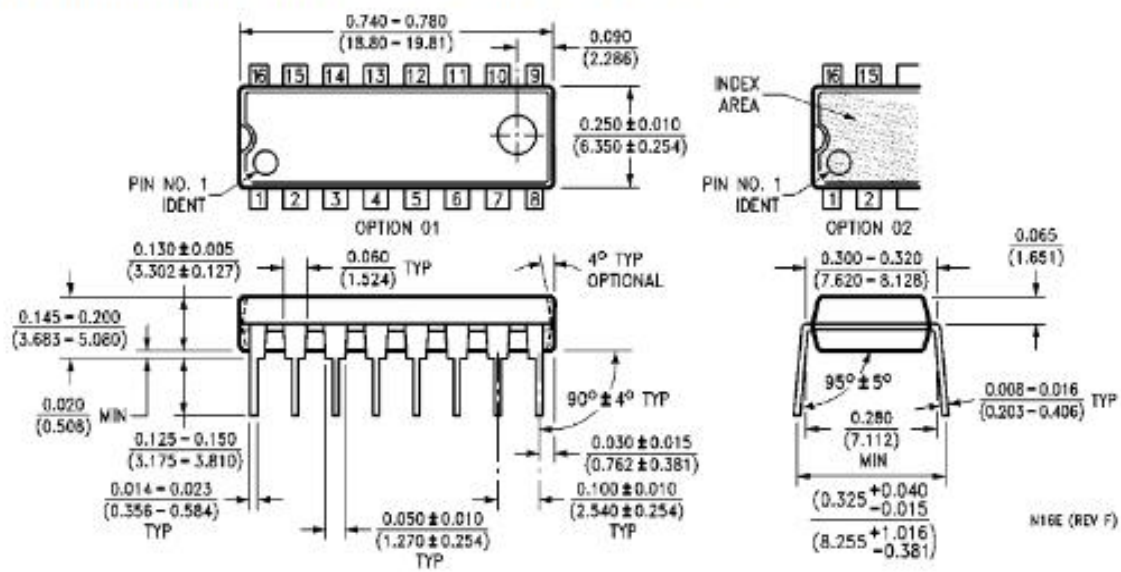
Note 4: I_{CC1} is measured with all outputs open, all B inputs LOW and all other inputs at 4.5V, or all inputs at 4.5V.

Note 5: I_{CC2} is measured with all outputs OPEN and all inputs grounded.

DM74LS83A

Switching Characteristics							
at $V_{CC} = 5V$ and $T_A = 25^\circ C$							
Symbol	Parameter	From (Input) To (Output)	$R_L = 2\ k\Omega$				Units
			$C_L = 15\ pF$		$C_L = 50\ pF$		
			Min	Max	Min	Max	
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	C0 to $\Sigma 1$ or $\Sigma 2$		24		28	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	C0 to $\Sigma 1$ or $\Sigma 2$		24		30	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	C0 to $\Sigma 3$		24		28	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	C0 to $\Sigma 3$		24		30	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	C0 to $\Sigma 4$		24		28	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	C0 to $\Sigma 4$		24		30	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	A_i, B_i to Σ_i		24		28	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	A_i, B_i to Σ_i		24		30	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	C0 to C4		17		24	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	C0 to C4		17		25	ns
t_{PLH}	Propagation Delay Time LOW-to-HIGH Level Output	A_i, B_i to C4		17		24	ns
t_{PHL}	Propagation Delay Time HIGH-to-LOW Level Output	A_i, B_i to C4		17		26	ns

Physical Dimensions inches (millimeters) unless otherwise noted



16-Lead Plastic Dual-In-Line Package (PDIP), JEDEC MS-001, 0.300 Wide Package Number N16E

Fairchild does not assume any responsibility for use of any circuitry described, no circuit patent licenses are implied and Fairchild reserves the right at any time without notice to change said circuitry and specifications.

LIFE SUPPORT POLICY

FAIRCHILD'S PRODUCTS ARE NOT AUTHORIZED FOR USE AS CRITICAL COMPONENTS IN LIFE SUPPORT DEVICES OR SYSTEMS WITHOUT THE EXPRESS WRITTEN APPROVAL OF THE PRESIDENT OF FAIRCHILD SEMICONDUCTOR CORPORATION. As used herein:

1. Life support devices or systems are devices or systems which, (a) are intended for surgical implant into the body, or (b) support or sustain life, and (c) whose failure to perform when properly used in accordance with instructions for use provided in the labeling, can be reasonably expected to result in a significant injury to the user.
2. A critical component in any component of a life support device or system whose failure to perform can be reasonably expected to cause the failure of the life support device or system, or to affect its safety or effectiveness.

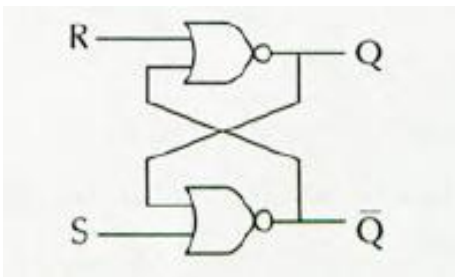
www.fairchildsemi.com

ΚΕΦΑΛΑΙΟ / ΕΝΟΤΗΤΑ 9

ΚΕΦΑΛΑΙΟ 9
ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

Τα λογικά κυκλώματα που χρησιμοποιούνται στα ψηφιακά συστήματα μπορούν να είναι είτε συνδυαστικά είτε ακολουθιακά. Τα συνδυαστικά κυκλώματα απαρτίζονται από λογικές πύλες όπου οι εξόδοί τους καθορίζονται, ανά πάσα στιγμή, μόνο από τον τρέχοντα συνδυασμό εισόδων. Κάθε συνδυαστικό κύκλωμα εκτελεί μια λειτουργία η οποία μπορεί να προσδιοριστεί λογικά από ένα σύνολο συναρτήσεων Boole. Στα ακολουθιακά κυκλώματα εκτός από λογικές πύλες, έχουμε και στοιχεία μνήμης (δηλαδή δισταθή στοιχεία των οποίων οι εξόδοι μπορούν να ηρεμούν μεταξύ δυο καταστάσεων), η μετάβαση από την μια κατάσταση πετυχαίνεται με κατάλληλη διέγερση των εισόδων. Ένα δισταθές στοιχείο φτιάχνεται με τη διασύζευξη κατάλληλων διακοπτικών στοιχείων. Οι εξόδοι των ακολουθιακών κυκλωμάτων εξαρτώνται όχι μόνο από τις εισόδους, αλλά και από την κατάσταση των στοιχείων μνήμης. Η κατάσταση των στοιχείων μνήμης εξαρτάται από προηγούμενες εισόδους. Άρα λοιπόν η τρέχουσα κατάσταση των εξόδων των ακολουθιακών κυκλωμάτων εξαρτώνται από τις τρέχουσες εισόδους καθώς και από τις προηγούμενες καταστάσεις των εξόδων τους.

Μανδαλωτής με πύλες NOR, ενεργό στο 1



X	Y	NOR
0	0	1
0	1	0
1	0	0
1	1	0

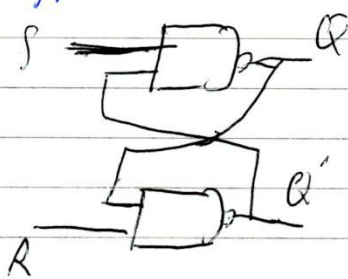
Εξόδος (1)	S	Q	R	Q'	Q _{next}	Q' _{next}	Λειτουργία
	1	0	0	1	1	0	Set
	1	1	0	0	1	0	Κρατήση
	0	1	0	0	1	0	Μεταβολή (Αναστροφή)
	1	1	1	0	0	0	Μεταβολή
	0	0	0	0	0	0	Κρατήση
	0	0	1	0	0	1	Reset

S	R	Q	Q̄	ΛΕΙΤΟΥΡΓΙΑ
0	0	0	1	Μετά από S=0 και R=1 Αμετάβλητη κατάσταση
0	0	1	0	Μετά από S=1 και R=0 κατάσταση
0	1	0	1	Q=0 Μηδενισμός
1	0	1	0	Q=1 Θέση
1	1	0	0	Μη χρησιμοποιούμενη Μη χρησιμοποιούμενη

- Με $S=0$ και $R=1$ η έξοδος $Q=0$, $Q_{n+1}=0$
- Με $S=1$ και $R=0$ η έξοδος $Q=1$, $Q_{n+1}=1$
- Με $S=R=0$ είναι αμετάβλητη (κράτηση)
- Με $S=R=1$ είναι άβουλο

Μονοκλάση SR με gates NAND
 Έξοδος σε 0

X	Y	NAND
0	0	1
0	1	1
1	0	1
1	1	0



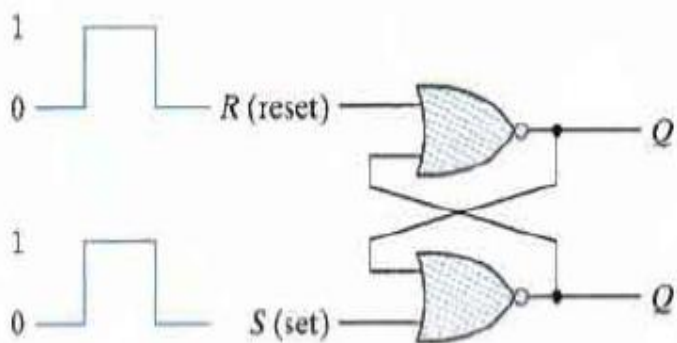
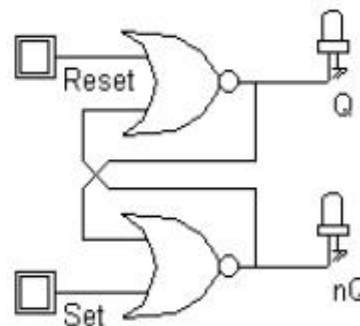
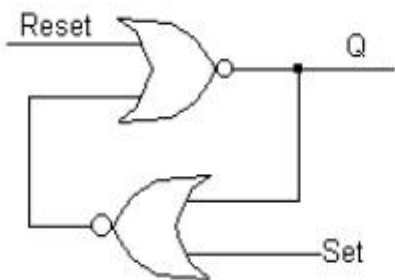
S	R	Q	Q'	
0	0	1	1	Αμετάβλητη
0	1	1	0	set
1	0	0	1	reset
1	1	1	0	Κράτηση
0	1	0	1	Κράτηση

S'	Q _{n+1}	R'	Q _{n+1}	Q	Q'	
0	1	1	1	0	0	set
1	0	1	1	1	0	Hold
0	0	0	1	1	1	Αμετάβλητη/κράτηση
1	1	0	1	0	0	
1	0	0	0	1	1	
1	1	0	1	0	1	reset
1	1	1	0	1	0	

ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

RS Latch (NOR)

R	S	Q	nQ
0	0	Q	nQ
0	1	1	0
1	0	0	1
1	1	0	0



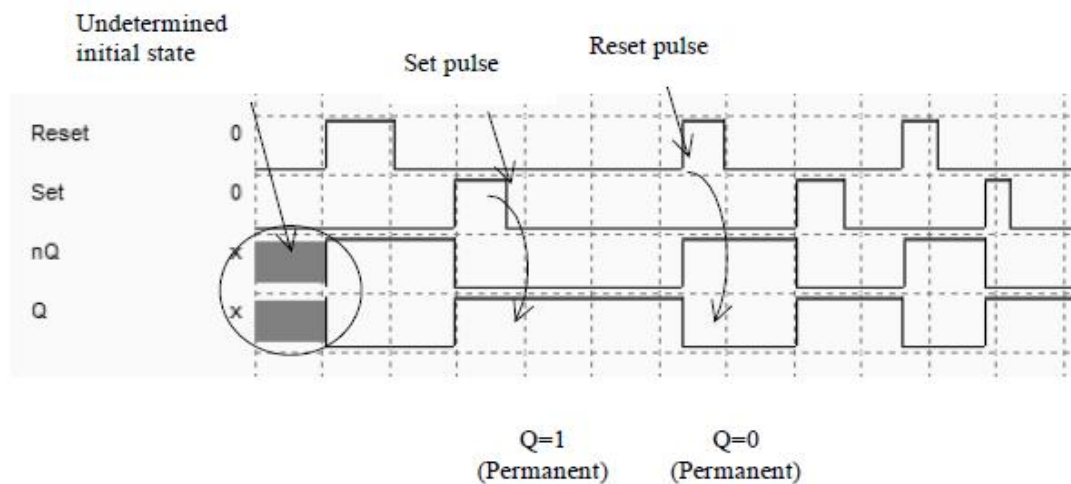
(a) Logic diagram

S	R	Q	Q'
1	0	1	0
0	0	1	0
0	1	0	1
0	0	0	1
1	1	0	0

(after S = 1, R = 0)
(after S = 0, R = 1)
(forbidden)

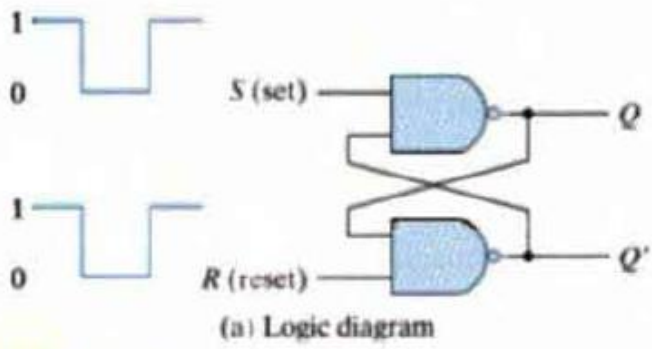
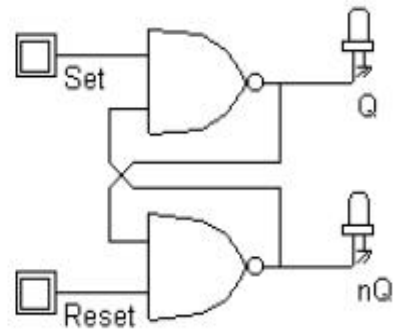
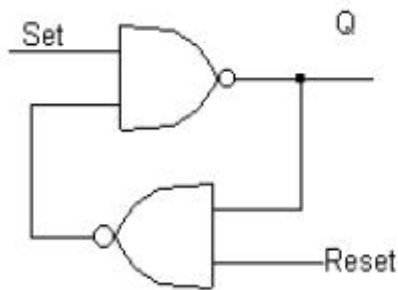
(b) Function table

SR latch with NOR gates



RS Latch (NAND)

R	S	Q	nQ
0	0	1	1
0	1	0	1
1	0	1	0
1	1	Q	nQ

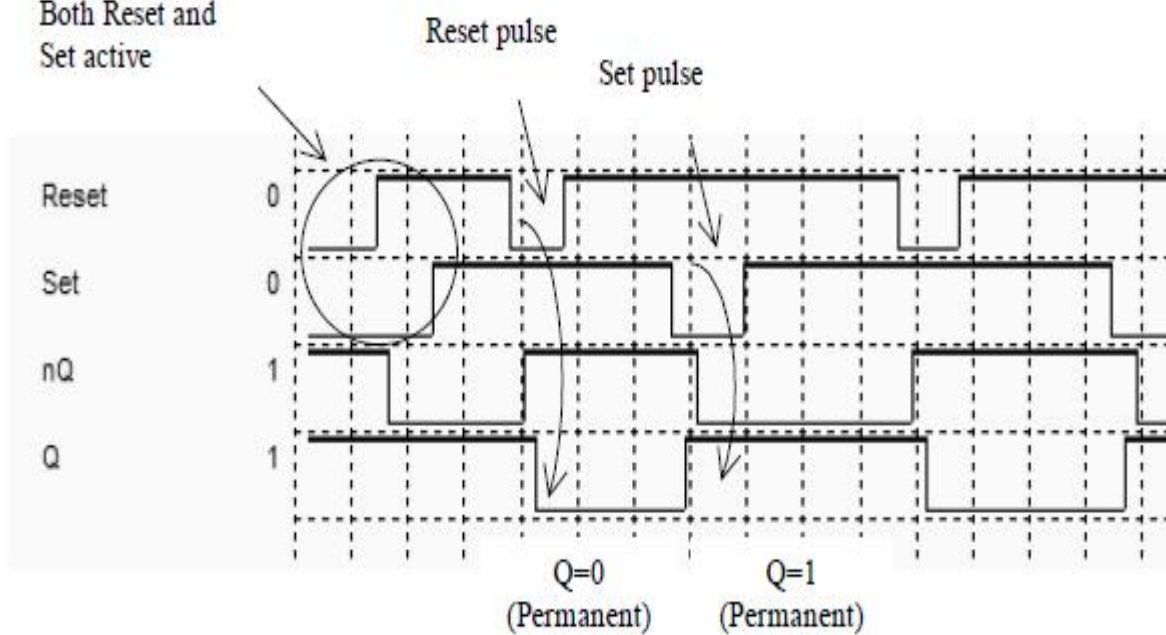


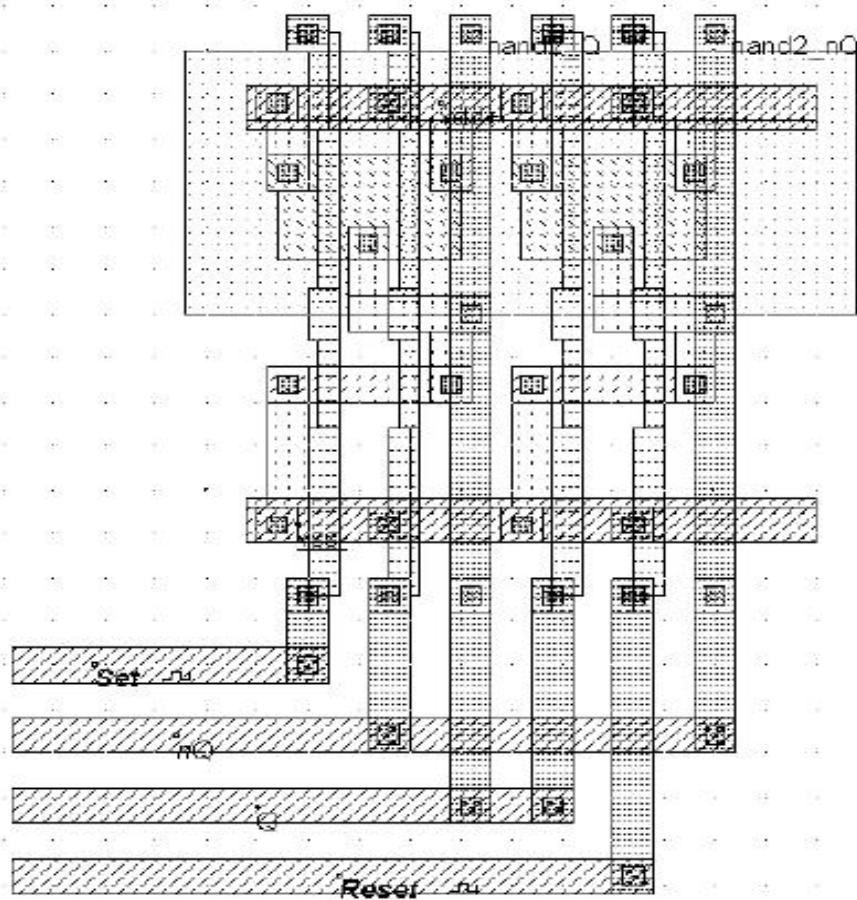
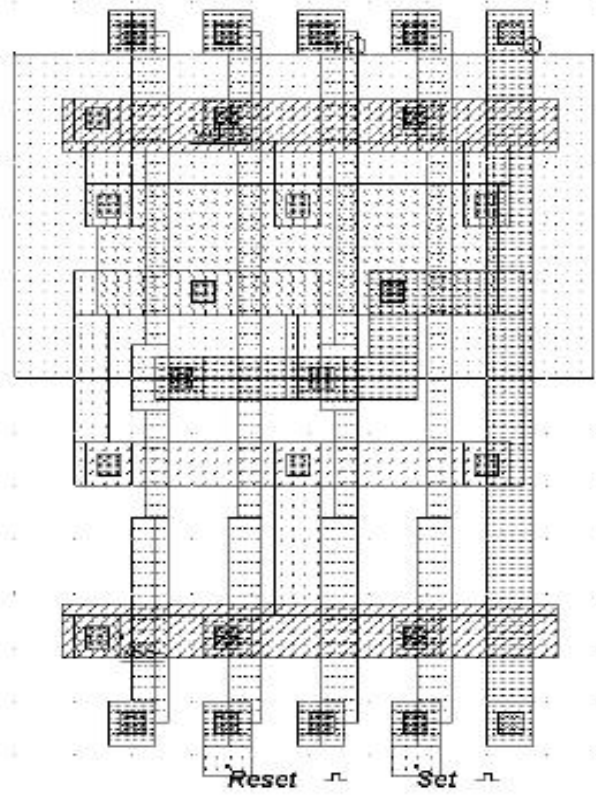
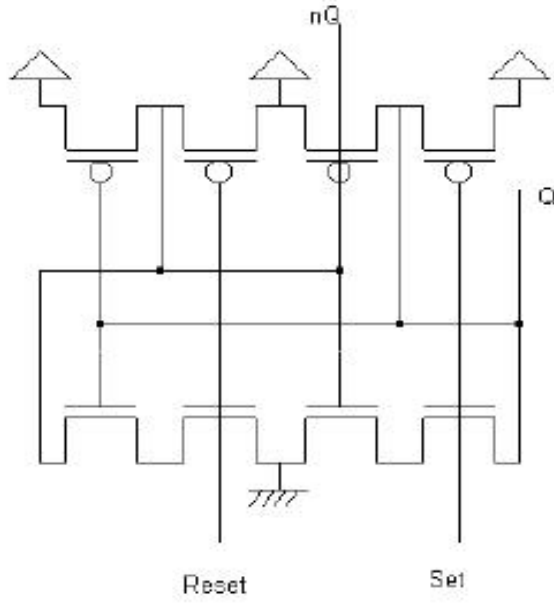
S	R	Q	Q'	
1	0	0	1	
1	1	0	1	(after S = 1, R = 0)
0	1	1	0	
1	1	1	0	(after S = 0, R = 1)
0	0	1	1	(forbidden)

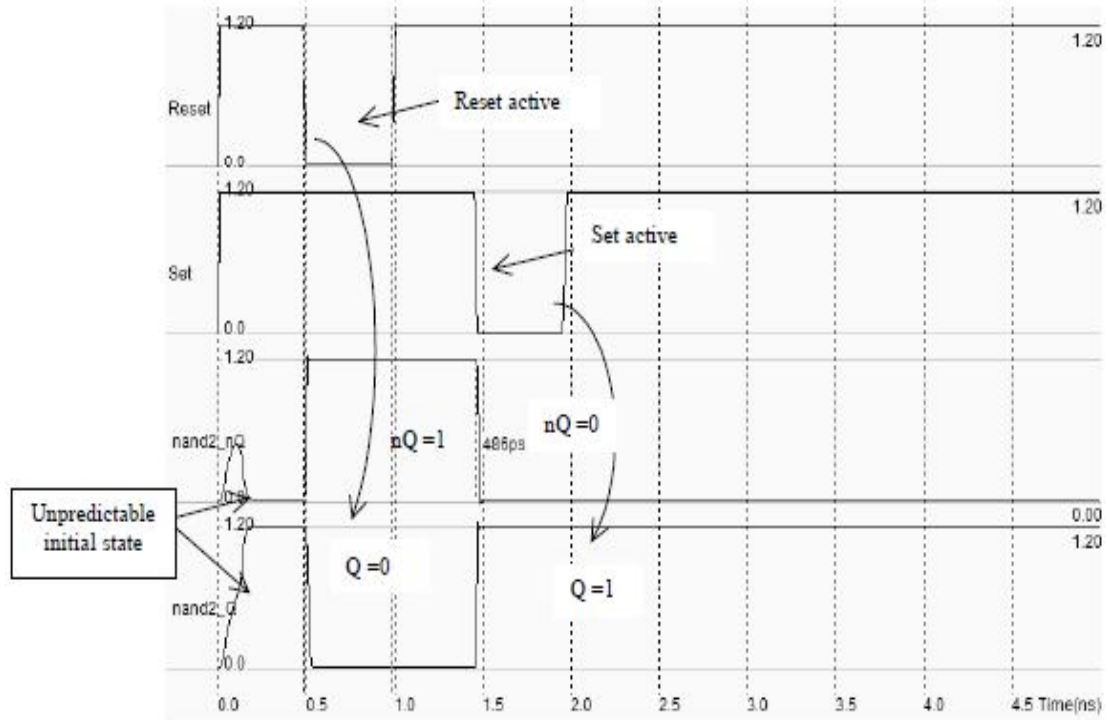
(b) Function table

SR latch with NAND gates

Both Reset and Set active







VERILOG CODE

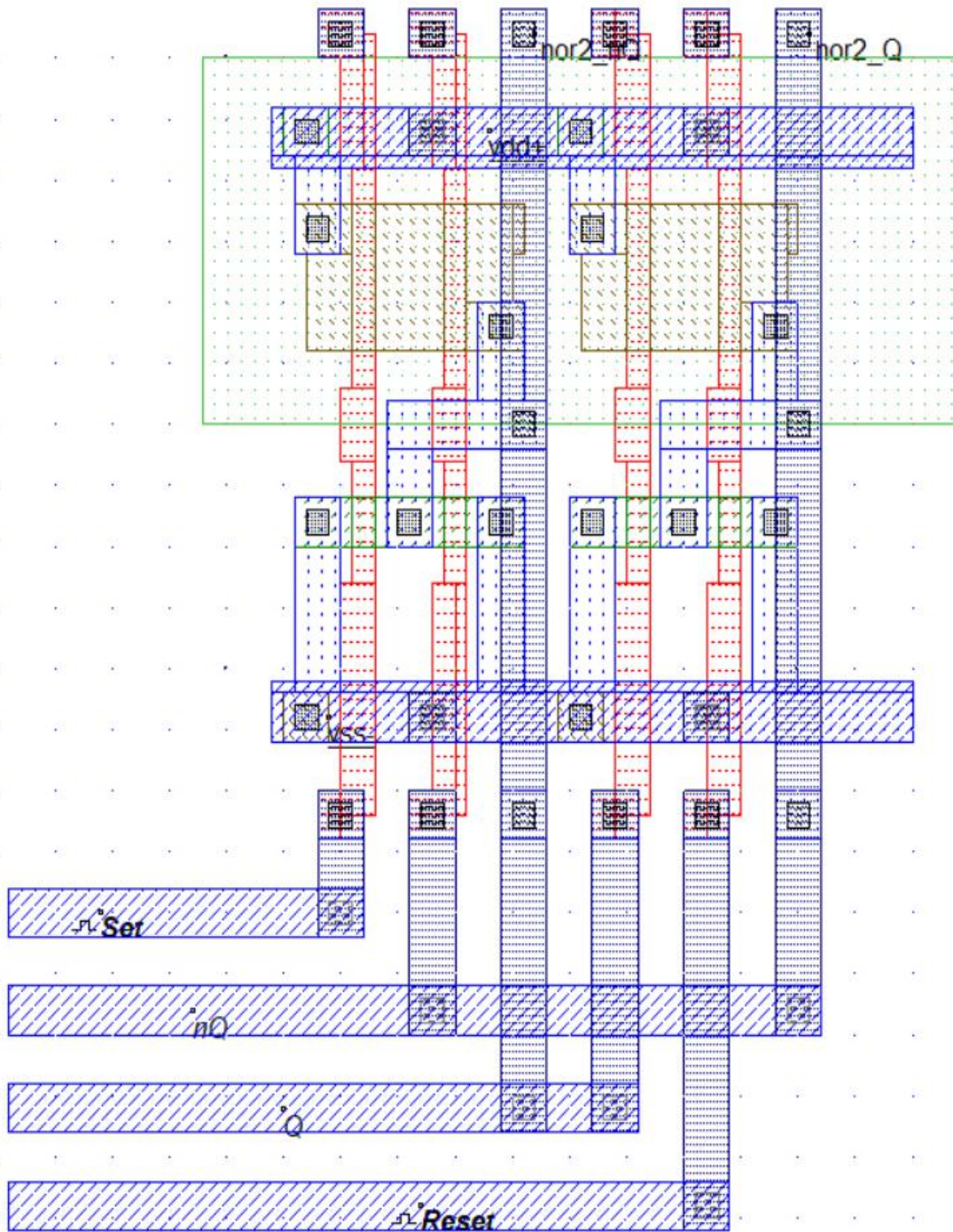
```

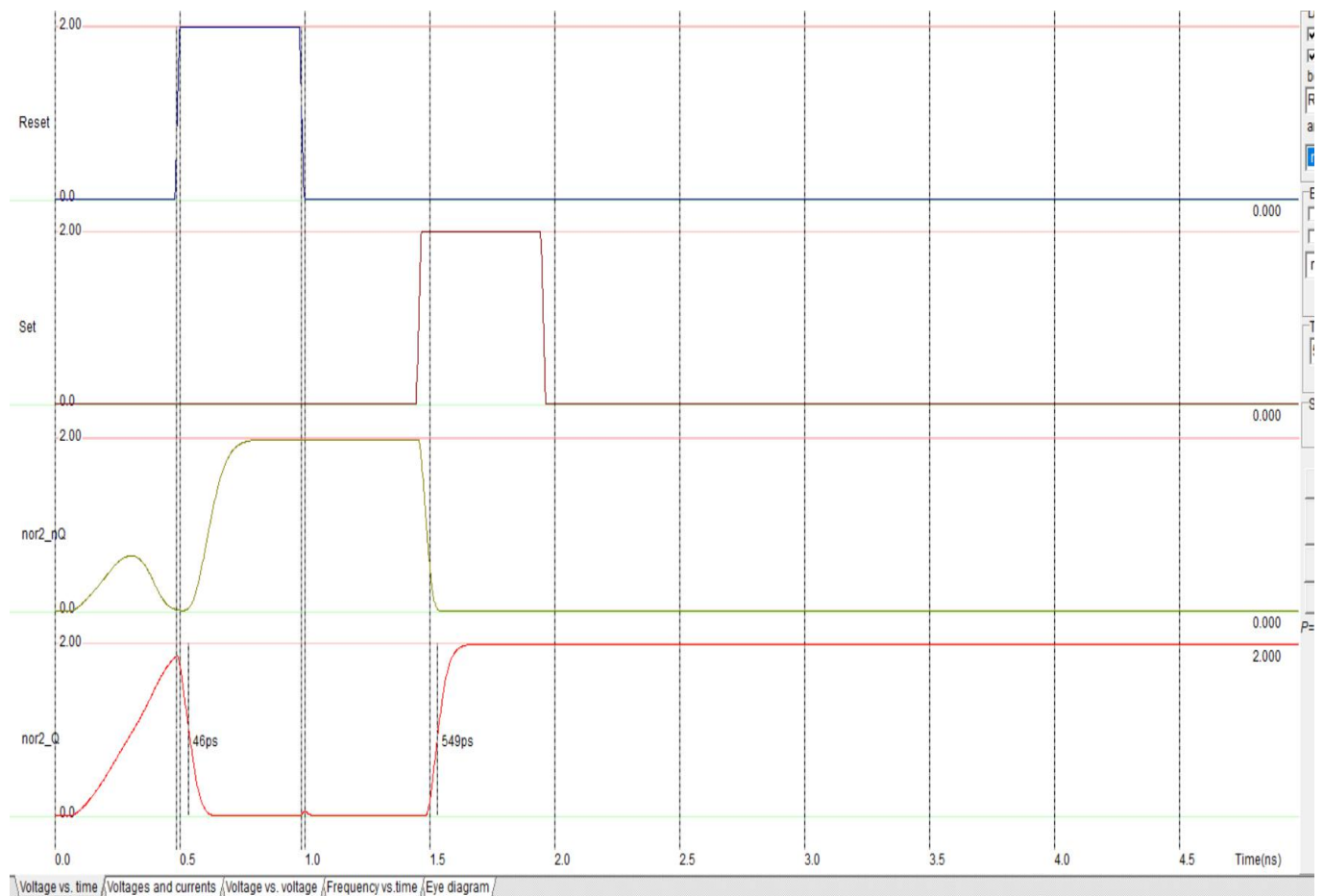
module RSNand( Reset, Set, Q, nQ);
  input Reset, Set;
  output Q, nQ;
  nand #(23) nand2(Q, Set, nQ);
  nand #(23) nand2(nQ, Q, Reset);
endmodule

// Simulation parameters
always
#100 Set=~Set;
#200 Reset=~Set;

```

RS NOR LATCH





VERILOG CODE

```
Module RSNor (Reset, Set, Q, nQ);
```

```
Input Reset, Set;
```

```
Output Q, nQ;
```

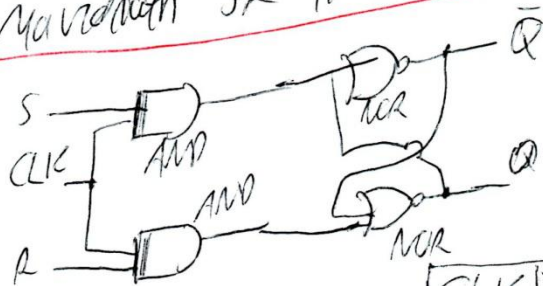
```
Nor nor1 (Q, nQ, \Reset);
```

```
Nor nor2 (nQ, Set, Q);
```

```
endmodule
```

Σύγχρονη Μαντάτα

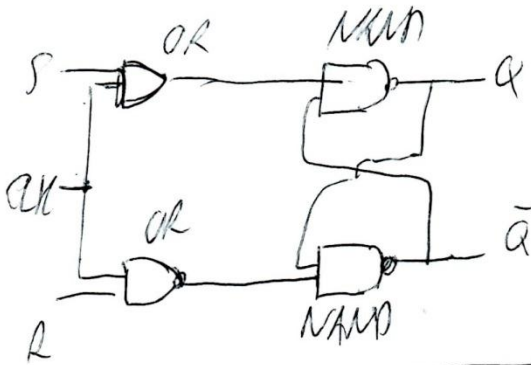
Ένας σύγχρονος μαντάτα δέ εφόδε μιν πιν να αλλαξη πιν σποαδινωτε σπιν οι εισοδε αλληλε πιν. Για ατο δενα για να εμχει ειας εδοδε σον αφορα το ποσο αλλαξη τω εδοδε κωτα τω διαδετα εος αγκερατα χρονικη διαστηματο, λαμπεε σπιν χρησιμοο (ροδοι) και κωταεσ ροδεη για τω ελασρεση τω σπιασ ατα σον ποαδεατη Μαντάτα SR μετ ροδεη NOR



Ελεψη σε 1
~~1~~
 Χρονικ ροδαε ΜΠ για ελασρεση ροδεη

CLK	S	R	Q _{t+1}	Q̄ _{t+1}	Κωταμω
0	X	X	Q _t	Q̄ _t	Κωταμω
1	0	0	Q _t	Q̄ _t	Κωταμω
1	0	1	0	1	Reset
1	1	0	1	0	Set
1	1	1	0	0	Αποστωμα happens

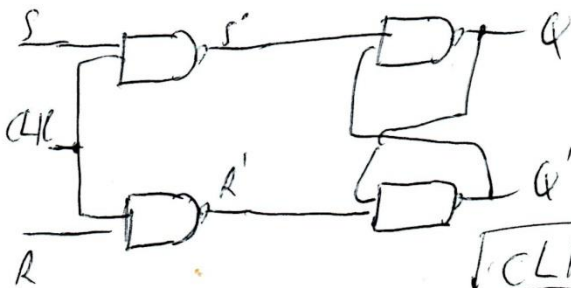
Μακροβάθμη με reset NAND



Εξέταση 0

CLK	S	R	Q _{t+1}	Q̄ _{t+1}	
1	X	X	Q _t	Q̄ _t	Κερατάν
0	0	0	1	1	Μαργαρίτα
0	0	1	1	0	set
0	1	0	0	1	Reset
0	1	1	Q _t	Q̄ _t	Κερατάν

Συνδυαστική μακροβάθμη με reset NAND και εισόδους σε 1



CLK	S	R	S'	R'	Q	Q'	
Φ	0	0	1	1	Q ₀	Q ₀	store
1	0	1	1	0	0	1	Reset
1	1	0	0	1	1	0	set
1	1	1	0	0	1	1	Μαργα
0	X	X	1	1	Q ₀	Q ₀	Κερατάν

Μανδαλωτής RS

Ο χαρακτηριστικός πίνακας του σύγχρονου μανταλωτή RS με πύλες NAND που δείχνει την επόμενη κατάσταση $Q(n+1)$ όταν είναι γνωστή η προηγούμενη κατάσταση $Q(n)$ και οι είσοδοι.

Q(n)	S	R	Q(n+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	X
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	X

ή

S	R	Q(n+1)
0	0	Q(n)
0	1	0
1	0	1
1	1	X

Η λειτουργία του είναι η εξής:

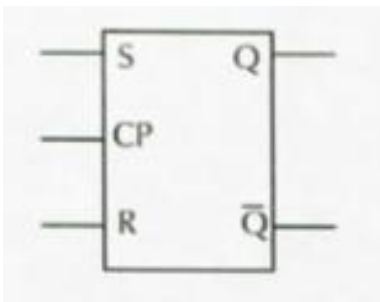
1. Όταν το $S = 0$ και το $R = 0$, τότε η επόμενη κατάσταση (έξοδος Q) είναι ίδια με την προηγούμενη κατάσταση.
2. Όταν το $S = 0$ και το $R = 1$, τότε η επόμενη κατάσταση είναι $Q = 0$.
3. Όταν το $S = 1$ και το $R = 0$, τότε η επόμενη κατάσταση είναι $Q = 1$.
4. Όταν το $S = 1$ και το $R = 1$, τότε η επόμενη κατάσταση είναι απροσδιόριστη. Αυτή είναι μη χρησιμοποιούμενη κατάσταση.

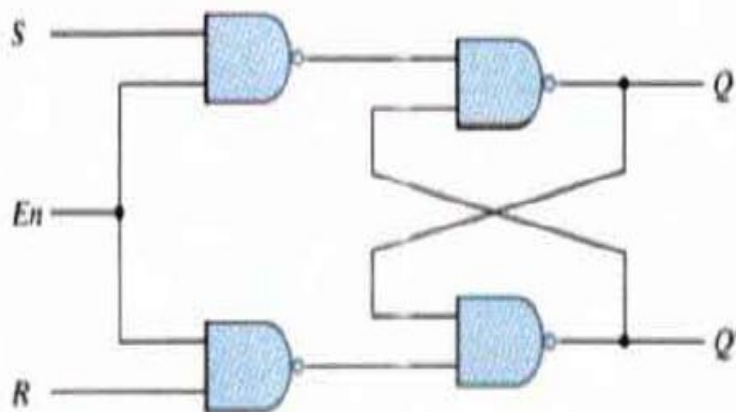
Ο πίνακας διέγερσης του μανδαλωτή δείχνει τον τρόπο μετάβασης από την παρούσα κατάσταση στην επόμενη κατάσταση και παίρνουμε τον χαρακτηριστικό πίνακα του μανδαλωτή.

Πίνακας διέγερσης

S	R	Q(n)	Q(n+1)
0	X	0	0
1	0	0	1
0	1	1	0
X	0	1	1

Γραφικό σύμβολο του μανδαλωτή



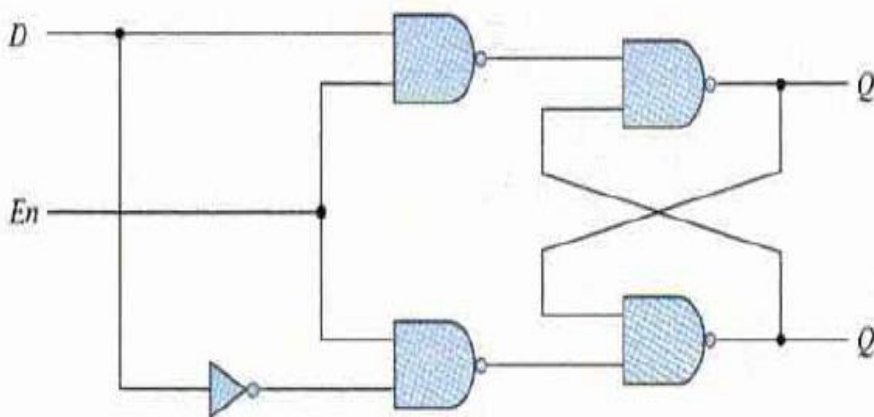


(a) Logic diagram

En	S	R	Next state of Q
0	X	X	No change
1	0	0	No change
1	0	1	$Q = 0$; reset state
1	1	0	$Q = 1$; set state
1	1	1	Indeterminate

(b) Function table

SR latch with control input

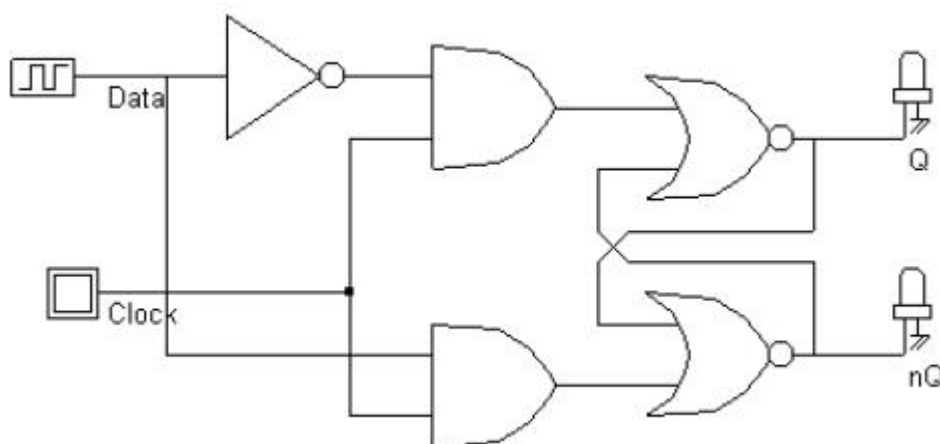


(a) Logic diagram

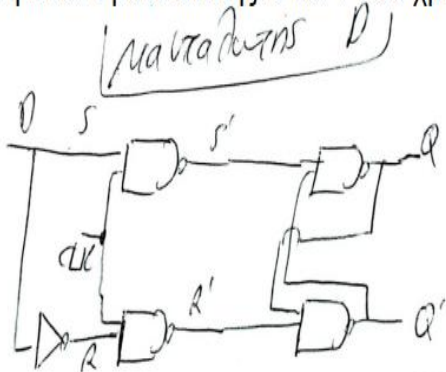
En	D	Next state of Q
0	X	No change
1	0	$Q = 0$; reset state
1	1	$Q = 1$; set state

(b) Function table

D latch



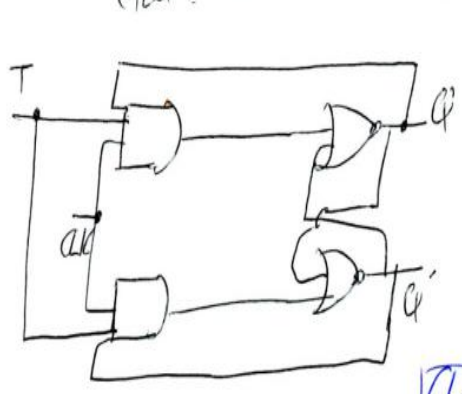
Για να αποφύγουμε τις ανεπιθύμητες ακαθόριστες καταστάσεις του RS μανδαλωτή παρόλο που διαθέτουν σύγχρονη λειτουργία μπορούμε να πάμε σε σύγχρονο JK μανδαλωτή με πύλες NAND SR εισόδων μόνο και εισόδους ενεργές στο 1 ή μια πιο βελτιωμένη έκδοση σύγχρονου μανδαλωτή JK από τον μανδαλωτή SR με πύλες NOR ή ακόμα καλύτερα για να αποφύγουμε το ανεπιθύμητο πρόβλημα χρονισμού, η διάρκεια παραμονής του ρολογιού στο 1 πρέπει να είναι μικρότερη από την καθυστέρηση διάδοσης από την είσοδο στην έξοδο του JK μανδαλωτή. που σημαίνει ότι θα πρέπει το σήμα ρολογιού να κατέβει στο 0 πριν ή έξοδος αλλάξει τιμή. Μια σύγχρονη εκδοχή μανδαλωτή είναι ο μανδαλωτής D και T που χρησιμοποιούνται σε καταχωρητές(D) και μετρητές (T).



D	CLK	Q	Q'
0	1	0	1
1	1	1	0
X	0	Q ₀	Q ₀ '

S	R	CLK	S'	R'	Q	Q'	
0	0	1	1	1	Q ₀	Q ₀ '	store
0	1	1	1	0	0	1	reset
1	0	1	0	1	1	0	set
1	1	1	0	0	1	1	no op
X	X	0	1	1	Q ₀	Q ₀ '	store

Μια παραλλαγή του JK μανδαλωτή (lock) είναι ο μανδαλωτής T (Toggle)



T	CLK	Q(t+1)
0	0	0
0	1	1
1	0	1
1	1	0

CLK	T	Q(t+1)
0	X	Q _t
1	0	Q _t
1	1	Q _t '

Χαρακτηριστικός πίνακας D σύγχρονου μανδαλωτή

Q(n)	D	Q(n+1)
0	0	0
0	1	1
1	0	0
1	1	1

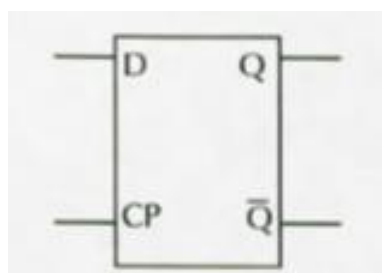
ή

D	Q(n+1)
0	0
1	1

Πίνακας διέγερσης D μανδαλωτή

D	Q(n)	Q(n+1)
0	0	0
1	0	1
0	1	0
1	1	1

Γραφικό σύμβολο του D



Ο D μανδαλωτής υλοποιείται από ένα RS μανδαλωτή και μια πύλη NOT. Η λειτουργία του είναι:

1. Αν ο παλμός του ρολογιού είναι στο CLK = 0, τότε ο μανδαλωτής δεν αλλάζει κατάσταση, ανεξάρτητα από την τιμή της εισόδου D (Εδώ οι εισόδοι με πύλες NAND είναι 1)
2. Αν ο παλμός του ρολογιού είναι CLK = 1, τότε έχουμε τα εξής:

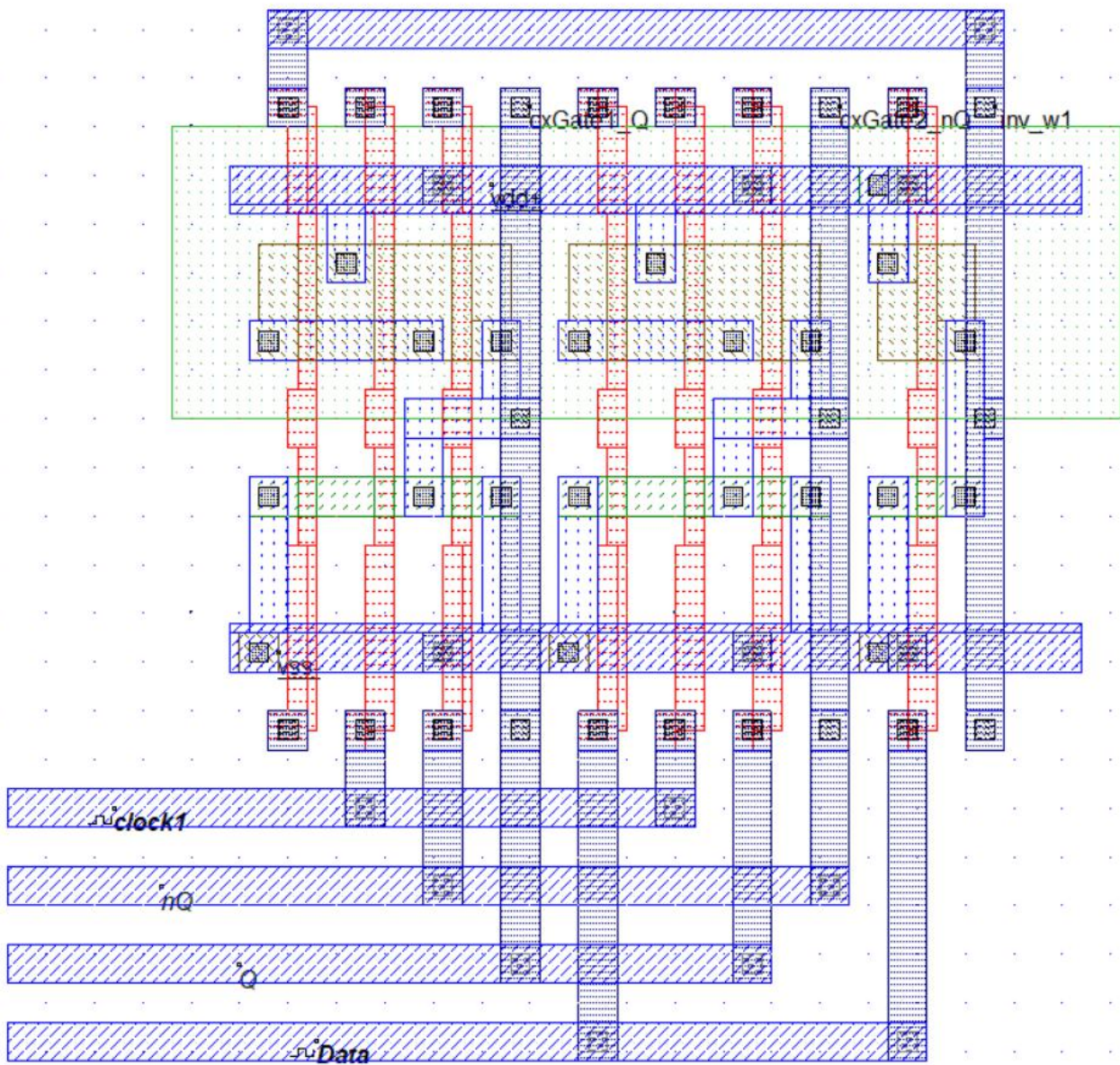
- αν $D = 0$, οπότε $Q = 0$ (μηδενισμός)

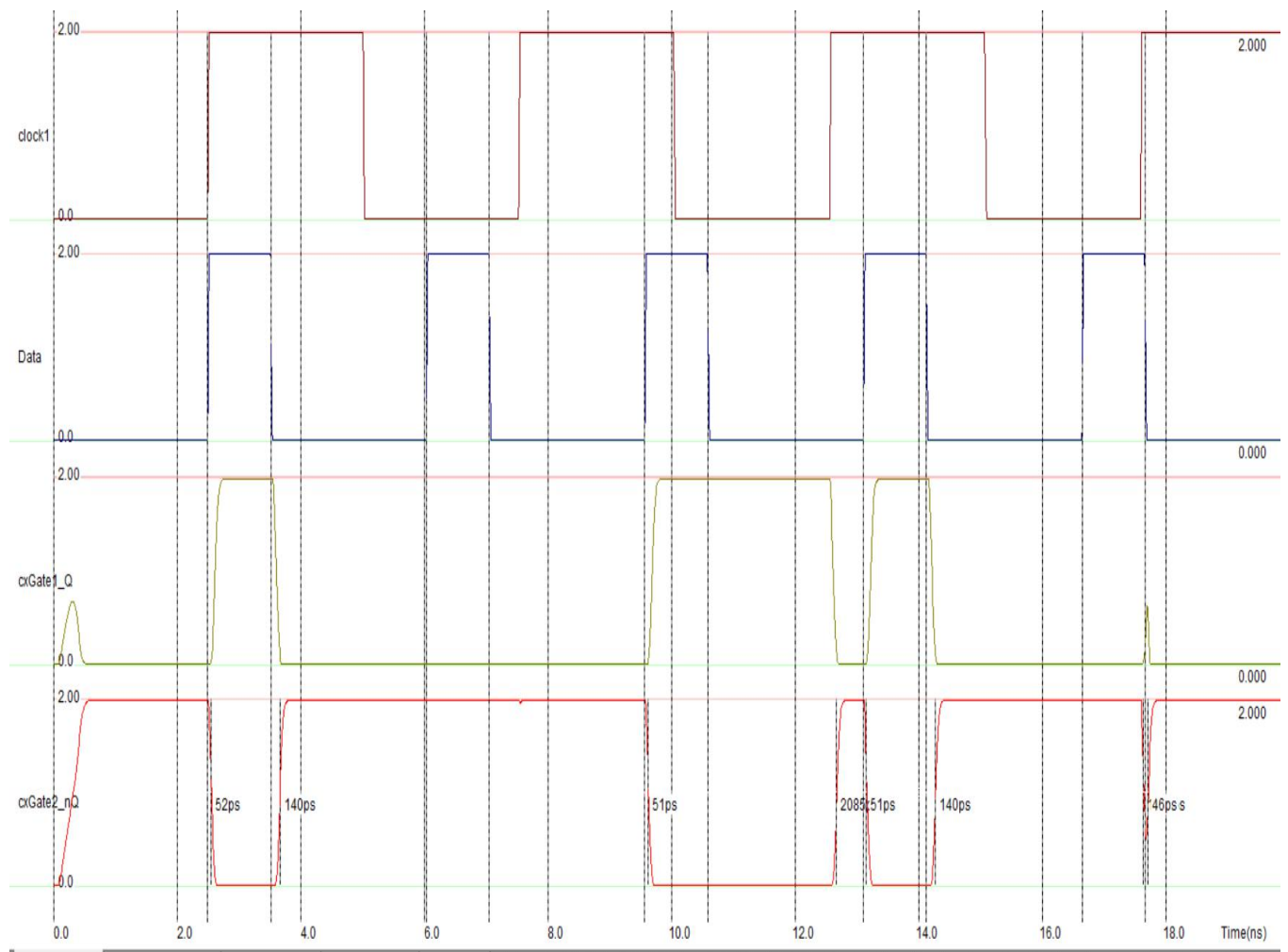
- αν $D = 1$, $Q = 1$ (θέση)

Ο μανδαλωτής αυτός ονομάζεται D διότι μπορεί να αποθηκεύει δεδομένα (Data) και να καθυστερεί την διάδοσή τους (Delay).

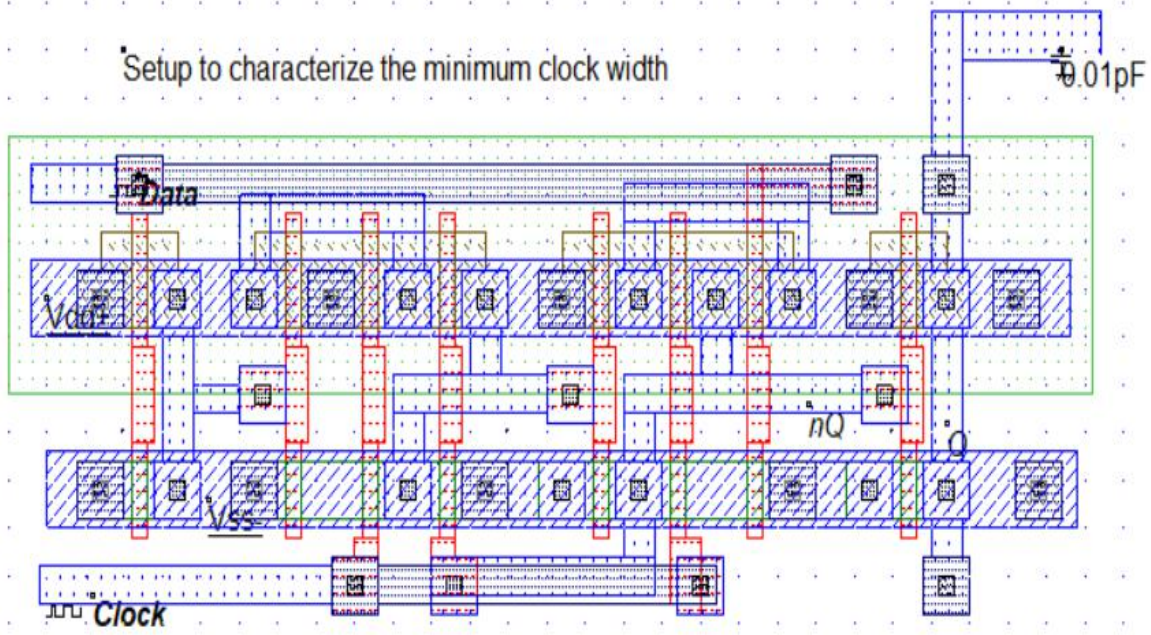
Κάνουμε την εξής παρατήρηση, όταν το $CLK = 1$, τότε τα δεδομένα εισόδου D του μανδαλωτή πάνε στην έξοδο Q. Ενώ όταν το $CLK = 0$, τότε τα δεδομένα εισόδου D του μανδαλωτή δεν πάνε στην έξοδο Q μέχρι το CLK να γίνει πάλι 1.

D LATCH LAYOUT

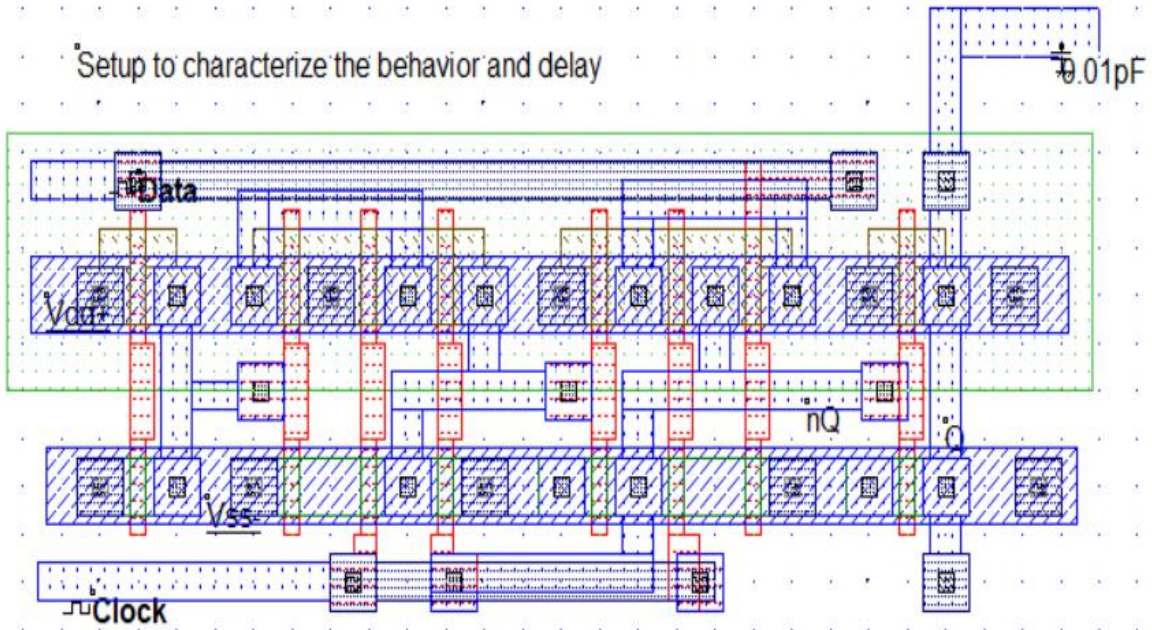


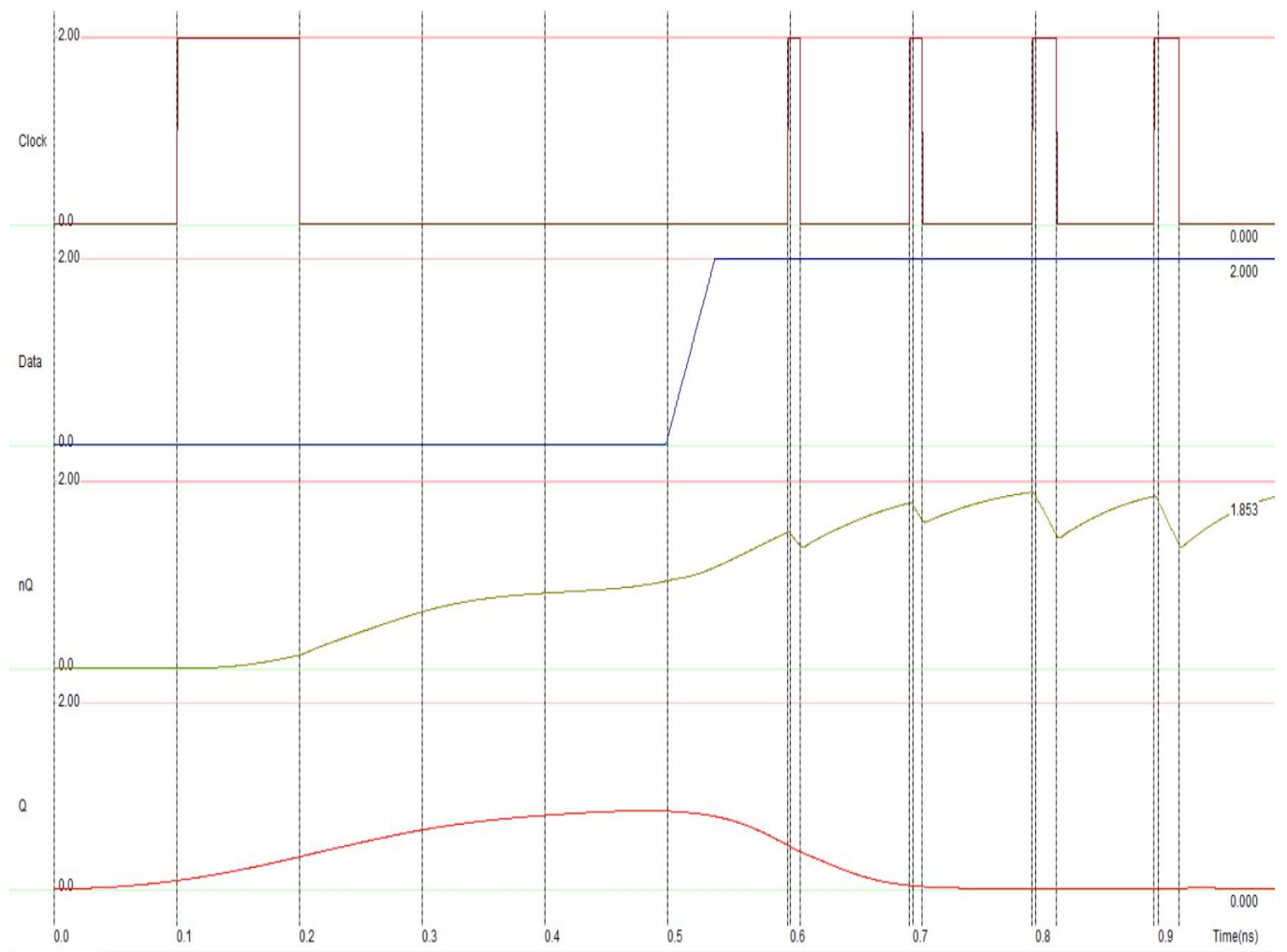


Setup to characterize the minimum clock width

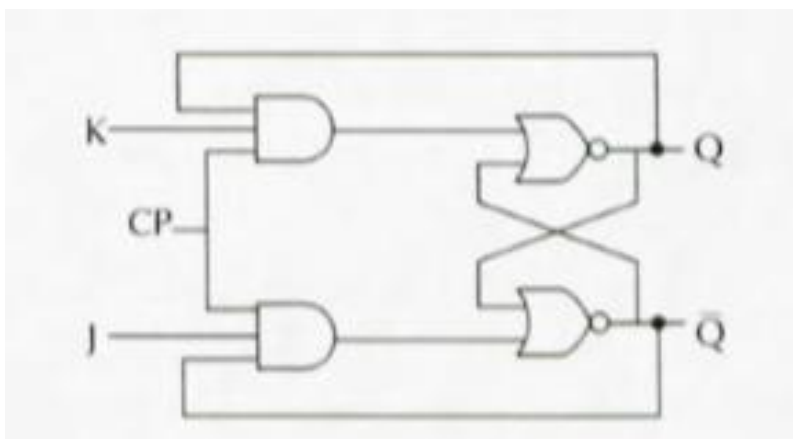


Setup to characterize the behavior and delay





Μανδαλωτής J - K



Η λειτουργία του είναι η εξής:

1. Όταν το $J = 0$ και το $K = 0$, τότε η επόμενη κατάσταση (έξοδος Q) είναι ίδια με την προηγούμενη κατάσταση.
2. Όταν το $J = 0$ και το $K = 1$, τότε η επόμενη κατάσταση είναι $Q = 0$.
3. Όταν το $J = 1$ και το $K = 0$, τότε η επόμενη κατάσταση είναι $Q = 1$.
4. Όταν το $J = 1$ και το $K = 1$, τότε η επόμενη κατάσταση δεν είναι απροσδιόριστη όπως στον RS μανδαλωτή, αλλά αντιστρέφεται, δηλαδή είναι η συμπληρωματική της προηγούμενης κατάστασης.

Χαρακτηριστικός πίνακας

$Q(n)$	J	K	$Q(n+1)$
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	0

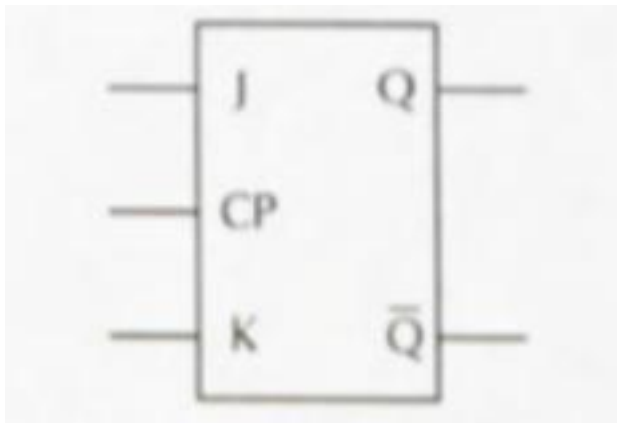
ή

J	K	$Q(n+1)$
0	0	$Q(n)$
0	1	0
1	0	1
1	1	$\overline{Q(n)}$

Πίνακας διέγερσης

J	K	Q(n)	Q(n+1)
0	X	0	0
1	X	0	1
X	1	1	0
X	0	1	1

Το γραφικό σύμβολο



Μανδαλωτής T

Προκύπτει απο την σύνδεση των εισόδων του J - K μανδαλωτή

Η λειτουργία του είναι η εξής:

1. Όταν το $T = 0$, τότε η επόμενη κατάσταση (έξοδος Q) είναι ίδια με την προηγούμενη κατάσταση.
- 2 . Όταν το $J = 1$, τότε η επόμενη κατάσταση αντιστρέφεται , δηλαδή είναι η συμπληρωματική της προηγούμενης κατάστασης.

Χαρακτηριστικός πίνακας

Q(n)	T	Q(n+1)
0	0	0
0	1	1
1	0	1
1	1	0

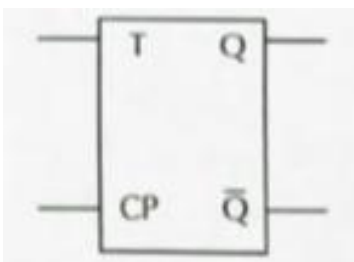
ή

T	Q(n+1)
0	Q(n)
1	$\overline{Q(n)}$

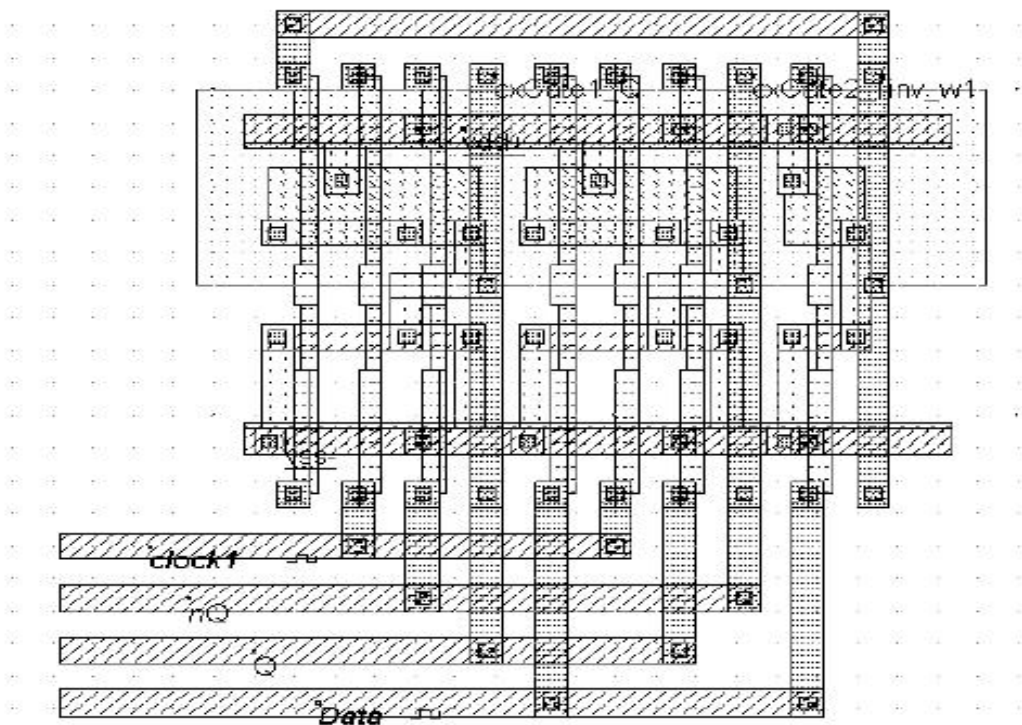
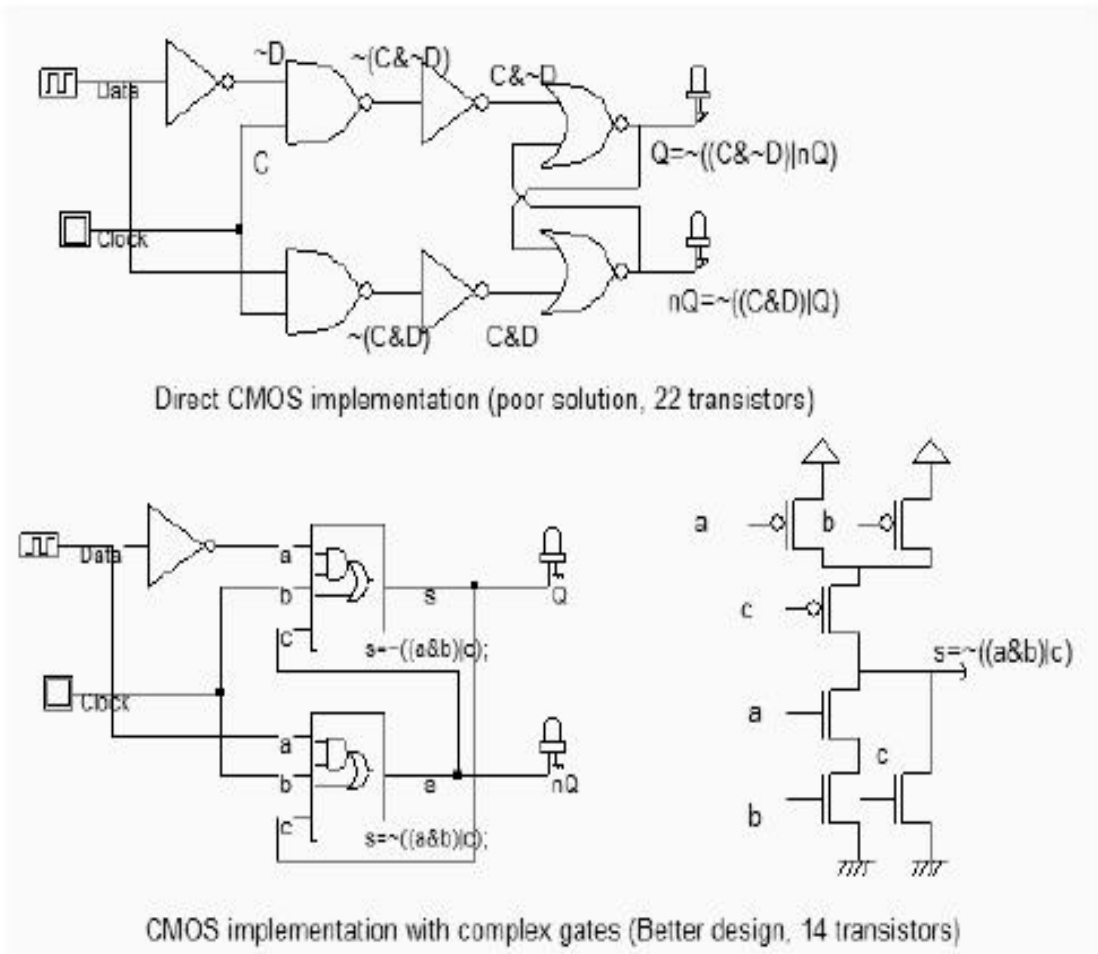
Πίνακας διέγερσης

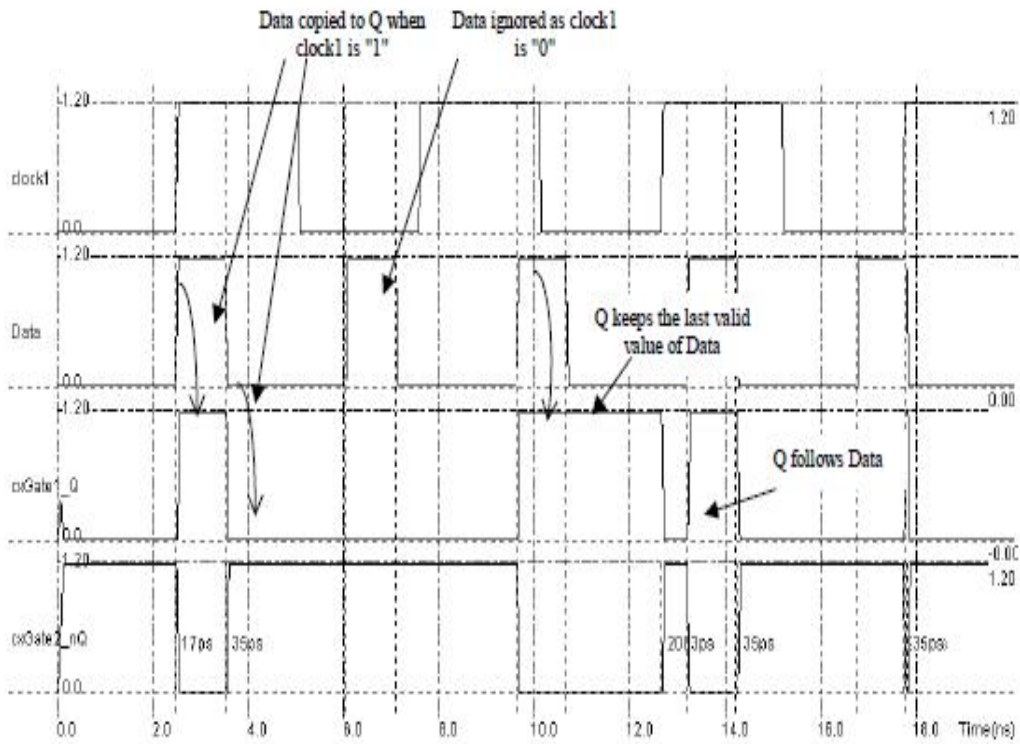
T	Q(n)	Q(n+1)
0	0	0
1	0	1
1	1	0
0	1	1

Γραφικό σύμβολο



$$s = \sim((a \& b) | c)$$





VERILOG CODE

```

module DLatchCompile( Data, Clock, Q, nQ );
  input Data, Clock;
  output Q, nQ;
  assign      Q=~ ((w1&Clock) |nQ);
  assign      nQ=~ ((Data&Clock) |Q);
  not inv(w1,Data);
endmodule

// Simulation parameters in Verilog Format
always
#1000 Data=~Data;
#1000 Clock=~Clock;

```

VHDL CODE OF DFF

```

dff.vhd
Sat Aug 26 18:44:22 2017
1  -----
2  -- Company:
3  -- Engineer:
4  --
5  -- Create Date:    18:17:50 08/26/2017
6  -- Design Name:
7  -- Module Name:    dff - Behavioral
8  -- Project Name:
9  -- Target Devices:
10 -- Tool versions:
11 -- Description:
12 --
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity dff is
33     Port ( D : in  STD_LOGIC;
34           CLK : in  STD_LOGIC;
35           Q : out STD_LOGIC);
36 end dff;
37
38 architecture Behavioral of dff is
39
40 begin
41     process (CLK)
42     begin
43         if CLK' event and CLK ='1' then
44             Q <= D;
45         end if;
46     end process;
47
48 end Behavioral;
49
50

```

DFF - Flop *OK*

```

1  -----
2  -- Company:
3  -- Engineer:
4  --
5  -- Create Date:   18:25:46 08/26/2017
6  -- Design Name:
7  -- Module Name:   C:/Users/am/Xilinx/SysGen/DFF/dff_tb.vhd
8  -- Project Name:  DFF
9  -- Target Device:
10 -- Tool versions:
11 -- Description:
12 --
13 -- VHDL Test Bench Created by ISE for module: dff
14 --
15 -- Dependencies:
16 --
17 -- Revision:
18 -- Revision 0.01 - File Created
19 -- Additional Comments:
20 --
21 -- Notes:
22 -- This testbench has been automatically generated using types std_logic and
23 -- std_logic_vector for the ports of the unit under test.  Xilinx recommends
24 -- that these types always be used for the top-level I/O of a design in order
25 -- to guarantee that the testbench will bind correctly to the post-implementation
26 -- simulation model.
27 -----
28 LIBRARY ieee;
29 USE ieee.std_logic_1164.ALL;
30
31 -- Uncomment the following library declaration if using
32 -- arithmetic functions with Signed or Unsigned values
33 --USE ieee.numeric_std.ALL;
34
35 ENTITY dff_tb IS
36 END dff_tb;
37
38 ARCHITECTURE behavior OF dff_tb IS
39
40     -- Component Declaration for the Unit Under Test (UUT)
41
42     COMPONENT dff
43     PORT(
44         D : IN  std_logic;
45         CLK : IN  std_logic;
46         Q : OUT std_logic
47     );
48     END COMPONENT;
49
50
51     --Inputs
52     signal D : std_logic := '0';
53     signal CLK : std_logic := '0';
54
55     --Outputs
56     signal Q : std_logic;
57

```

OK
7/26/17

```
end
-- Clock period definitions
59 constant CLK_period : time := 10 ns;
60
61 BEGIN
62
63 -- Instantiate the Unit Under Test (UUT)
64 uut: dff PORT MAP (
65     D => D,
66     CLK => CLK,
67     Q => Q
68 );
69
70 -- Clock process definitions
71 CLK_process : process
72 begin
73     CLK <= '0';
74     wait for CLK_period/2;
75     CLK <= '1';
76     wait for CLK_period/2;
77 end process;
78
79
80 -- Stimulus process
81 stim_proc: process
82 begin
83     -- hold reset state for 100 ns.
84     wait for 100 ns;
85
86     wait for CLK_period*10;
87
88     -- insert stimulus here
89
90     wait;
91 end process;
92
93 END;
94
```

```
1 -----
2 -- Company:
3 -- Engineer:
4 --
5 -- Create Date:    22:23:51 03/20/2016
6 -- Design Name:
7 -- Module Name:    D_Flip_Flop - Behavioral
8 -- Project Name:
9 -- Target Devices:
10 -- Tool versions:
11 -- Description:
12 --
13 -- Dependencies:
14 --
15 -- Revision:
16 -- Revision 0.01 - File Created
17 -- Additional Comments:
18 --
19 -----
20 library IEEE;
21 use IEEE.STD_LOGIC_1164.ALL;
22
23 -- Uncomment the following library declaration if using
24 -- arithmetic functions with Signed or Unsigned values
25 --use IEEE.NUMERIC_STD.ALL;
26
27 -- Uncomment the following library declaration if instantiating
28 -- any Xilinx primitives in this code.
29 --library UNISIM;
30 --use UNISIM.VComponents.all;
31
32 entity D_Flip_Flop is
33     Port ( CLK : in  STD_LOGIC;
34           RST : in  STD_LOGIC;
35           D  : in  STD_LOGIC;
36           Q  : out STD_LOGIC);
37 end D_Flip_Flop;
38
39 architecture Behavioral of D_Flip_Flop is
40
41 begin
42
43 process (CLK,RST)
44
45 begin
46
47 if(RST='1')then
48 Q<='0';
49
50 elsif(CLK='1' and CLK'EVENT) then
51 Q<=D;
52
53 end if;
54
55 end process;
56
57 end Behavioral;
```

DATA SHEET OF D LATCH



SN74LVC1G373

SCES528F – DECEMBER 2003 – REVISED MAY 2017

SN74LVC1G373 Single D-Type Latch With 3-State Output

1 Features

- Available in the Texas Instruments NanoFree™ Package
- Supports 5-V V_{CC} Operation
- Inputs Accept Voltages to 5.5 V
- Provides Down Translation to V_{CC}
- Max t_{pd} of 4 ns at 3.3 V
- Low Power Consumption: 10- μ A Maximum I_{CC}
- ± 24 -mA Output Drive at 3.3 V
- I_{off} Supports Partial-Power-Down Mode and Back Drive Protection
- Latch-Up Performance Exceeds 100 mA Per JESD 78, Class II

2 Applications

- Servers
- Printers
- Telecom and Grid Infrastructure
- Memory Addressing
- Buffer Registers
- Electronic Point of Sale

3 Description

The SN74LVC1G373 device is a single D-type latch designed for 1.65-V to 5.5-V V_{CC} operation.

This device is particularly suitable for implementing buffer registers, I/O ports, bidirectional bus drivers, and working registers. While the latch-enable (LE) input is high, the Q outputs follow the data (D) inputs. When LE is taken low, the Q outputs are latched at the logic levels set up at the D inputs.

NanoFree™ package technology is a major breakthrough in IC packaging concepts, using the die as the package.

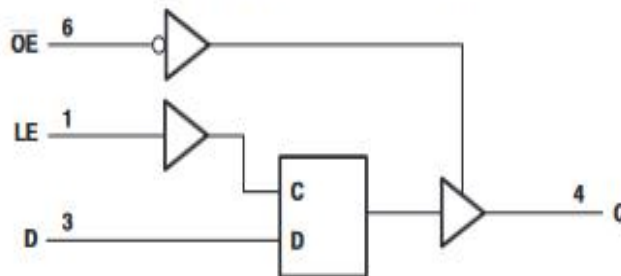
\overline{OE} does not affect the internal operations of the latch. Old data can be retained or new data can be entered while the outputs are in the high-impedance state.

Device Information(1)

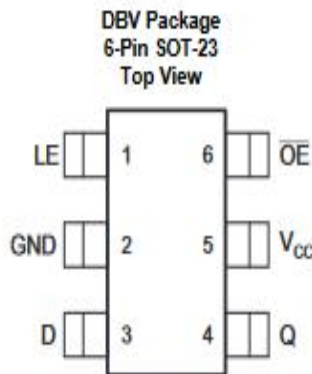
PACKAGE NUMBER	PACKAGE	BODY SIZE (NOM)
SN74LVC1G373DBV	SOT-23 (6)	2.90 mm × 1.60 mm
SN74LVC1G373DCK	SC70 (6)	2.00 mm × 1.25 mm
SN74LVC1G373YZP	DSBGA (6)	1.41 mm × 0.91 mm

(1) For all available packages, see the orderable addendum at the end of the data sheet.

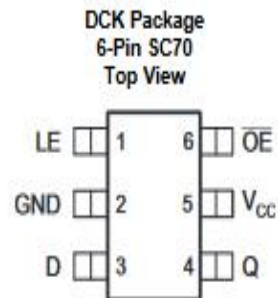
Logic Diagram (Positive Logic)



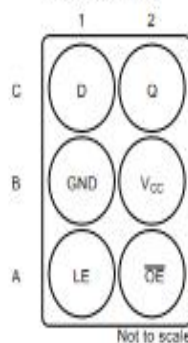
5 Pin Configuration and Functions



See mechanical drawings for dimensions.



**YZP Package
6-Pin DSBGA
Bottom View**



Pin Functions

NAME	PIN		I/O	DESCRIPTION
	DCK, DBV	YZP		
LE	1	A1	I	Latch Enable; output follows D input when high
GND	2	B1	—	Ground
D	3	C1	I	D latch input
Q	4	C2	O	Q latch output
V _{CC}	5	B2	—	Positive supply
OE	6	A2	I	Active low output enable; Hi-Z output when high

SN74LVC1G373

SCES528F – DECEMBER 2003 – REVISED MAY 2017

www.ti.com

6 Specifications

6.1 Absolute Maximum Ratings

over operating free-air temperature range (unless otherwise noted)⁽¹⁾

		MIN	MAX	UNIT
V_{CC}	Supply voltage	-0.5	6.5	V
V_I	Input voltage ⁽²⁾	-0.5	6.5	V
V_O	Voltage range applied to any output in the high-impedance or power-off state ⁽²⁾⁽³⁾	-0.5	6.5	V
V_O	Voltage range applied to any output in the high or low state ⁽²⁾⁽³⁾	-0.5	$V_{CC} + 0.5$	V
I_{IK}	Input clamp current		-50	mA
		$V_I < 0$		
I_{OK}	Output clamp current		-50	mA
		$V_O < 0$		
I_O	Continuous output current		±50	mA
	Continuous current through V_{CC} or GND		±100	mA
T_J	Absolute maximum Junction temperature		150	°C
T_{stg}	Storage temperature	-65	150	°C

- (1) Stresses beyond those listed under *Absolute Maximum Ratings* may cause permanent damage to the device. These are stress ratings only, which do not imply functional operation of the device at these or any other conditions beyond those indicated under *Recommended Operating Conditions*. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.
- (2) The input and output negative-voltage ratings may be exceeded if the input and output current ratings are observed.
- (3) The value of V_{CC} is provided in the *Recommended Operating Conditions*.

6.2 ESD Ratings

		VALUE	UNIT
$V_{(ESD)}$	Electrostatic discharge	Human-body model (HBM), per ANSI/ESDA/JEDEC JS-001 ⁽¹⁾	±2000
		Charged-device model (CDM), per JEDEC specification JESD22-C101 ⁽²⁾	±1500

- (1) JEDEC document JEP155 states that 500-V HBM allows safe manufacturing with a standard ESD control process.
- (2) JEDEC document JEP157 states that 250-V CDM allows safe manufacturing with a standard ESD control process. CDM tested on DBV package



6.3 Recommended Operating Conditions

See ⁽¹⁾

		MIN	MAX	UNIT	
V _{CC}	Supply voltage	Operating	1.65	5.5	V
		Data retention only	1.5		
V _{IH}	High-level input voltage	V _{CC} = 1.65 V to 1.95 V	0.65 × V _{CC}	5.5	V
		V _{CC} = 2.3 V to 2.7 V	1.7	5.5	
		V _{CC} = 3 V to 3.6 V	2	5.5	
		V _{CC} = 4.5 V to 5.5 V	0.7 × V _{CC}	5.5	
V _{IL}	Low-level input voltage	V _{CC} = 1.65 V to 1.95 V	0	0.35 × V _{CC}	V
		V _{CC} = 2.3 V to 2.7 V	0	0.7	
		V _{CC} = 3 V to 3.6 V	0	0.8	
		V _{CC} = 4.5 V to 5.5 V	0	0.3 × V _{CC}	
V _O	Output voltage	0	V _{CC}	V	
I _{OH}	High-level output current	V _{CC} = 1.65 V		-4	mA
		V _{CC} = 2.3 V		-8	
		V _{CC} = 3 V		-16	
		V _{CC} = 4.5 V		-24	
I _{OL}	Low-level output current	V _{CC} = 1.65 V		4	mA
		V _{CC} = 2.3 V		8	
		V _{CC} = 3 V		16	
		V _{CC} = 4.5 V		24	
Δt/Δv	Input transition rise or fall rate	V _{CC} = 1.8 V ± 0.15 V, 2.5 V ± 0.2 V		20	ns/V
		V _{CC} = 3.3 V ± 0.3 V		10	
		V _{CC} = 5 V ± 0.5 V		5	
T _A	Operating free-air temperature	DSBGA package	-40	85	°C
		All other packages	-40	125	

(1) All unused inputs of the device must be held at V_{CC} or GND to ensure proper device operation. See *Implications of Slow or Floating CMOS Inputs* (SCBA004).

6.4 Thermal Information

THERMAL METRIC ⁽¹⁾	SN74LVC1G373			UNIT	
	DBV (SOT-23)	DCK (SC70)	YZP (DSBGA)		
	6 PINS	6 PINS	6 PINS		
R _{θJA}	Junction-to-ambient thermal resistance	219.8	255.2	131	°C/W
R _{θJC(top)}	Junction-to-case (top) thermal resistance	189	121.9	1.3	°C/W
R _{θJB}	Junction-to-board thermal resistance	65.8	58	22.6	°C/W
Ψ _{JT}	Junction-to-top characterization parameter	67.3	7.2	5.2	°C/W
Ψ _{JB}	Junction-to-board characterization parameter	65.2	57.3	22.6	°C/W

(1) For more information about traditional and new thermal metrics, see the *Semiconductor and IC Package Thermal Metrics* application report.

SN74LVC1G373

SCES528F - DECEMBER 2003 - REVISED MAY 2017

www.ti.com

6.5 Electrical Characteristics

over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS	V _{CC}	MIN	TYP ⁽¹⁾	MAX	UNIT	
V _{OH}	I _{OH} = -100 μA	1.65 V to 5.5 V	V _{CC} - 0.1			V	
	I _{OH} = -4 mA	1.65 V	1.2				
	I _{OH} = -8 mA	2.3 V	1.9				
	I _{OH} = -16 mA	3 V	2.4				
	I _{OH} = -24 mA		2.3				
	I _{OH} = -32 mA	4.5 V	3.8				
V _{OL}	I _{OL} = 100 μA	1.65 V to 5.5 V			0.1	V	
	I _{OL} = 4 mA	1.65 V			0.45		
	I _{OL} = 8 mA	2.3 V			0.3		
	I _{OL} = 16 mA	3 V			0.4		
	I _{OL} = 24 mA		T _A = -40°C to 85°C				0.55
			T _A = -40°C to 125°C				0.65
	I _{OL} = 32 mA	T _A = -40°C to 85°C	4.5 V				0.55
	T _A = -40°C to 125°C			0.65			
I _I	V _I = 5.5 V or GND	0 V to 5.5 V			±1	μA	
I _{OZ}	V _O = 0 to 5.5 V	3.6 V			±5		
I _{OE}	V _I or V _O = 5.5 V	0			±10		
I _{CC}	V _I = 5.5 V or GND, I _O = 0	1.65 V to 5.5 V			10		
ΔI _{CC}	One input at V _{CC} - 0.6 V, Other inputs at V _{CC} or GND	3 V to 5.5 V			500		
C _I	V _I = V _{CC} or GND	T _A = -40°C to 85°C	3.3 V	3.5		pF	
C _O	V _O = V _{CC} or GND	T _A = -40°C to 85°C	3.3 V	6			

(1) All typical values are at V_{CC} = 3.3 V, T_A = 25°C.

6.6 Timing Requirements: T_A = -40°C to +85°C

over recommended operating free-air temperature range (unless otherwise noted) (see Figure 2)

		MIN	MAX	UNIT
t _w	Pulse duration, LE high	3		ns
t _{su}	Setup time, data before LE↓	V _{CC} = 1.8 V ± 0.15 V	2.4	
		V _{CC} = 2.5 V ± 0.2 V	2	
		V _{CC} = 3.3 V ± 0.3 V	1.5	
		V _{CC} = 5 V ± 0.5 V	1.5	
t _h	Hold time, data after LE↓	V _{CC} = 1.8 V ± 0.15 V	2.5	
		V _{CC} = 2.5 V ± 0.2 V	1.5	
		V _{CC} = 3.3 V ± 0.3 V	1.5	
		V _{CC} = 5 V ± 0.5 V	1.5	

6.7 Timing Requirements: T_A = -40°C to +125°C

over recommended operating free-air temperature range (unless otherwise noted) (see Figure 2)

		MIN	MAX	UNIT
t _w	Pulse duration, LE high	3		ns
t _{su}	Setup time, data before LE↓	V _{CC} = 1.8 V ± 0.15 V	2.9	
		V _{CC} = 2.5 V ± 0.2 V	2.1	
		V _{CC} = 3.3 V ± 0.3 V	1.5	
		V _{CC} = 5 V ± 0.5 V	1.5	
t _h	Hold time, data after LE↓	V _{CC} = 1.8 V ± 0.15 V	3	
		V _{CC} = 2.5 V ± 0.2 V	1.5	
		V _{CC} = 3.3 V ± 0.3 V	1.5	
		V _{CC} = 5 V ± 0.5 V	1.5	

6.8 Switching Characteristics: $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$

over recommended operating free-air temperature range, $C_L = 15\text{ pF}$ (unless otherwise noted) (see Figure 2)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	MAX	UNIT
t_{pd}	D	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	15	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	15	5	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	4	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	3.5	
	LE		$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	15	
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	5	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	4	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	3.5	
t_{en}	\overline{OE}	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	12.5	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	4.5	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	4	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	2.5	
t_{ds}	\overline{OE}	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	14	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	7	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	7.9	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	5.3	

6.9 Switching Characteristics: $T_A = -40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$

over recommended operating free-air temperature range, $C_L = 30\text{ pF}$ or 50 pF (unless otherwise noted) (see Figure 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	MAX	UNIT
t_{pd}	D	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	16	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	7.3	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	5.4	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	4	
	LE		$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	16.3	
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	7.4	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	5.5	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	4	
t_{en}	\overline{OE}	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	13	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	6.3	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	5.1	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	3.7	
t_{ds}	\overline{OE}	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	17.4	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1	5.9	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	6.5	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	4.6	

SN74LVC1G373

SCES528F - DECEMBER 2003 - REVISED MAY 2017

www.ti.com

6.10 Switching Characteristics: $T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$

over recommended operating free-air temperature range, $C_L = 30\text{ pF}$ or 50 pF (unless otherwise noted) (see Figure 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	MAX	UNIT
t_{pd}	D	Q	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	17	ns
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	8	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	6	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	4.5	
	LE		$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	17	
			$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	8	
			$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	6	
			$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	4.5	
t_{en}	\overline{OE}	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	13.5		
		$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	7		
		$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	5.5		
		$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	4		
t_{dis}	\overline{OE}	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	18.4		
		$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1	6.2		
		$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1	6.8		
		$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	1	5		
t_{en}	\overline{OE}	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	14		
		$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.5	8.3		
		$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	0.9	6.5		
		$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	0.7	5.5		
t_{dis}	\overline{OE}	$V_{CC} = 1.8\text{ V} \pm 0.15\text{ V}$	2	16		
		$V_{CC} = 2.5\text{ V} \pm 0.2\text{ V}$	1.1	7.3		
		$V_{CC} = 3.3\text{ V} \pm 0.3\text{ V}$	1.4	6		
		$V_{CC} = 5\text{ V} \pm 0.5\text{ V}$	0.8	5.1		

6.11 Operating Characteristics

$T_A = 25^{\circ}\text{C}$

PARAMETER		TEST CONDITIONS		TYP	UNIT
C_{pd}	Power dissipation capacitance	Outputs enabled	$V_{CC} = 1.8\text{ V}$	19	pF
			$V_{CC} = 2.5\text{ V}$	19	
			$V_{CC} = 3.3\text{ V}$	19	
			$V_{CC} = 5\text{ V}$	20	
		Outputs disabled	$V_{CC} = 1.8\text{ V}$	3	
			$V_{CC} = 2.5\text{ V}$	3	
			$V_{CC} = 3.3\text{ V}$	3	
			$V_{CC} = 5\text{ V}$	4	

6.12 Typical Characteristics

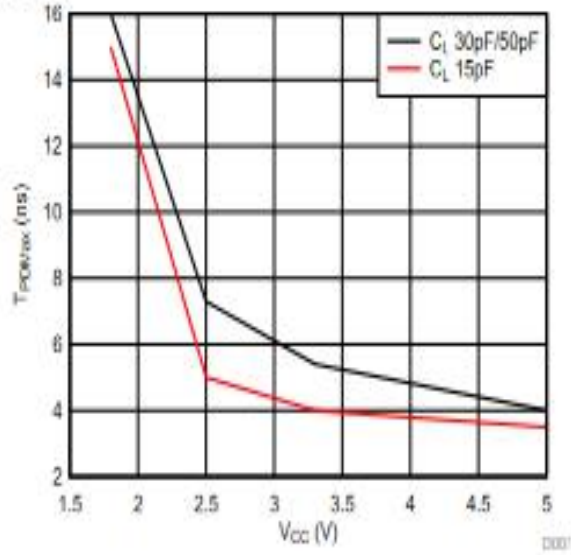


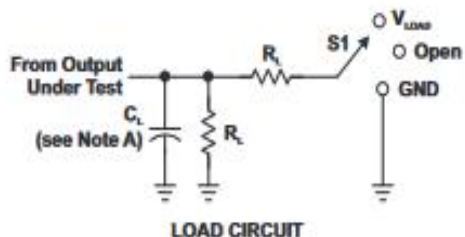
Figure 1. Propagation delay vs V_{CC}

SN74LVC1G373

SCE5528F - DECEMBER 2003 - REVISED MAY 2017

www.ti.com

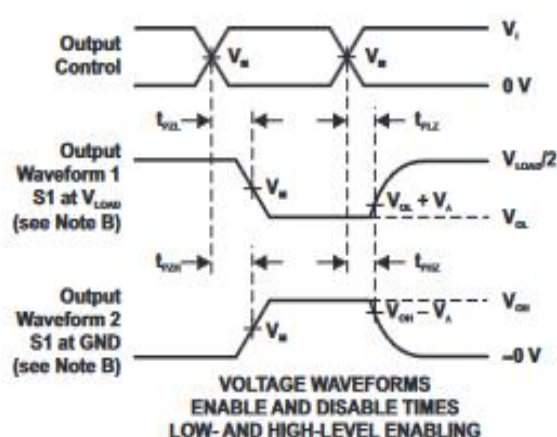
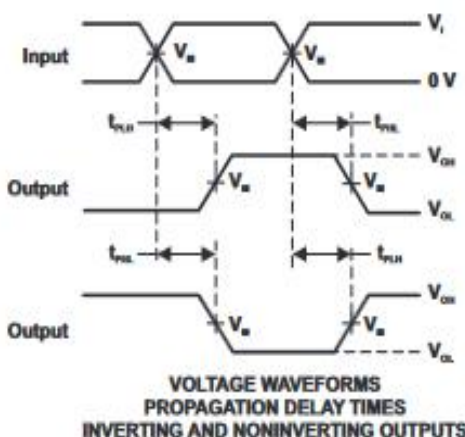
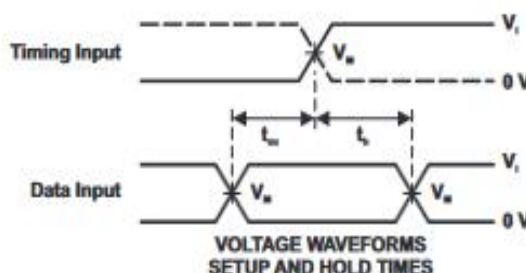
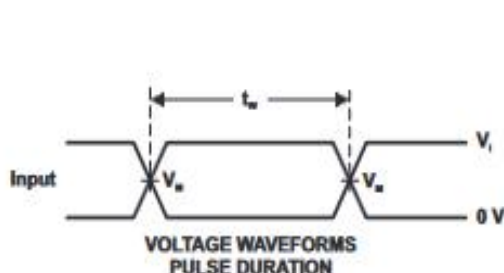
7 Parameter Measurement Information



TEST	S1
t_{rHL}/t_{rLH}	Open
t_{rLZ}/t_{rZL}	V_{LODD}
t_{rHZ}/t_{rZH}	GND

LOAD CIRCUIT

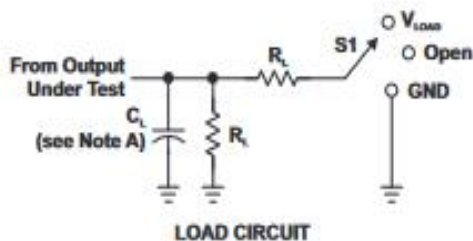
V_{CC}	INPUTS		V_{in}	V_{LODD}	C_L	R_L	V_A
	V_i	t/t_i					
$1.8 V \pm 0.15 V$	V_{CC}	$<2 ns$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$2.5 V \pm 0.2 V$	V_{CC}	$<2 ns$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.15 V
$3.3 V \pm 0.3 V$	3 V	$<2.5 ns$	1.5 V	6 V	15 pF	1 M Ω	0.3 V
$5 V \pm 0.5 V$	V_{CC}	$<2.5 ns$	$V_{CC}/2$	$2 \times V_{CC}$	15 pF	1 M Ω	0.3 V



- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR \leq 10 MHz, $Z_o = 50 \Omega$.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{rLZ} and t_{rZL} are the same as t_{sw} .
 F. t_{rHL} and t_{rLH} are the same as t_{sw} .
 G. t_{rHL} and t_{rLH} are the same as t_{sw} .
 H. All parameters and waveforms are not applicable to all devices.

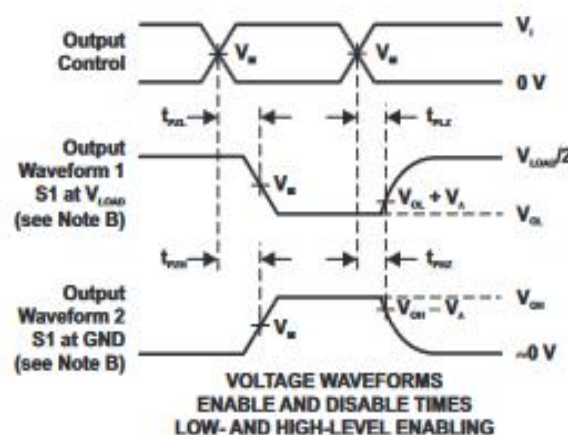
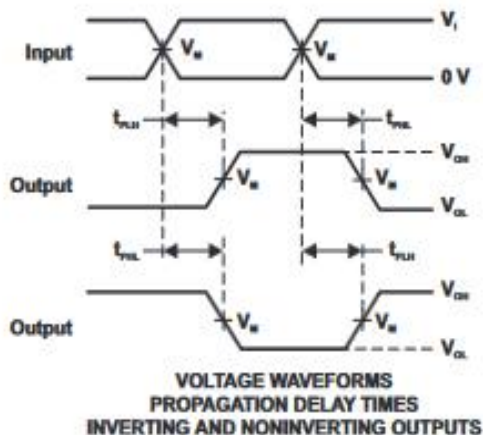
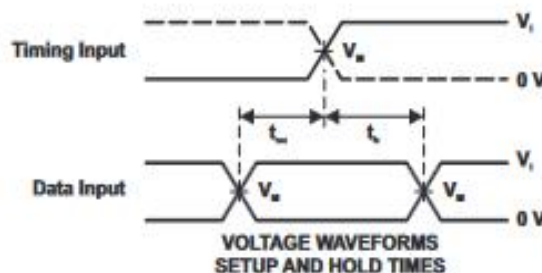
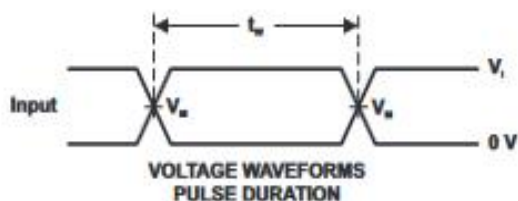
Figure 2. Load Circuit and Voltage Waveforms

Parameter Measurement Information (continued)



TEST	S1
t_{PL}/t_{PH}	Open
t_{PL}/t_{PH}	V_{LODD}
t_{PL}/t_{PH}	GND

V_{CC}	INPUTS		V_{in}	V_{LODD}	C_L	R_L	V_o
	V_i	t_i/t_r					
$1.8\text{ V} \pm 0.15\text{ V}$	V_{CC}	$<2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	1 k Ω	0.15 V
$2.5\text{ V} \pm 0.2\text{ V}$	V_{CC}	$<2\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	30 pF	500 Ω	0.15 V
$3.3\text{ V} \pm 0.3\text{ V}$	3 V	$<2.5\text{ ns}$	1.5 V	6 V	50 pF	500 Ω	0.3 V
$5\text{ V} \pm 0.5\text{ V}$	V_{CC}	$<2.5\text{ ns}$	$V_{CC}/2$	$2 \times V_{CC}$	50 pF	500 Ω	0.3 V



- NOTES: A. C_L includes probe and jig capacitance.
 B. Waveform 1 is for an output with internal conditions such that the output is low, except when disabled by the output control. Waveform 2 is for an output with internal conditions such that the output is high, except when disabled by the output control.
 C. All input pulses are supplied by generators having the following characteristics: PRR \leq 10 MHz, $Z_o = 50\ \Omega$.
 D. The outputs are measured one at a time, with one transition per measurement.
 E. t_{PLZ} and t_{PHZ} are the same as t_{PL} .
 F. t_{PLZ} and t_{PHZ} are the same as t_{PL} .
 G. t_{PLI} and t_{PHI} are the same as t_{PL} .
 H. All parameters and waveforms are not applicable to all devices.

Figure 3. Load Circuit and Voltage Waveforms

SN74LVC1G373

SCES528F - DECEMBER 2003 - REVISED MAY 2017

www.ti.com

8 Detailed Description

8.1 Overview

A buffered output-enable (\overline{OE}) input can be used to place the output in either a normal logic state (high or low logic levels) or the high-impedance state. In the high-impedance state, the output neither loads nor drives the bus lines significantly. The high-impedance state and increased drive provide the capability to drive bus lines without interface or pullup components. To ensure the high-impedance state during power up or power down, \overline{OE} should be tied to V_{CC} through a pullup resistor; the minimum value of the resistor is determined by the current-sinking capability of the driver. This device is fully specified for partial-power-down applications using I_{off} . The I_{off} circuitry disables the outputs, preventing damaging current backflow through the device when it is powered down.

8.2 Functional Block Diagram

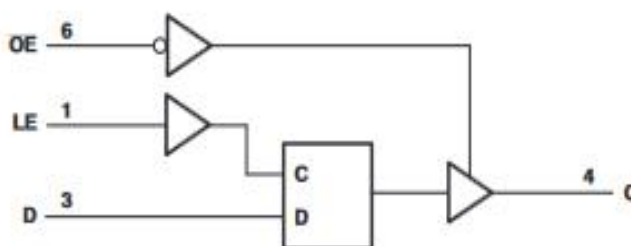


Figure 4. Logic Diagram (Positive Logic)

8.3 Feature Description

8.3.1 Balanced High-Drive CMOS Push-Pull Outputs

A balanced output allows the device to sink and source similar currents. The high drive capability of this device creates fast edges into light loads so routing and load conditions should be considered to prevent ringing. Additionally, the outputs of this device are capable of driving larger currents than the device can sustain without being damaged. It is important for the power output of the device to be limited to avoid thermal runaway and damage due to over-current. The electrical and thermal limits defined in the *Absolute Maximum Ratings* must be followed at all times.

8.3.2 Standard CMOS Inputs

Standard CMOS inputs are high impedance and are typically modelled as a resistor in parallel with the input capacitance given in the *Electrical Characteristics*. The worst case resistance is calculated with the maximum input voltage, given in the *Absolute Maximum Ratings*, and the maximum input leakage current, given in the *Electrical Characteristics*, using ohm's law ($R = V \div I$).

Signals applied to the inputs need to have fast edge rates, as defined by $\Delta t/\Delta v$ in *Recommended Operating Conditions* to avoid excessive currents and oscillations. If a slow or noisy input signal is required, a device with a Schmitt-trigger input should be utilized to condition the input signal prior to the standard CMOS input.

Feature Description (continued)

8.3.3 Clamp Diodes

The inputs and outputs to this device have negative clamping diodes.

CAUTION

Voltages beyond the values specified in the *Absolute Maximum Ratings* table can cause damage to the device. The input negative-voltage and output voltage ratings may be exceeded if the input and output clamp-current ratings are observed.

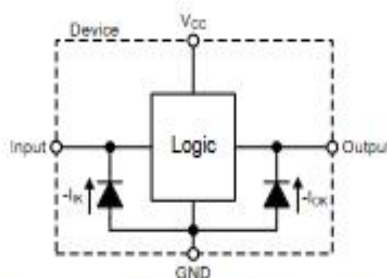


Figure 5. Electrical Placement of Clamping Diodes for Each Input and Output

8.3.4 Partial Power Down (I_{off})

The inputs and outputs for this device enter a high impedance state when the supply voltage is 0 V. The maximum leakage into or out of any input or output pin on the device is specified by I_{off} in the *Electrical Characteristics*.

8.3.5 Over-voltage Tolerant Inputs

Input signals to this device can be driven above the supply voltage so long as they remain below the maximum input voltage value specified in the *Absolute Maximum Ratings*.

8.4 Device Functional Modes

Table 1 lists the functions of this device.

Table 1. Function Table

OE	INPUTS		OUTPUT Q
	LE	D	
L	H	L	L
L	H	H	H
L	L	X	Q_0
H	X	X	Hi-Z

SN74LVC1G373

SCES528F - DECEMBER 2003 - REVISED MAY 2017

www.ti.com

9 Application and Implementation

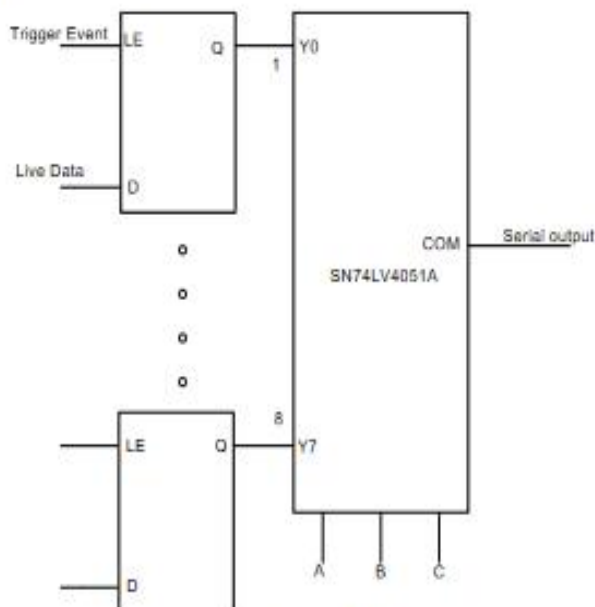
NOTE

Information in the following applications sections is not part of the TI component specification, and TI does not warrant its accuracy or completeness. TI's customers are responsible for determining suitability of components for their purposes. Customers should validate and test their design implementation to confirm system functionality.

9.1 Application Information

The SN74LVC1G373 latches can be used to store one bit of data. Figure 6 shows a typical application. The multiplexer is used to convert parallel data coming in from the latch into serial data using the A, B, and C select pins moving up in a sequence. With latch input low by a trigger event, the output Q holds the previous Q₀ data entered until the LE pin is cleared.

9.2 Typical Application



Copyright © 2016, Texas Instruments Incorporated

Figure 6. Latch Used With Multiplexer for Parallel to Serial Conversion

9.2.1 Design Requirements

This device uses CMOS technology and has balanced output drive. Take care to avoid bus contention because it can drive currents that would exceed maximum limits. The high drive also creates fast edges into light loads, so routing and load conditions must be considered to prevent ringing.

Typical Application (continued)

9.2.2 Detailed Design Procedure

1. Recommended Input Conditions

- For rise time and fall time specifications, see $\Delta t/\Delta V$ in *Recommended Operating Conditions*.
- For specified High and low levels, see V_{IH} and V_{IL} in *Recommended Operating Conditions*.
- Inputs are overvoltage tolerant allowing them to go as high as 5.5 V at any valid V_{CC} .

2. Recommended Output Conditions

- Load currents should not exceed 32 mA per output and 100 mA total through the part.
- Outputs must not be pulled above V_{CC} .

9.2.3 Application Curve

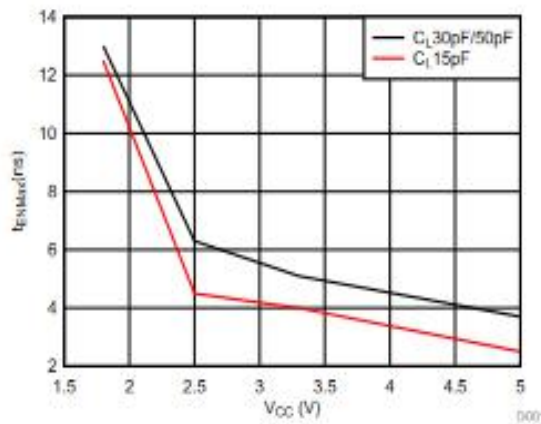


Figure 7. Enable Time vs V_{CC}

DATA SHEET OF D FLIP FLOP

SN5474, SN54LS74A, SN54S74 SN7474, SN74LS74A, SN74S74 DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SOLS119 - DECEMBER 1983 - REVISED MARCH 1988

- Package Options Include Plastic "Small Outline" Packages, Ceramic Chip Carriers and Flat Packages, and Plastic and Ceramic DIPs
- Dependable Texas Instruments Quality and Reliability

description

These devices contain two independent D-type positive-edge-triggered flip-flops. A low level at the preset or clear inputs sets or resets the outputs regardless of the levels of the other inputs. When preset and clear are inactive (high), data at the D input meeting the setup time requirements are transferred to the outputs on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level and is not directly related to the rise time of the clock pulse. Following the hold time interval, data at the D input may be changed without affecting the levels at the outputs.

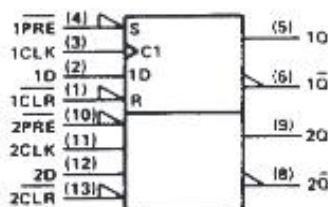
The SN54¹ family is characterized for operation over the full military temperature range of -55°C to 125°C. The SN74¹ family is characterized for operation from 0°C to 70°C.

FUNCTION TABLE

INPUTS				OUTPUTS	
PRE	CLR	CLK	D	Q	\bar{Q}
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H [†]	H [†]
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q ₀	\bar{Q} ₀

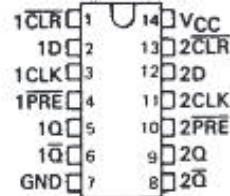
[†] The output levels in this configuration are not guaranteed to meet the minimum levels in V_{OH} if the lows at preset and clear are near V_{IL} maximum. Furthermore, this configuration is nonstable; that is, it will not persist when either preset or clear returns to its inactive (high) level.

logic symbol[†]

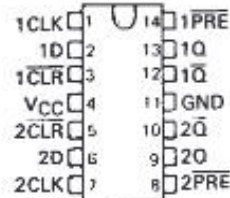


[†]This symbol is in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12. Pin numbers shown are for D, J, N, and W packages.

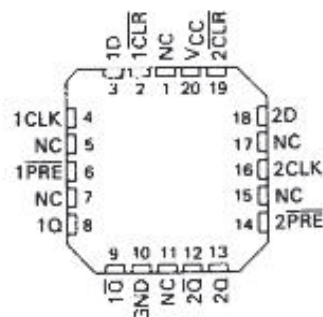
SN5474 . . . J PACKAGE
SN54LS74A, SN54S74 . . . J OR W PACKAGE
SN7474 . . . N PACKAGE
SN74LS74A, SN74S74 . . . D OR N PACKAGE
(TOP VIEW)



SN5474 . . . W PACKAGE
(TOP VIEW)

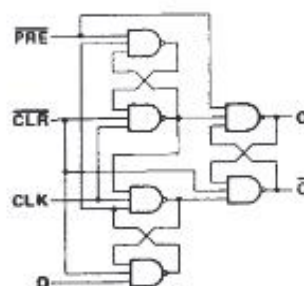


SN54LS74A, SN54S74 . . . FK PACKAGE
(TOP VIEW)



NC - No internal connection

logic diagram (positive logic)



PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



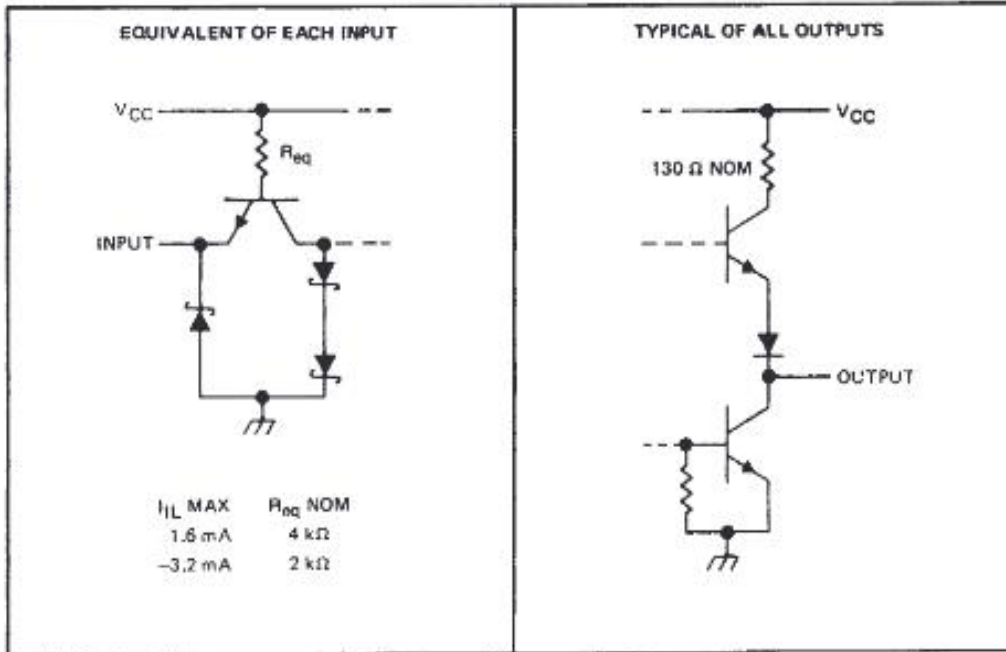
POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

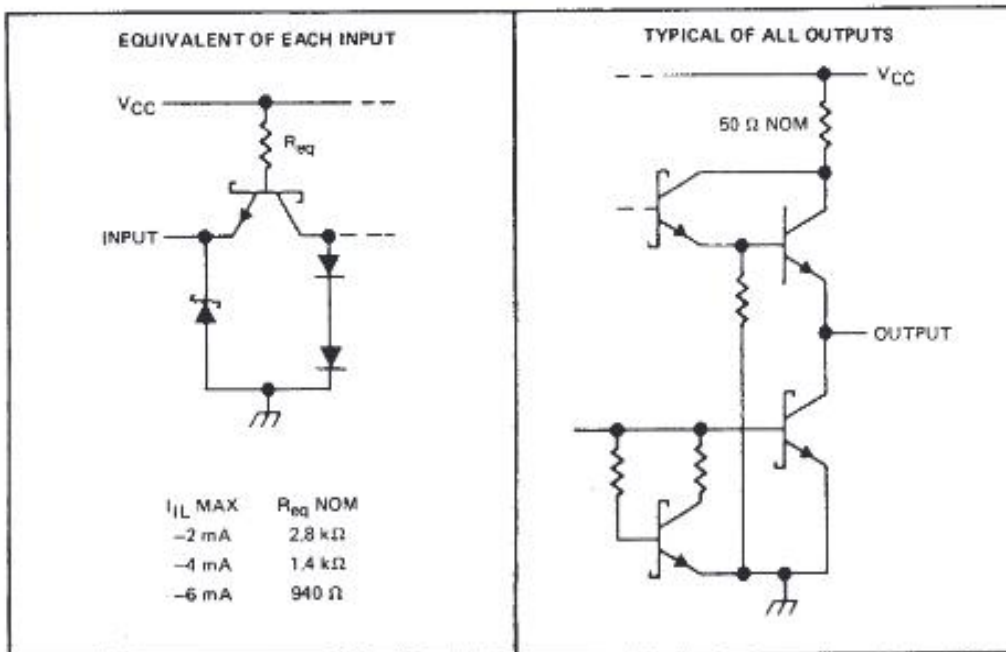
SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR
 SCLS119 - DECEMBER 1983 - REVISED MARCH 1988

schematics of inputs and outputs

74



'S74

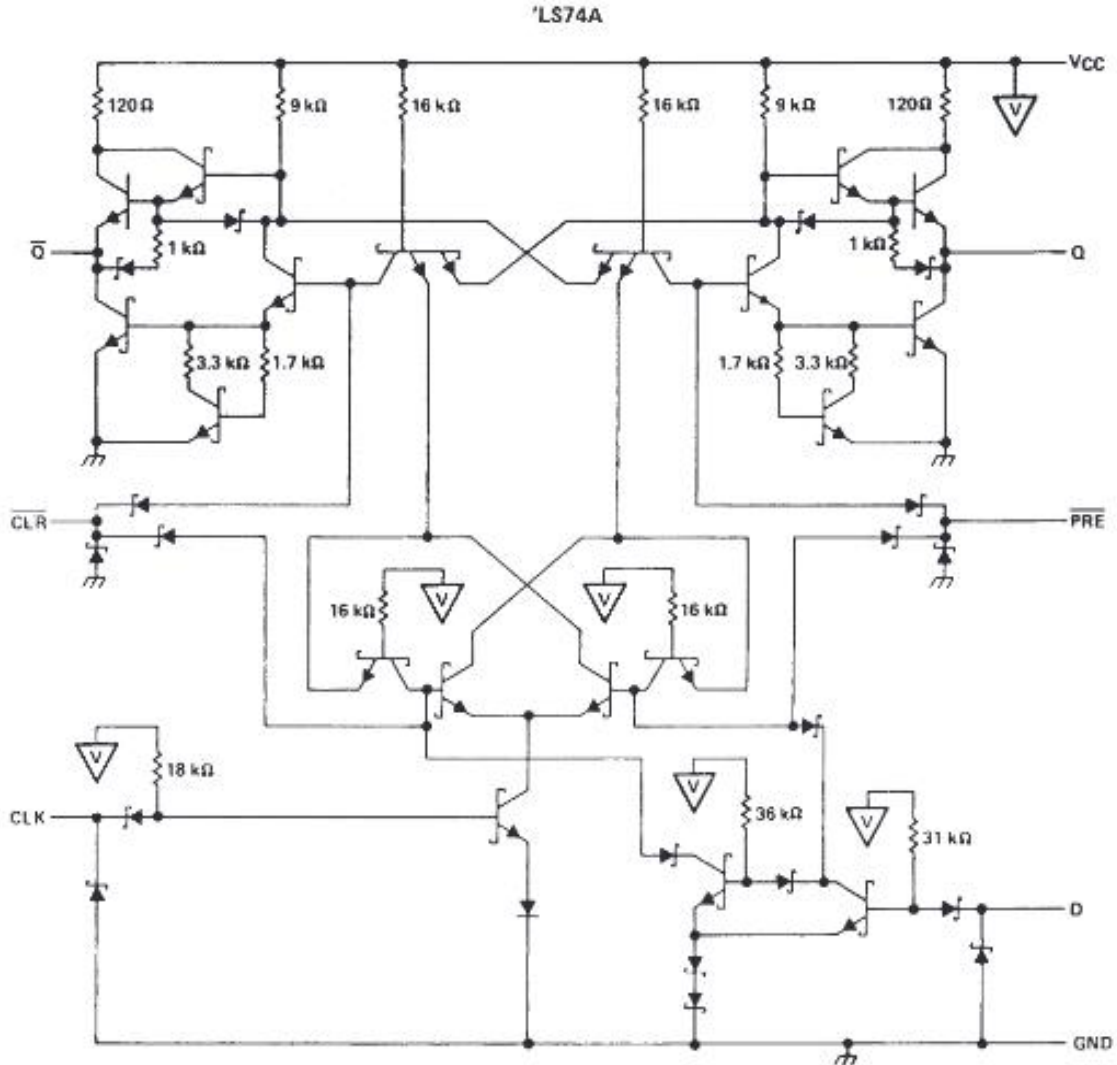


**SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74**

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 - DECEMBER 1983 - REVISED MARCH 1988

schematic



absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage: '74, 'S74	5.5 V
'LS74A	7 V
Operating free-air temperature range: SN54'	-55°C to 125°C
SN74'	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to network ground terminal.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

**SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR**
SOLS119 - DECEMBER 1983 - REVISED MARCH 1988

recommended operating conditions

		SN5474			SN7474			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage			0.8			0.8	V
I _{OH}	High-level output current			-0.4			-0.4	mA
I _{OL}	Low-level output current			16			16	mA
t _w	Pulse duration	CLK high	30		30			ns
		CLK low	37		37			
		PRE or CLR low	30		30			
t _{su}	Input setup time before CLK †	20			20			ns
t _h	Input hold time-data after CLK †	5			5			ns
T _A	Operating free-air temperature	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†		SN5474			SN7474			UNIT
				MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IK}		V _{CC} = MIN, I _I = -12 mA			-1.5			-1.5	V	
V _{OH}		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OH} = -0.4 mA	2.4	3.4		2.4	3.4		V	
V _{OL}		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = 16 mA	0.2	0.4		0.2	0.4		V	
I _I		V _{CC} = MAX, V _I = 5.5 V			1			1	mA	
I _{IH}	D	V _{CC} = MAX, V _I = 2.4 V			40			40	µA	
	CLR				120			120		
	All Other				80			80		
I _{IL}	D	V _{CC} = MAX, V _I = 0.4 V			-1.6			-1.6	mA	
	PRE‡				-1.6			-1.6		
	CLR‡				-3.2			-3.2		
	CLK				-3.2			-3.2		
I _{OS} ‡		V _{CC} = MAX	-20		-57			-18	-57	mA
I _{CC} ‡		V _{CC} = MAX, See Note 2			8.5			8.5	15	mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.

§ Clear is tested with preset high and preset is tested with clear high.

¶ Not more than one output should be shown at a time.

‡ Average per flip-flop.

NOTE 2: With all outputs open, I_{CC} is measured with the Q and \bar{Q} outputs high in turn. At the time of measurement, the clock input is grounded.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{max}				15	25		MHz
t _{PLH}	PRE or CLR	Q or \bar{Q}	R _L = 400 Ω, C _L = 15 pF			25	ns
t _{PHL}						40	ns
t _{PLH}	CLK	Q or \bar{Q}			14	25	ns
t _{PHL}					20	40	ns

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.



SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74

DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR

SDLS119 - DECEMBER 1983 - REVISED MARCH 1988

recommended operating conditions

		SN54LS74A			SN74LS74A			UNIT	
		MIN	NOM	MAX	MIN	NOM	MAX		
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V	
V _{IH}	High-level input voltage	2			2			V	
V _{IL}	Low-level input voltage			0.7			0.8	V	
I _{OH}	High-level output current			-0.4			-0.4	mA	
I _{OL}	Low-level output current			4			8	mA	
f _{clock}	Clock frequency	0		25	0		25	MHz	
t _w	Pulse duration	CLK high		25	25			ns	
		PRE or CLR low		25	25				
t _{su}	Setup time before CLK †	High-level data		20	20			ns	
		Low-level data		20	20				
t _h	Hold time data after CLK †			5	5			ns	
T _A	Operating free-air temperature			-55	125		0	70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	SN54LS74A			SN74LS74A			UNIT
			MIN	TYP‡	MAX	MIN	TYP‡	MAX	
V _{IK}		V _{CC} = MIN, I _I = -18 mA	-1.5			-1.5			V
V _{OH}		V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = MAX, I _{OH} = -0.4 mA	2.5	3.4		2.7	3.4		V
V _{OL}		V _{CC} = MIN, V _{IL} = MAX, V _{IH} = 2 V, I _{OL} = 4 mA	0.25	0.4		0.25	0.4		V
		V _{CC} = MIN, V _{IL} = MAX, V _{IH} = 2 V, I _{OL} = 8 mA				0.35	0.5		
I _I	D or CLK	V _{CC} = MAX, V _I = 7 V	0.1			0.1			mA
	CLR or PRE		0.2			0.2			
I _{IH}	D or CLK	V _{CC} = MAX, V _I = 2.7 V	20			20			µA
	CLR or PRE		40			40			
I _{IL}	D or CLK	V _{CC} = MAX, V _I = 0.4 V	-0.4			-0.4			mA
	CLR or PRE		-0.8			-0.8			
I _{OS} ‡		V _{CC} = MAX, See Note 4	-20	-100		-20	-100		mA
I _{CC} (Total)		V _{CC} = MAX, See Note 2	4			8			mA

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.
 ‡ All typical values are at V_{CC} = 5 V, T_A = 25°C.
 § Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.
 NOTE 2: With all outputs open, I_{CC} is measured with the Q and Q̄ outputs high in turn. At the time of measurement, the clock input is grounded.
 NOTE 4: For certain devices where state commutation can be caused by shorting an output to ground, an equivalent test may be performed with V_O = 2.25 V and 2.125 V for the 54 family and the 74 family, respectively, with the minimum and maximum limits reduced to one half of their stated values.

switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t _{max}			R _L = 2 kΩ, C _L = 15 pF	25	33		MHz
t _{PLH}	CLR, PRE or CLK	Q or Q̄		13	25		ns
t _{PHL}				25	40		ns

Note 3: Load circuits and voltage waveforms are shown in Section 1.



**SN5474, SN54LS74A, SN54S74
SN7474, SN74LS74A, SN74S74**
DUAL D-TYPE POSITIVE-EDGE-TRIGGERED FLIP-FLOPS WITH PRESET AND CLEAR
SOLS119 - DECEMBER 1983 - REVISED MARCH 1988

recommended operating conditions

		SN54S74			SN74S74			UNIT
		MIN	NOM	MAX	MIN	NOM	MAX	
V _{CC}	Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V _{IH}	High-level input voltage	2			2			V
V _{IL}	Low-level input voltage	0.8			0.8			V
I _{OH}	High-level output current	-1			-1			mA
I _{OL}	Low-level output current	20			20			mA
t _w	Pulse duration	CLK high		6	6		ns	
		CLK low		7.3	7.3			
		CLR or PRE low		7	7			
t _{su}	Setup time, before CLK †	High-level data		3	3		ns	
		Low-level data		3	3			
t _h	Input hold time - data after CLK †	2			2			ns
T _A	Operating free-air temperature	-55	125		0	70		°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS ¹	SN54S74			SN74S74			UNIT
		MIN	TYP ²	MAX	MIN	TYP ²	MAX	
V _{IK}	V _{CC} = MIN, I _i = -18 mA	-1.2			-1.2			V
V _{OH}	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OH} = -1 mA	2.5	3.4		2.7	3.4		V
V _{OL}	V _{CC} = MIN, V _{IH} = 2 V, V _{IL} = 0.8 V, I _{OL} = 20 mA	0.5			0.5			V
I _i	V _{CC} = MAX, V _I = 5.5 V	1			1			mA
I _{IH}	D	50			50			μA
	CLR	150			150			
	PRE or CLK	100			100			
I _{IL}	D	-2			-2			mA
	CLR [†]	-6			-6			
	PRE [†]	-4			-4			
	CLK	-4			-4			
I _{OS} ³	V _{CC} = MAX	-40	-100		-40	-100	mA	
I _{CC} ⁴	V _{CC} = MAX, See Note 2	15 25		15 25			mA	

¹For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

²All typical values are at V_{CC} = 5 V, T_A = 25°C.

³Not more than one output should be shorted at a time, and the duration of the short circuit should not exceed one second.

[†]Clear is tested with preset high and preset is tested with clear high.

⁴Average per flip-flop.

NOTE 2: With all outputs open, I_{CC} is measured with the Q and \bar{Q} outputs high in turn. At the time of measurement, the clock input is grounded.

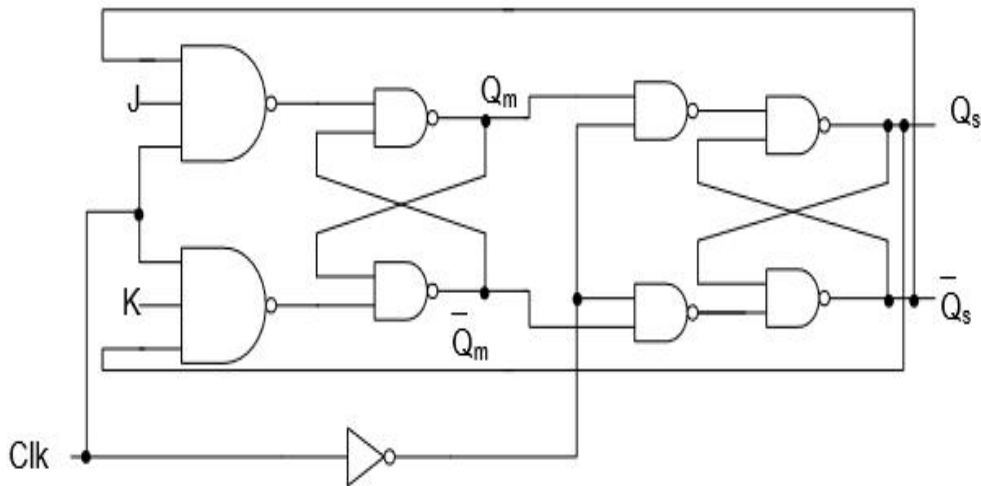
switching characteristics, V_{CC} = 5 V, T_A = 25°C (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
f _{max}				75	110		MHz
t _{PLH}	PRE or CLR	Q or \bar{Q}	R _L = 200 Ω, C _L = 15 pF	4		6	ns
t _{PHL}	PRE or CLR (CLK high)	\bar{Q} or Q		9	13.5		ns
	PRE or CLR (CLK low)			5		8	
t _{PLH}	CLK	Q or \bar{Q}		6		9	ns
t _{PHL}			6		9	ns	

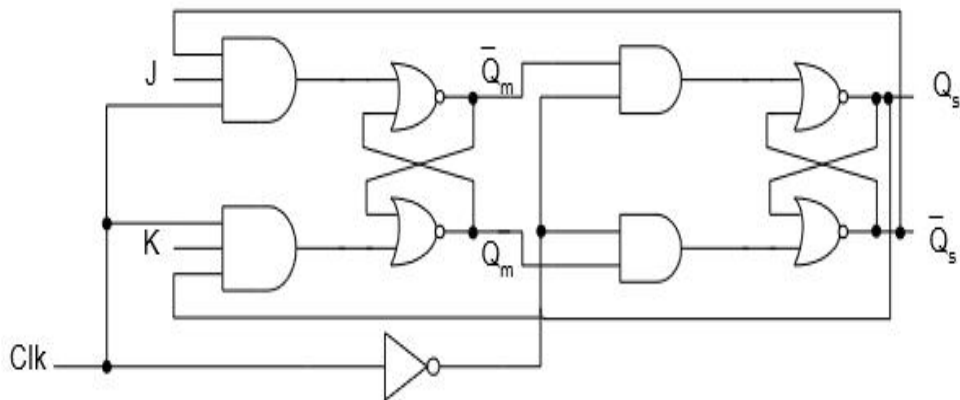
NOTE 3: Load circuits and voltage waveforms are shown in Section 1.



Γενικά γνωρίζουμε ότι οι μανδαλωτές είναι κυκλώματα που χρησιμοποιούνται σαν στοιχεία μνήμης, όταν οι απαιτήσεις για μειωμένο υλικό επιβάλλονται, η λειτουργία τους γίνεται σε μισό χρόνο (περίοδο). Όμως δεν μπορούν να χρησιμοποιηθούν σε κυκλώματα με ανάδραση, διότι υπάρχει χρονική αστάθεια όταν κατά την διάρκεια παραμονής του παλμού ρολογιού στο 1, η είσοδος αλλάξει, εξαιτίας της εφαρμογής της τρέχουσας εξόδου του μανδαλωτή στο κύκλωμα ανάδρασης που πάει στην είσοδο του. Λύση στο πρόβλημα φέρει η χρήση δυο (2) όμοιων και σύγχρονων μανδαλωτών σε σειρά, όπου η έξοδοι του πρώτου οδηγούν τις εισόδους του δεύτερου. Συγχρονίζονται οι δυο μανδαλωτές με ρολόγια με ανάστροφες φάσεις, έτσι ώστε να αποθηκεύεται η νέα πληροφορία με διαδοχικό τρόπο. Λέγονται Flip Flop (master - slave).



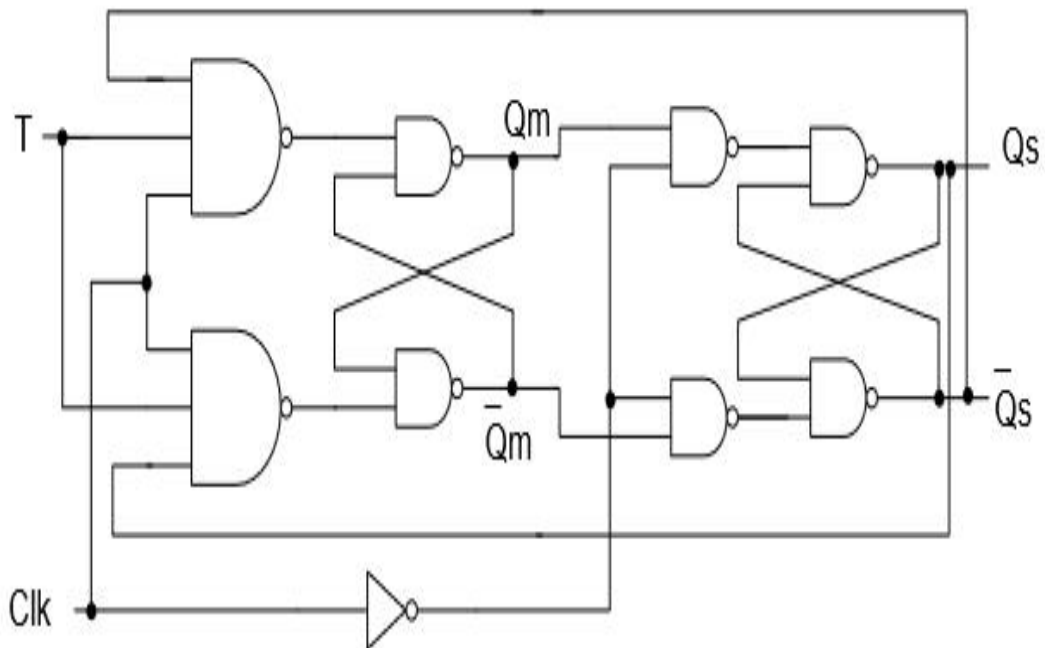
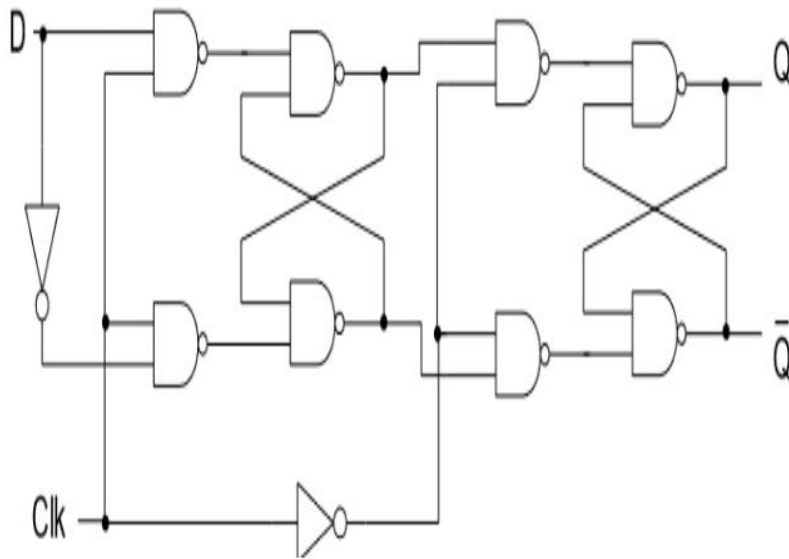
(α)

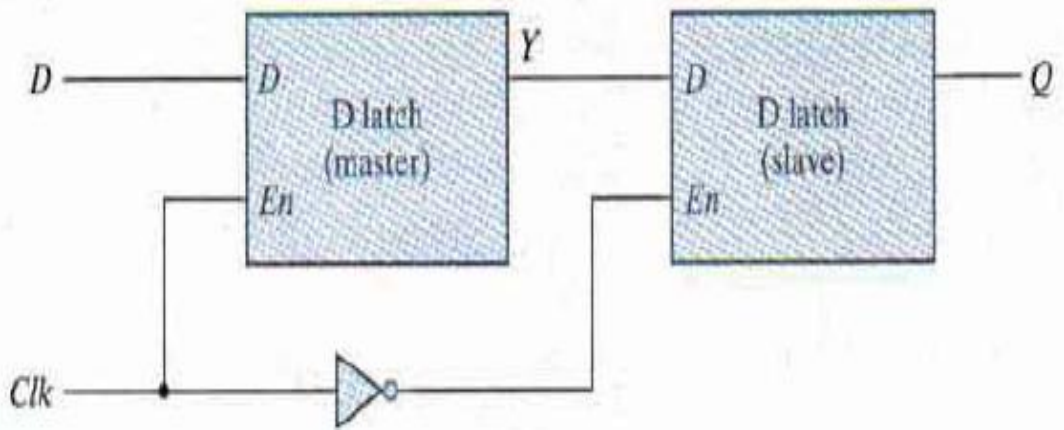


(β)

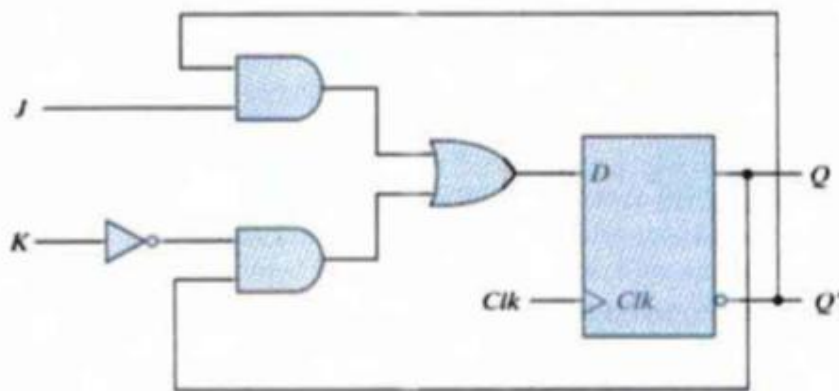
(α) Υλοποίηση βασισμένη σε πύλες NAND και (β) υλοποίηση βασισμένη σε πύλες NOR του JK MS FF.

Εδώ πέρα παρουσιάζονται οι υλοποιήσεις των D και T MS FF με πύλες NAND μόνο (με εξαίρεση τους αντιστροφείς των σημάτων οι οποίοι μπορούν επίσης να αντικατασταθούν από NAND πύλες

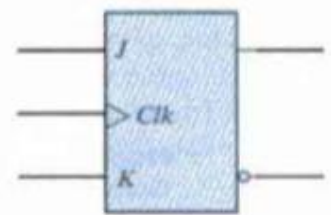




Master-slave D flip-flop

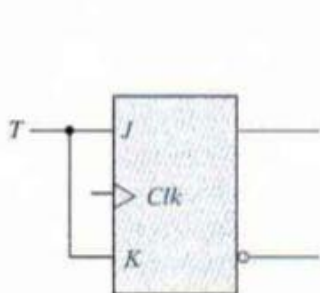


(a) Circuit diagram

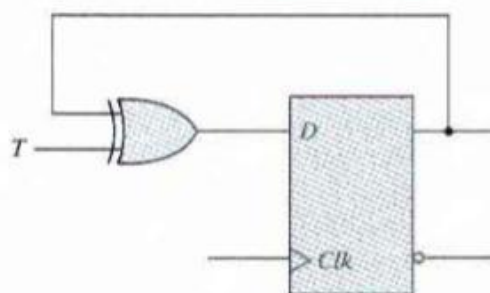


(b) Graphic symbol

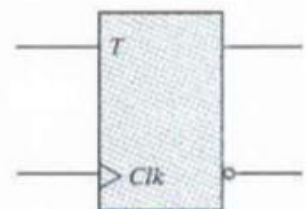
JK flip-flop



(a) From JK flip-flop



(b) From D flip-flop

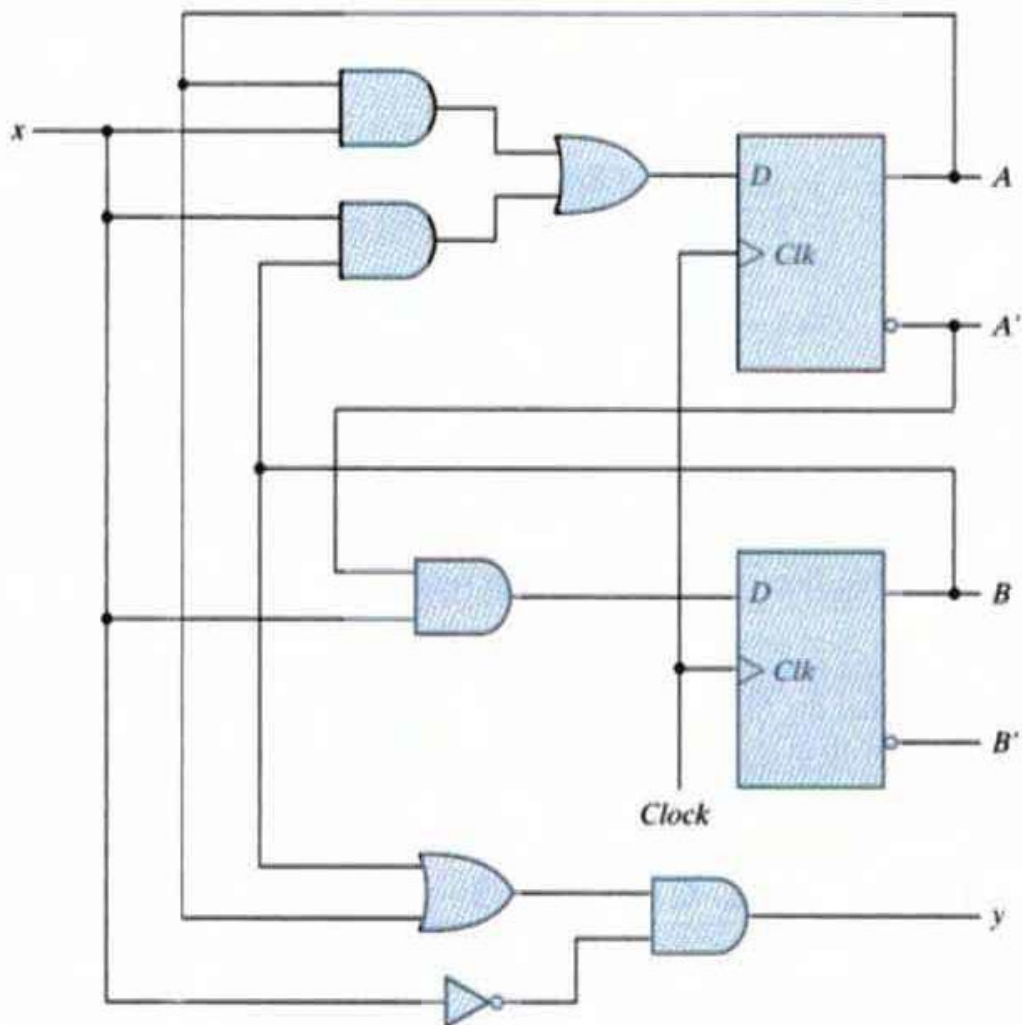


(c) Graphic symbol

T flip-flop

ΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ

Η διαδικασία της ανάλυσης ενός Σύγχρονου ακολουθιακού κυκλώματος γίνεται σε τρία βήματα, πρώτον να έχουμε τις συναρτήσεις εισόδου των Flip Flop μετά καταστρώνουμε τον πίνακα καταστάσεων και μετά σχεδιάζουμε το διάγραμμα καταστάσεων. Για να κάποιο σύγχρονο ακολουθιακό κύκλωμα θα πρέπει και τα δυο (2) Flip Flop να τροφοδοτούνται με τους ίδιους ωρολογιακούς παλμούς



Example of sequential circuit

Γράφουμε τις λογικές συναρτήσεις των εισόδων των FFs

$$D_A = A * x + B * x, \quad D_B = A' * x, \quad y = (B + A) * x'$$

Μετά καταστρώνουμε τον πίνακα καταστάσεων που περιέχει την παρούσα και την επόμενη κατάσταση του ακολουθιακού κυκλώματος. Άρα γνωρίζοντας την

κατάσταση του κυκλώματος την παρούσα χρονική στιγμή μετά πάμε στην επόμενη κατάσταση στην επόμενη χρονική στιγμή.

Table
State Table for the Circuit

Present State		Input	Next State		Output
A	B	x	A	B	y
0	0	0	0	0	0
0	0	1	0	1	0
0	1	0	0	0	1
0	1	1	1	1	0
1	0	0	0	0	1
1	0	1	1	0	0
1	1	0	0	0	1
1	1	1	1	0	0

ΠΑΡΟΥΣΑ ΚΑΤΑΣΤΑΣΗ (PRESENT STATE) = ΚΑΤΑΓΡΑΦΟΝΤΑΙ ΟΛΟΙ ΟΙ ΔΥΝΑΤΟΙ ΣΥΝΔΥΑΣΜΟΙ.

ΕΙΣΟΔΟΙ (INPUTS) = ΠΡΟΚΥΠΤΟΥΝ ΑΠΟ ΤΙΣ ΣΥΝΑΡΤΗΣΕΙΣ ΕΙΣΟΔΟΥ ΚΑΙ ΤΙΣ ΤΙΜΕΣ ΤΗΣ ΠΑΡΟΥΣΑΣ ΚΑΤΑΣΤΑΣΗΣ.

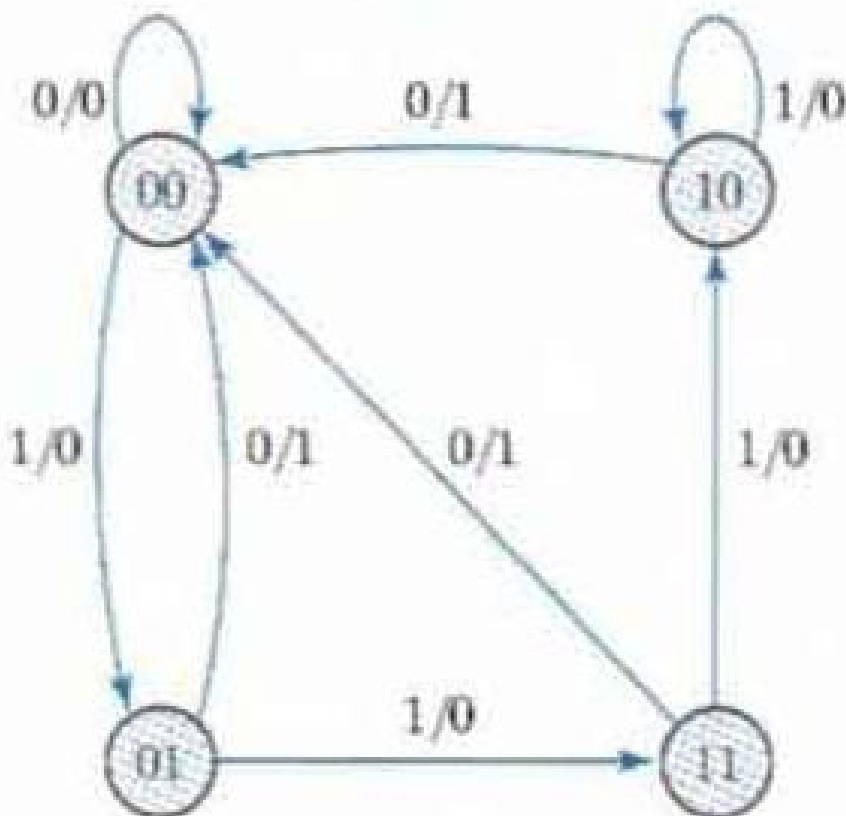
ΕΠΟΜΕΝΗ ΚΑΤΑΣΤΑΣΗ (NEXT STATE) = ΠΡΟΚΥΠΤΟΥΝ ΑΠΟ ΤΙΣ ΤΙΜΕΣ ΤΩΝ ΕΙΣΟΔΩΝ (x) ΚΑΙ ΤΙΣ ΤΙΜΕΣ ΤΗΣ ΠΑΡΟΥΣΑΣ ΚΑΤΑΣΤΑΣΗΣ ΚΑΘΕΝΟΣ FF.

ΔΕΥΤΕΡΟΣ ΤΡΟΠΟΣ ΓΙΑ ΤΟΝ ΠΙΝΑΚΑ ΚΑΤΑΣΤΑΣΕΩΝ

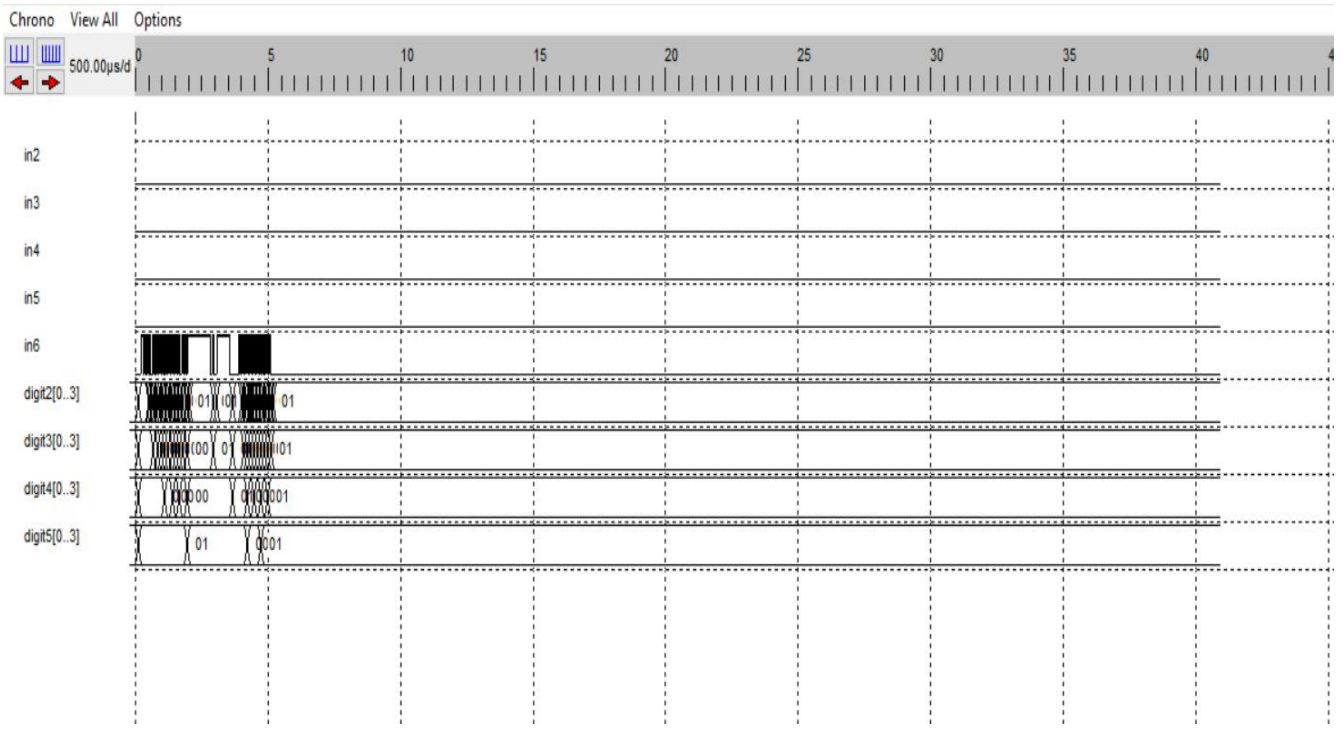
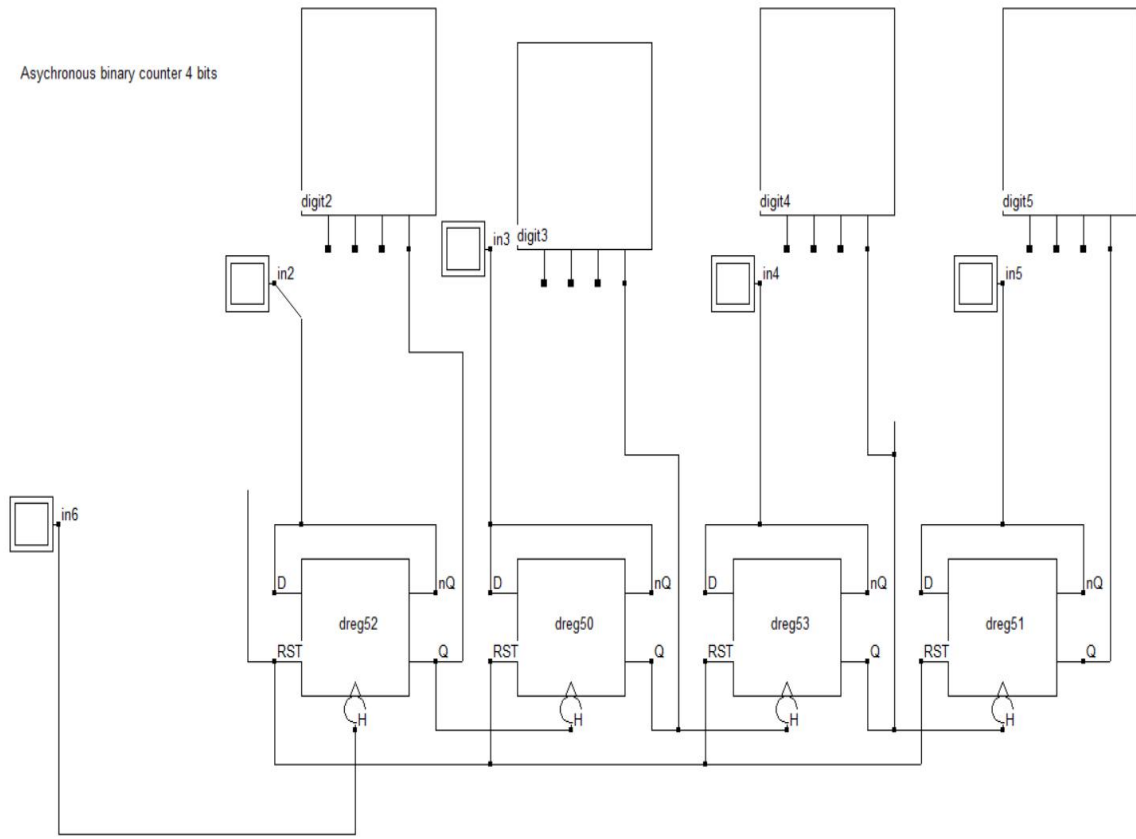
Table
Second Form of the State Table

Present State		Next State				Output	
		$x = 0$		$x = 1$		$x = 0$	$x = 1$
A	B	A	B	A	B	y	y
0	0	0	0	0	1	0	0
0	1	0	0	1	1	1	0
1	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0

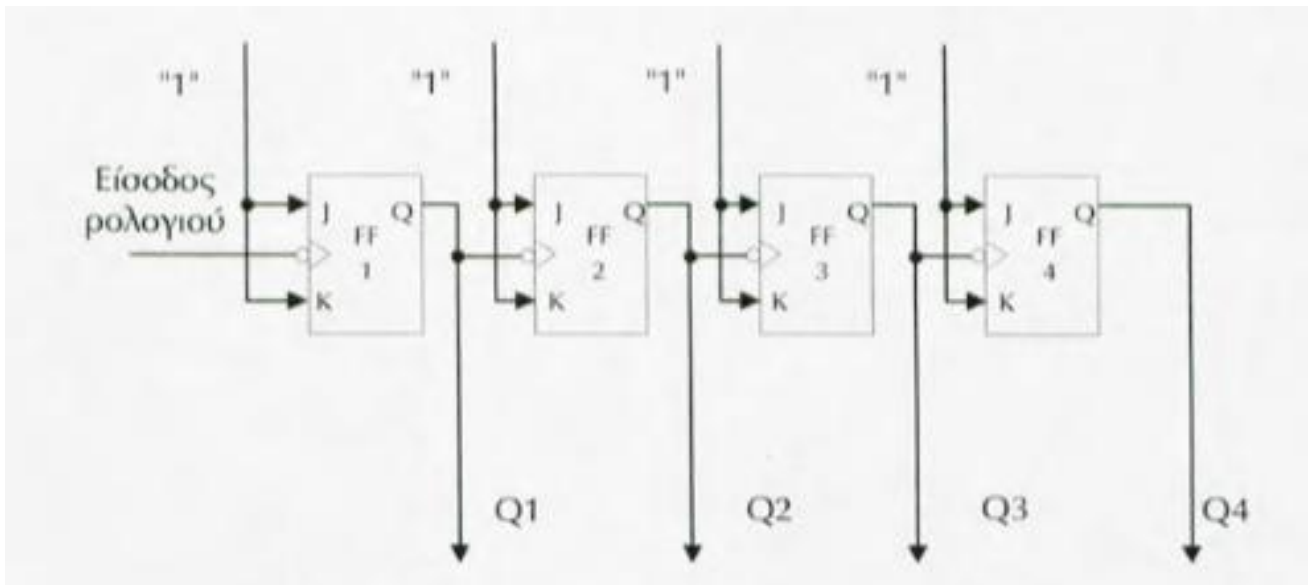
Μετά σχεδιάζουμε το διάγραμμα καταστάσεων. Ουσιαστικά είναι η γραφική απεικόνιση του πίνακα καταστάσεων. Κάθε κατάσταση απεικονίζεται με κύκλο και κάθε μετάβαση με βέλος.



Ασύγχρονος Διαδικός μετρητής 4 bits



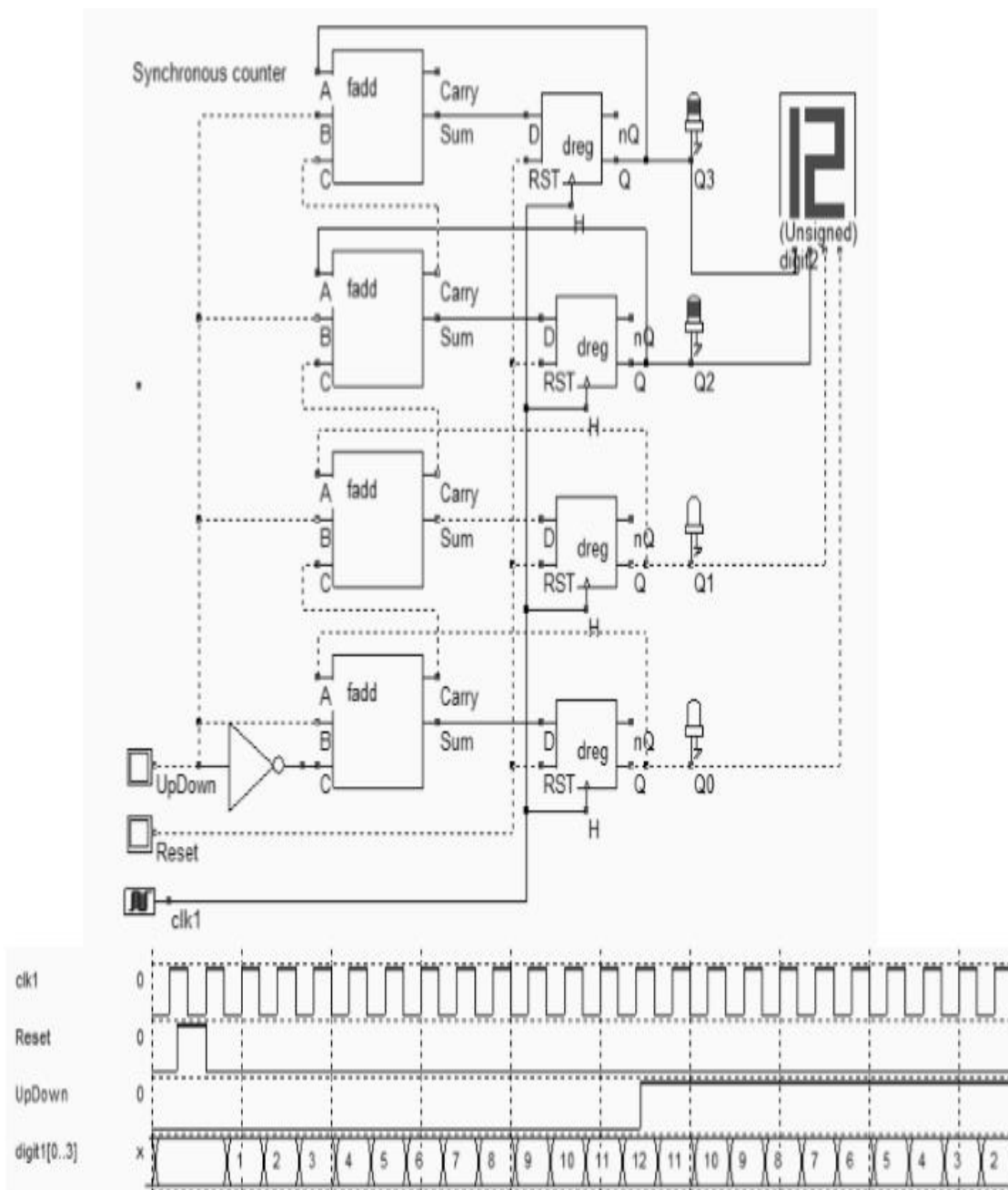
Ασύγχρονος δυαδικός απαριθμητής 4 bits



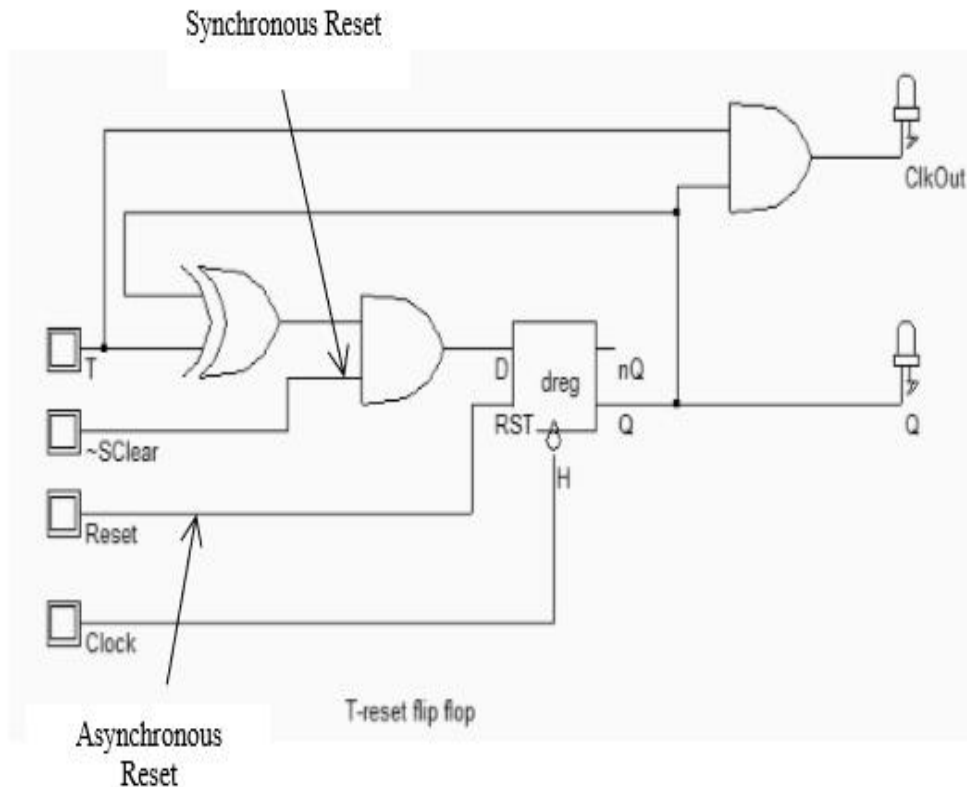
Παλμός ρολογιού	Έξοδοι flip-flops			
	Q4	Q3	Q2	Q1
Αρχική κατάσταση	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0

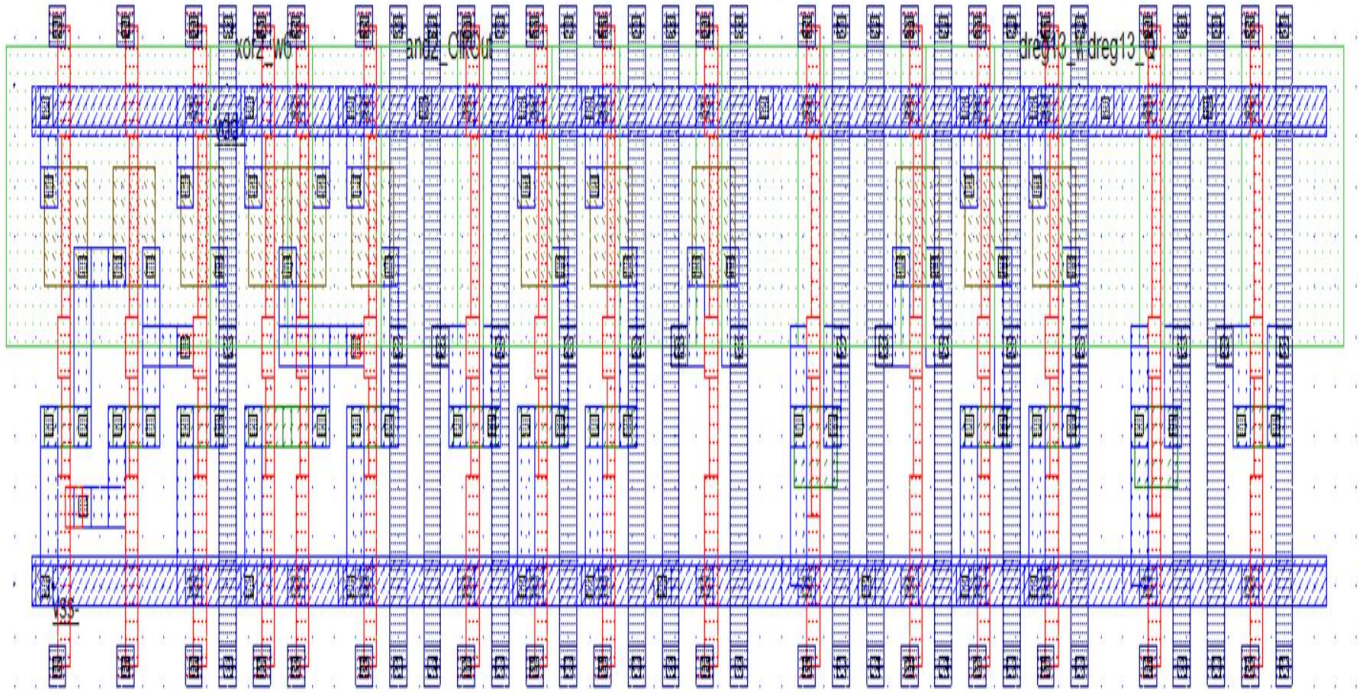
Σύγχρονος Μετρητής (Απαριθμητής)

Ο Μετρητής αυτός χρησιμοποιεί έναν αθροιστή και έναν καταχωρητή D για κάθε κατάσταση και κάνει πάνω - κάτω μέτρημα . Η απαρίθμηση αυξάνει την έξοδο όταν το πάνω - κάτω μέτρημα είναι 0. Διαφορετικά η έξοδος μειώνεται.



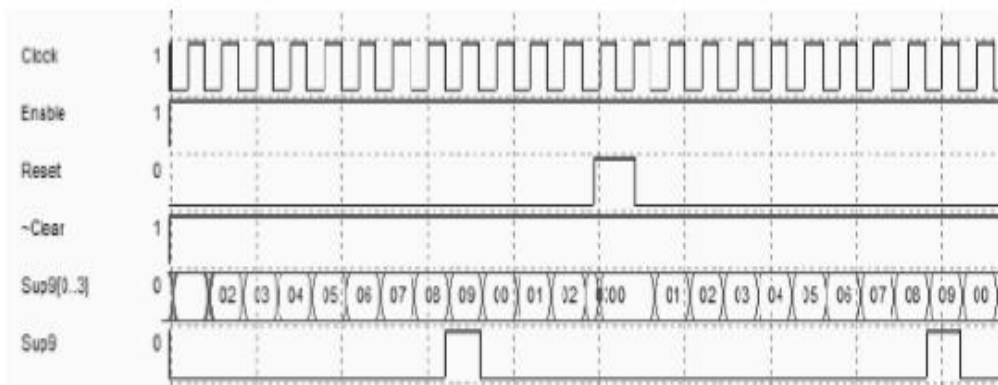
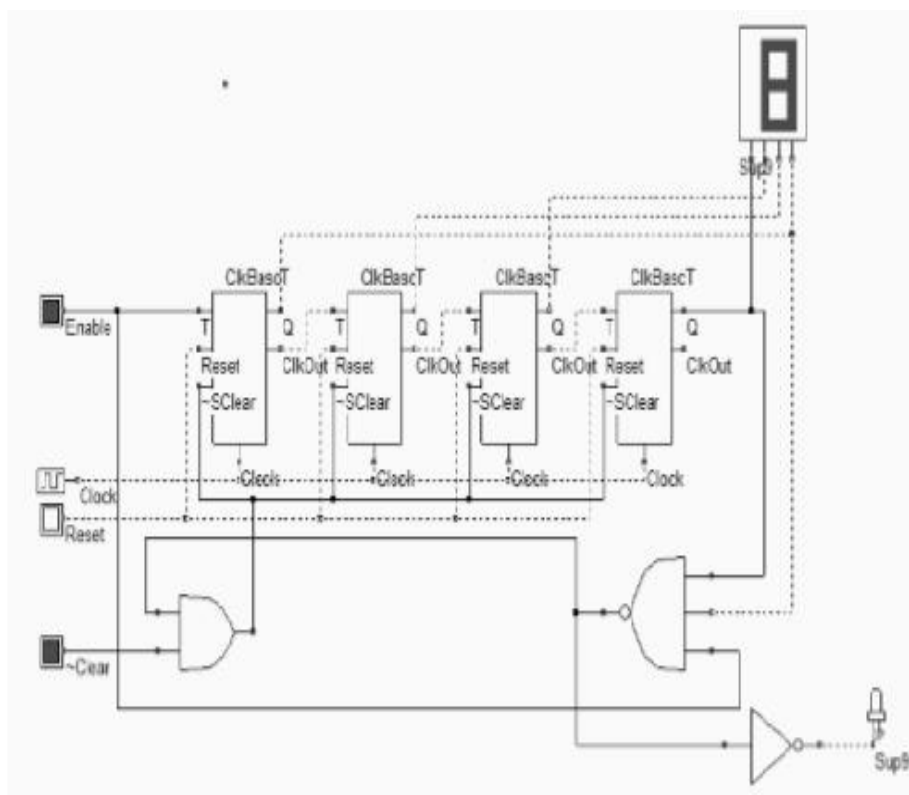
Το βασικό στοιχείο για τους σύγχρονους απαριθμητές είναι αυτό που φαίνεται παρακάτω. Ονομάζεται T latch και έχει δυο τρόπους να κάνει reset την έξοδο Q. Το σύγχρονο reset που είναι ενεργό στην αρνητική ακμή του ρολογιού, ενώ το ασύγχρονο reset βγάζει 0 στο Q ανεξάρτητα απο τον παλμό του ρολογιού. Το σύγχρονο reset χρησιμοποιείται πάρα πολύ , ενώ το ασύγχρονο reset διατηρείται/κρατείται για να αρχικοποιήσει όλο το υλικό (hardware) / διάταξη και να ξεκινήσει με μια προκαθορισμένη κατάσταση. Εδώ χρησιμοποιήται μια XOR πύλη σαν ημιαθροιστής , πύλη AND για το κρατούμενο του ημιαθροιστή , καταχωρητής τύπου D Flip Flop . ClkBascT.





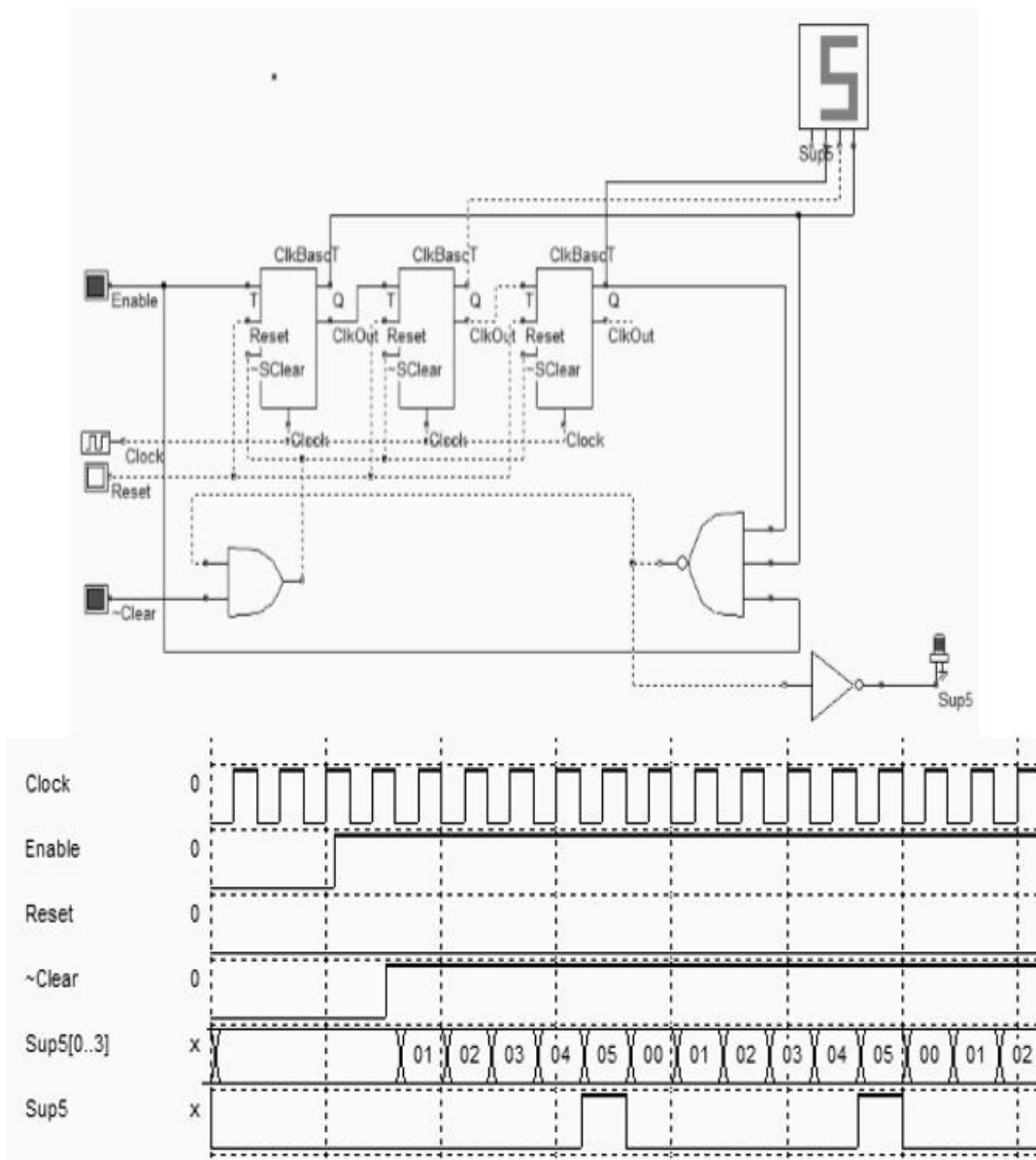
Άλλο κύκλωμα σύγχρονου μετρητή είναι αυτό παρακάτω

Χρησιμοποιεί 4 Flip Flop έτσι συνδεδεμένα έτσι ώστε να έχουμε έναν σύγχρονο μετρητή που θα μετράει μέχρι το 15 (. Για να γίνεται reset στους καταχωρητές όταν παραμένει ο αριθμός 9 χρησιμοποιούμε πύλες NAND που συνδέονται στο σύγχρονο clear των latches. Το κύκλωμα ξεκινάει το μέτρημα όταν το enable είναι high (active) και το ασύγχρονο reset είναι inactive. Επίσης το σύγχρονο clear είναι high. Τότε το κύκλωμα μετράει από το 0 έως το 9 και μετά reset. Clkdiv_10

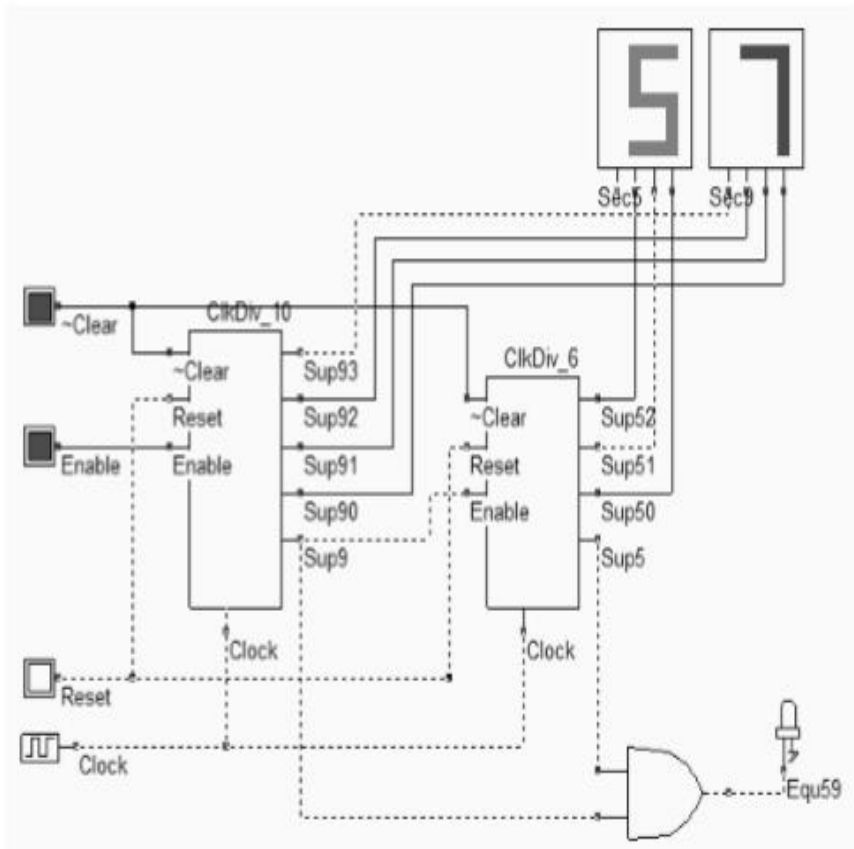


Άλλος Μετρητής

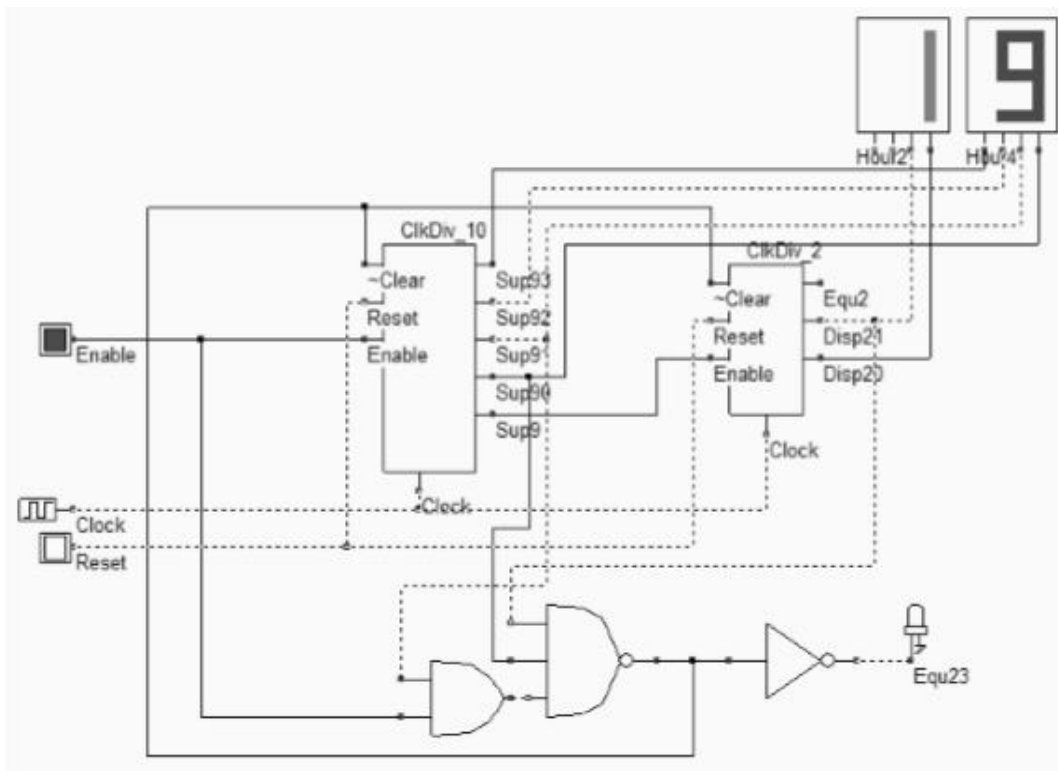
Αυτός μετράει από το 0 έως το 5 (Clkdiv_6). Έχει 3 Flip Flops. Αν συνδυάσουμε τους δυο αυτούς απαριθμητές φτιάχνουμε έναν απαριθμητή που θα μετράει τα λεπτά από 0 - 59



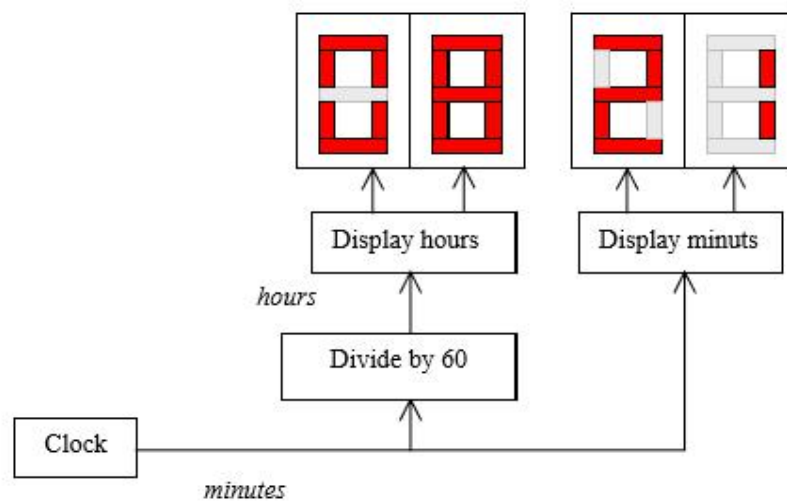
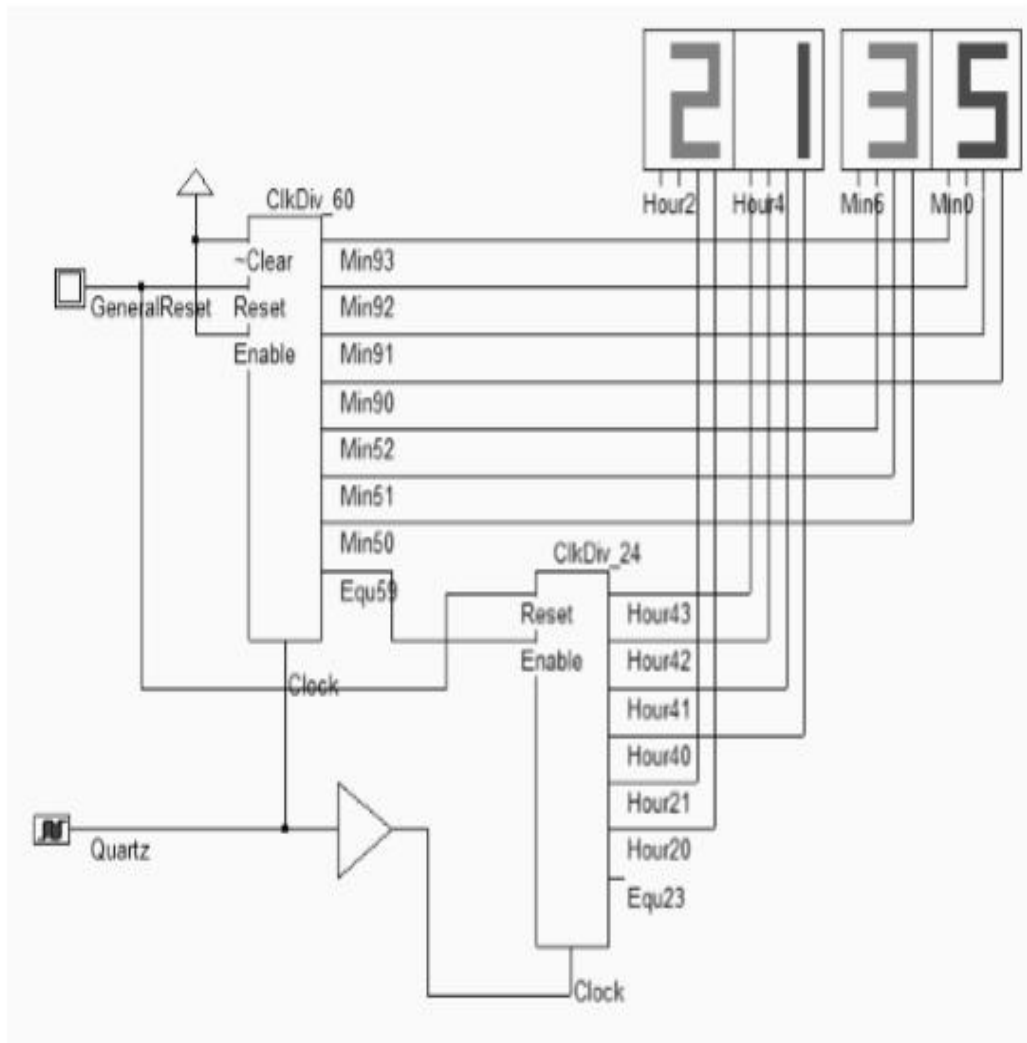
Απαριθμητής που μετράει τα λεπτά



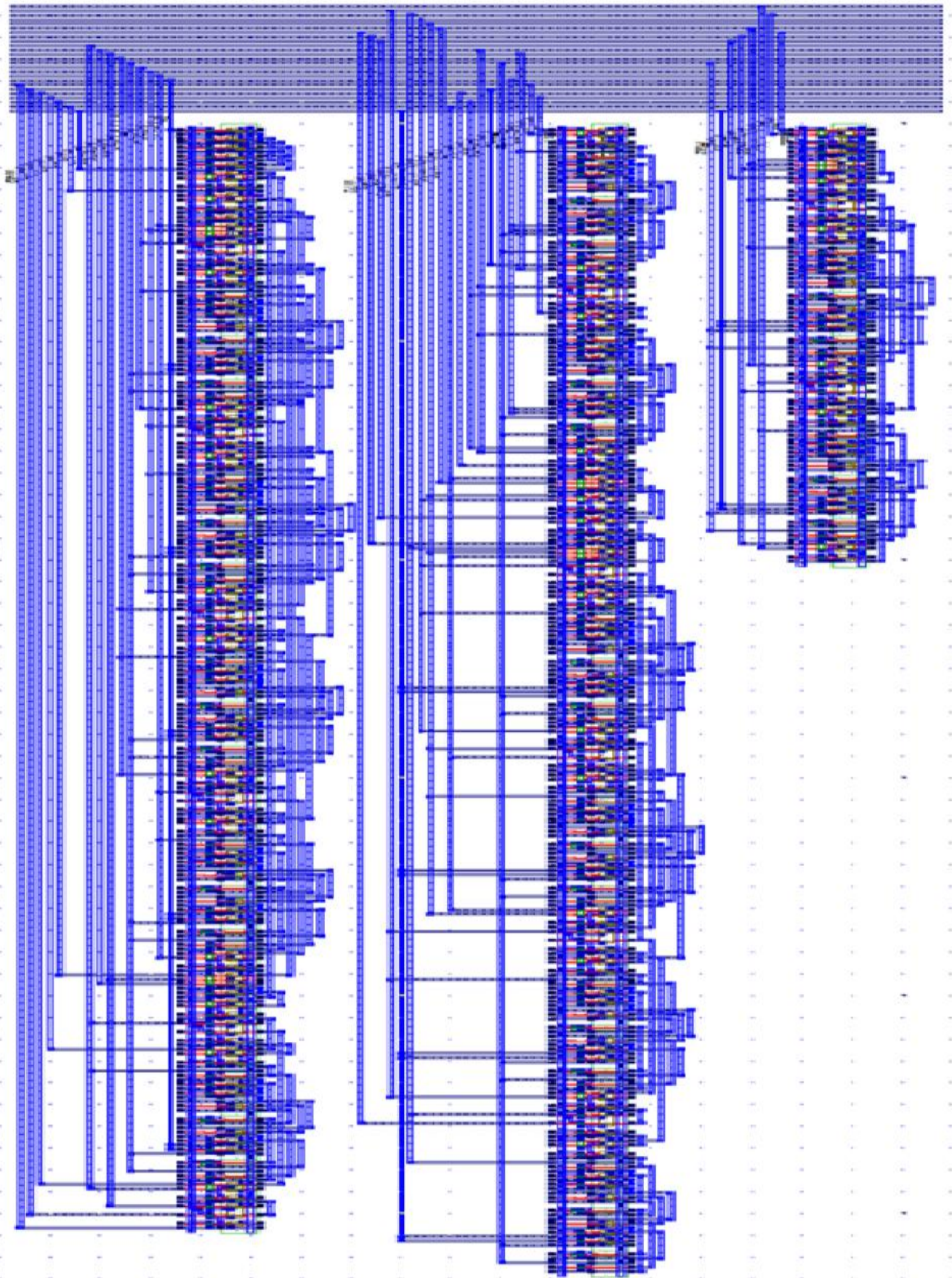
Απαριθμητής που μετράει την ώρα

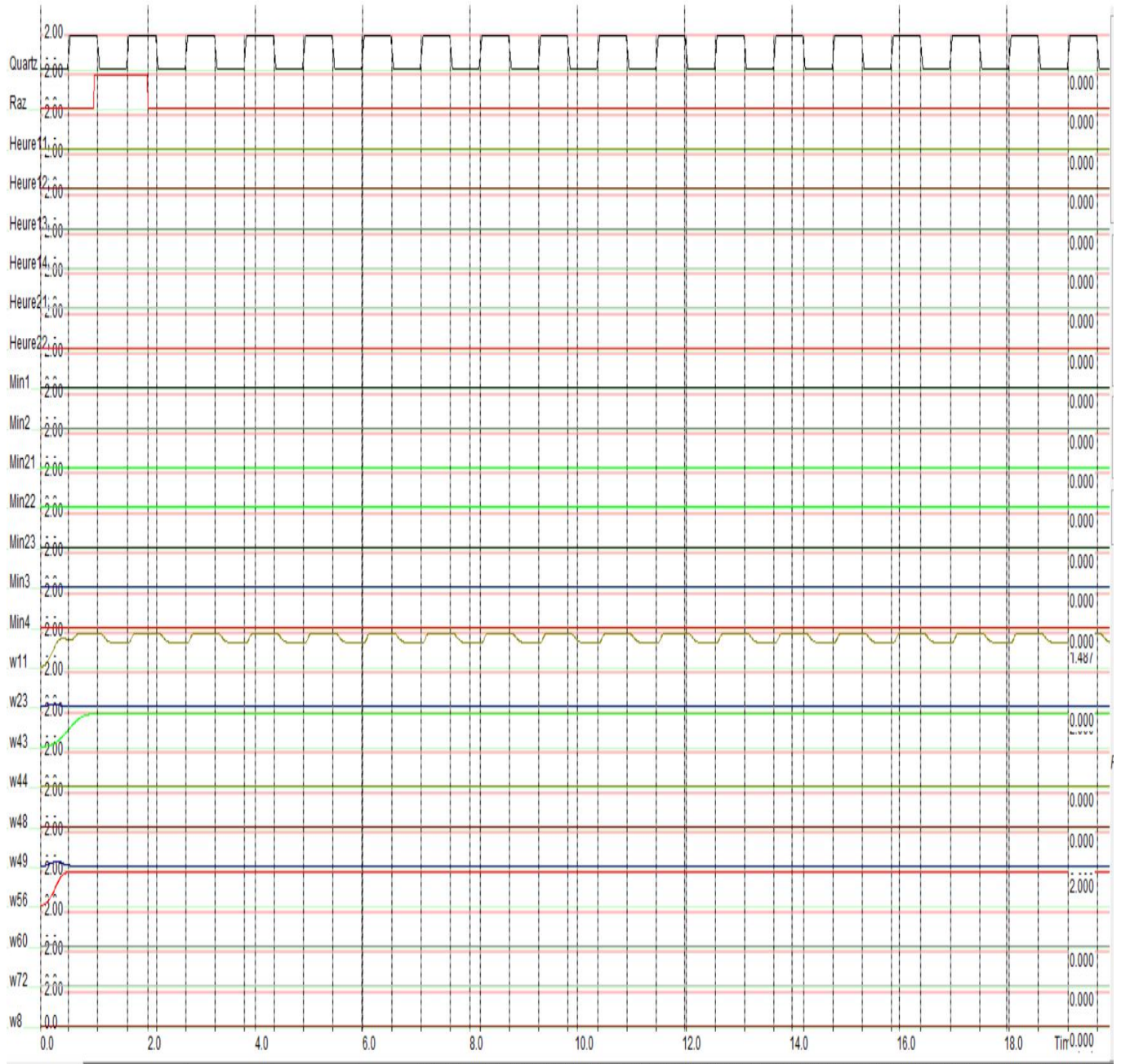


Πλήρες κύκλωμα 24 ώρου απαριθμητή



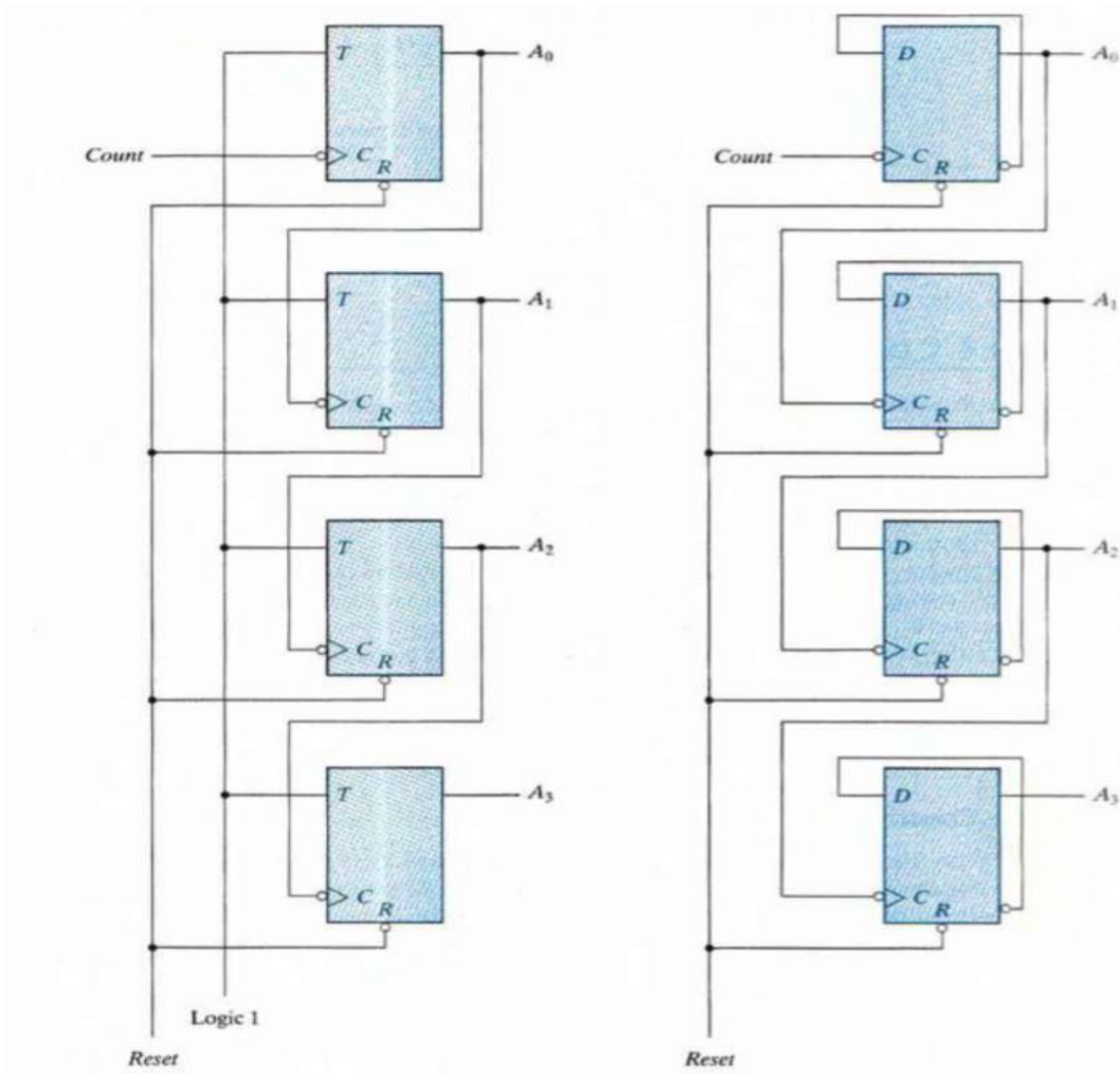
Clock24H00





4 bit δυαδικός απαριθμητής ριπής

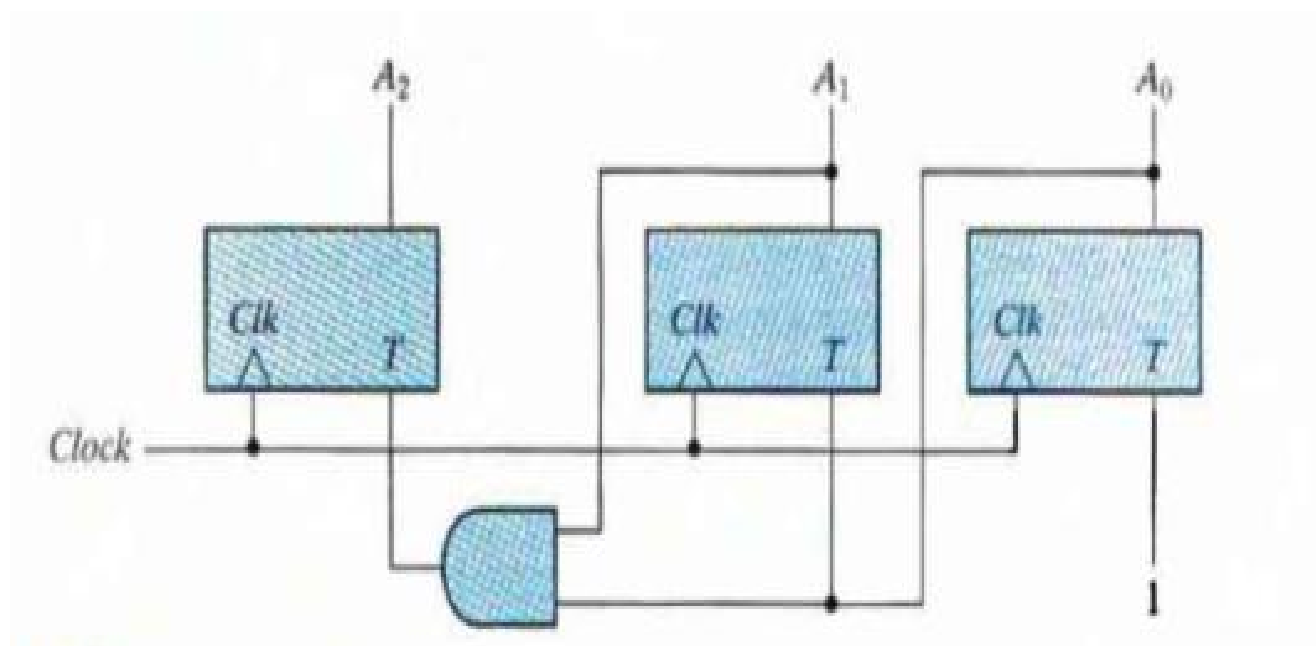
Με T flip - flop και με D flip - flop



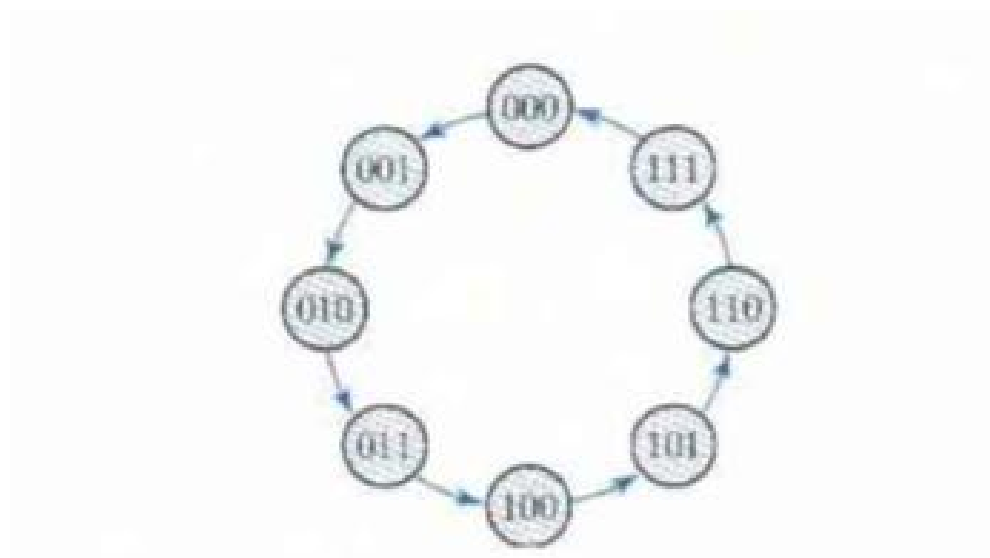
Binary Count Sequence

A ₃	A ₂	A ₁	A ₀
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0

Σύγχρονος Δυαδικός Μετρητής



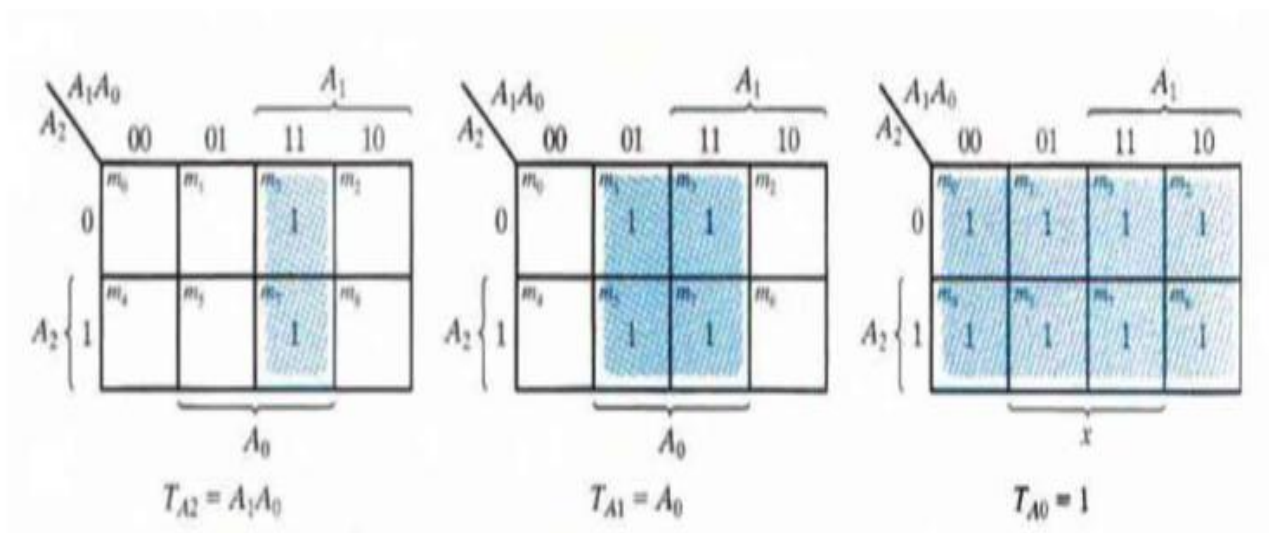
Διάγραμμα καταστάσεων



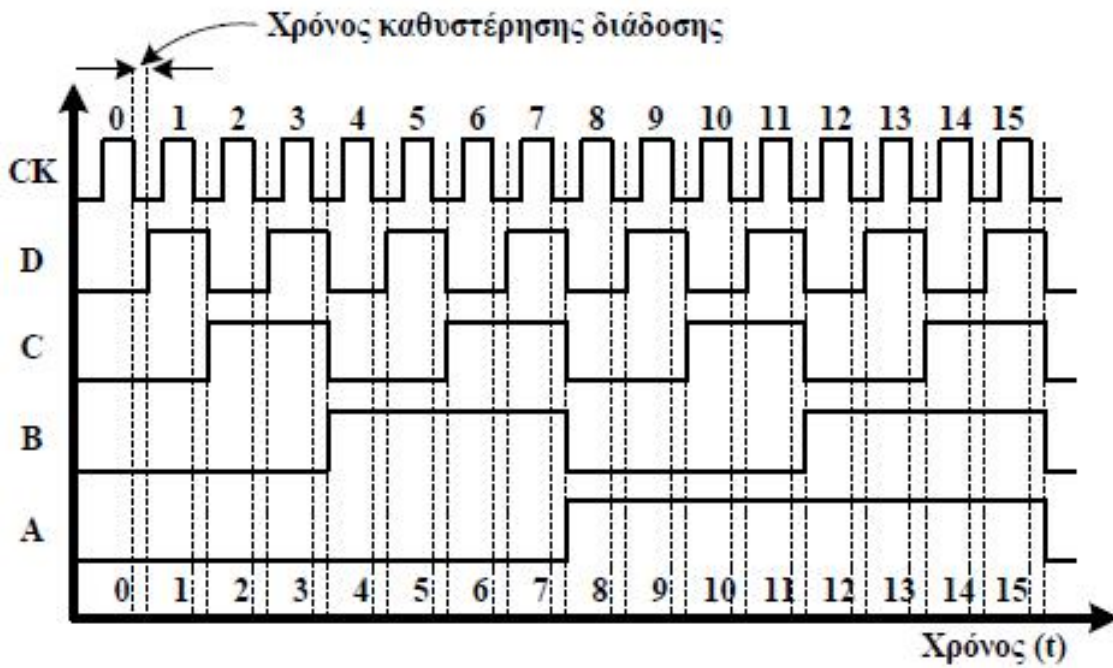
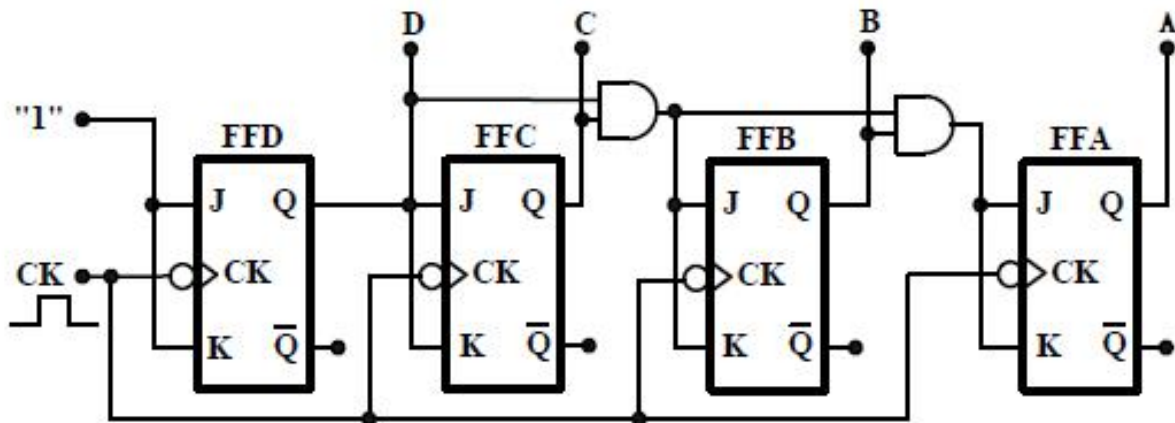
Πίνακας αληθείας

Present State			Next State			Flip-Flop Inputs		
A_2	A_1	A_0	A_2	A_1	A_0	T_{A2}	T_{A1}	T_{A0}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	0	0	1	1
0	1	0	0	1	1	0	0	1
0	1	1	1	0	0	1	1	1
1	0	0	1	0	1	0	0	1
1	0	1	1	1	0	0	1	1
1	1	0	1	1	1	0	0	1
1	1	1	0	0	0	1	1	1

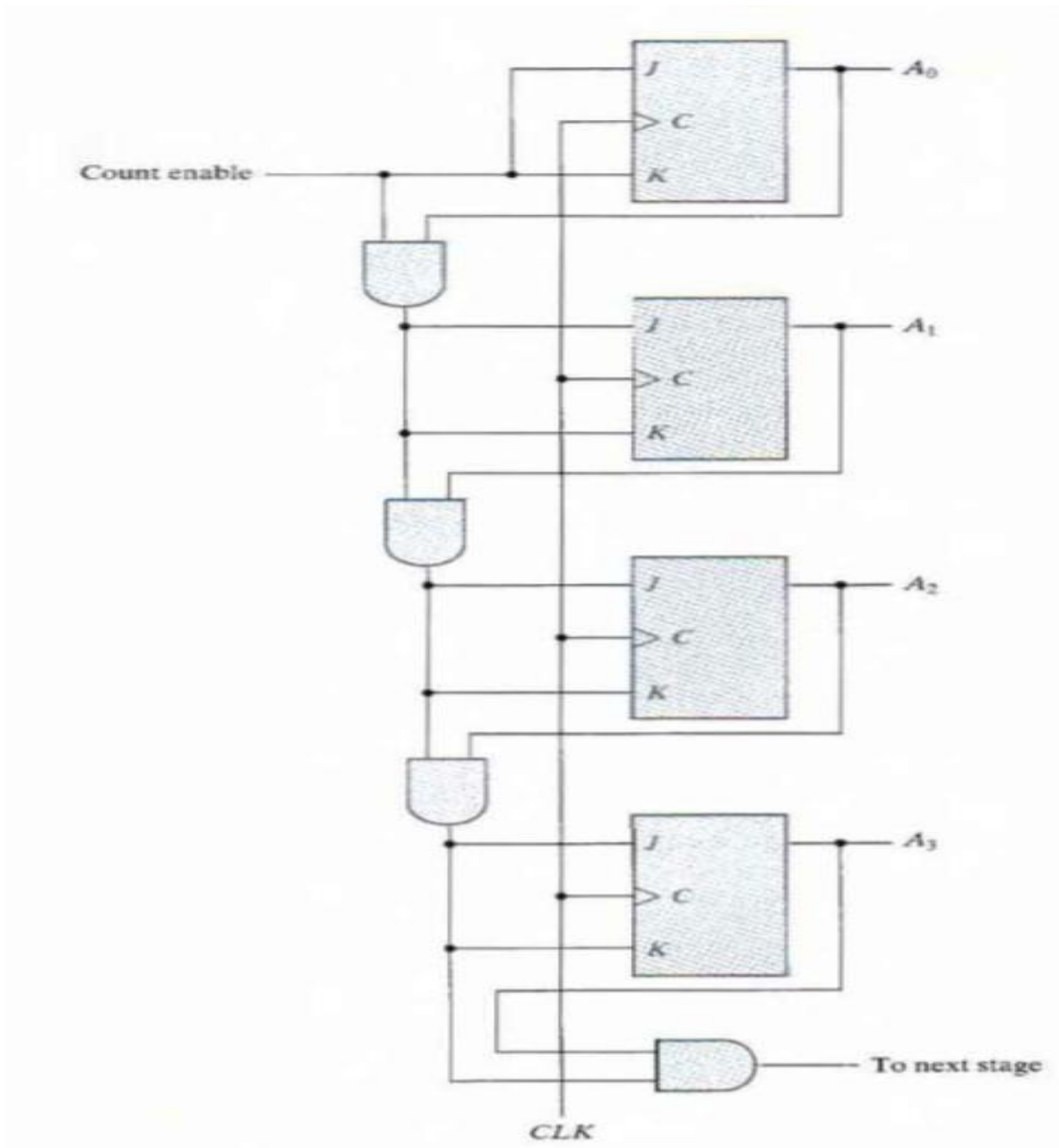
Χάρτες



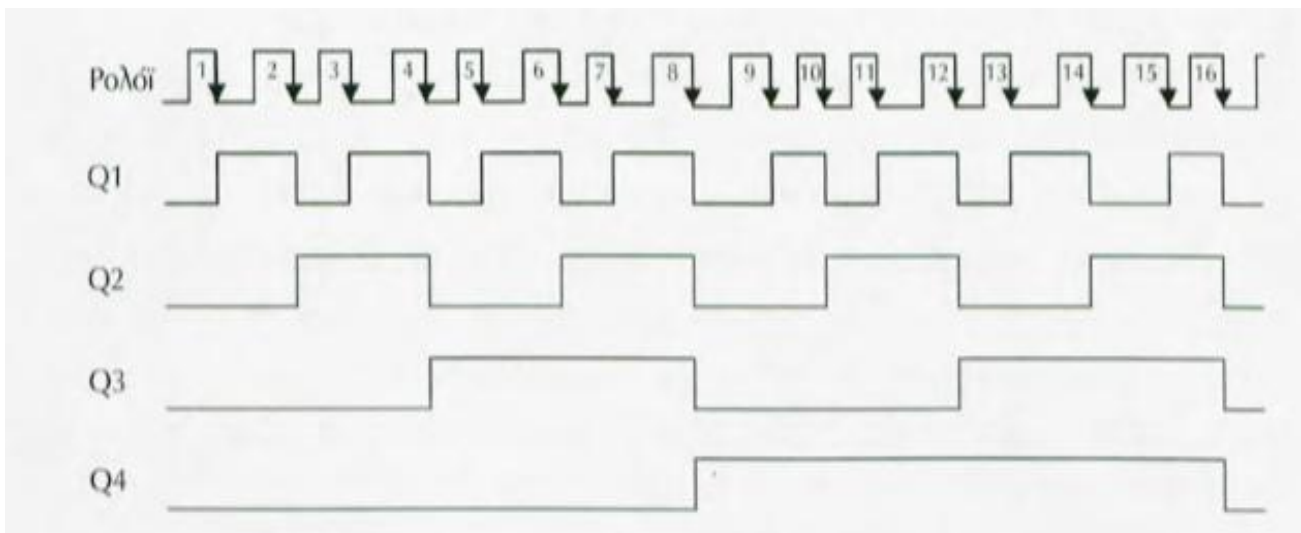
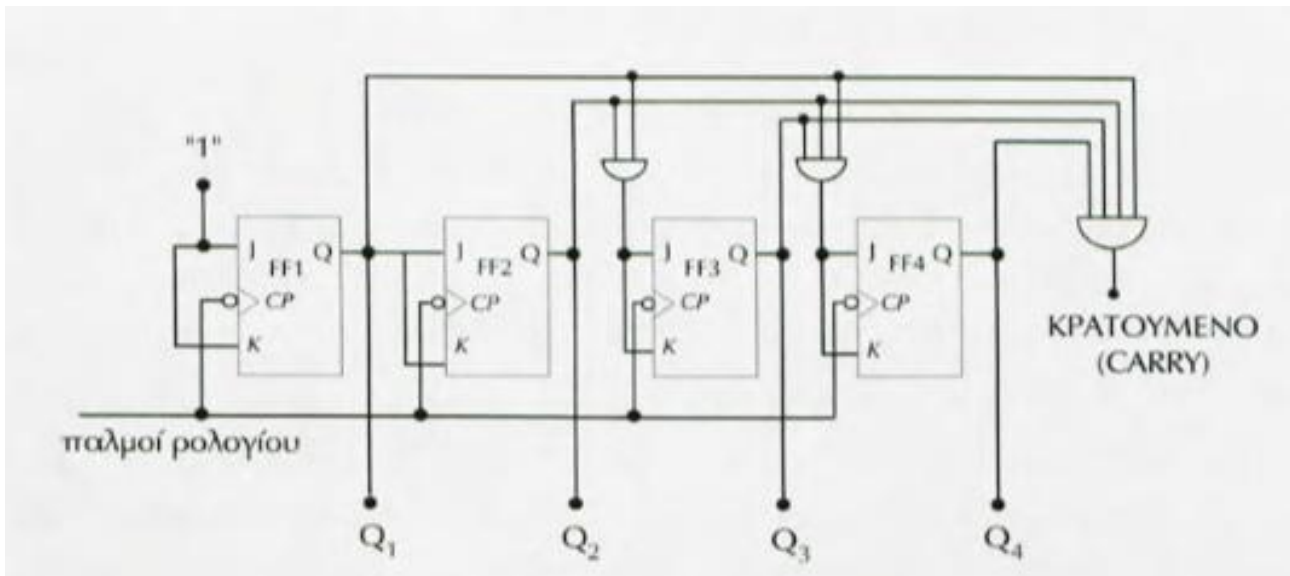
Άλλος σύγχρονος δυαδικός μετρητής



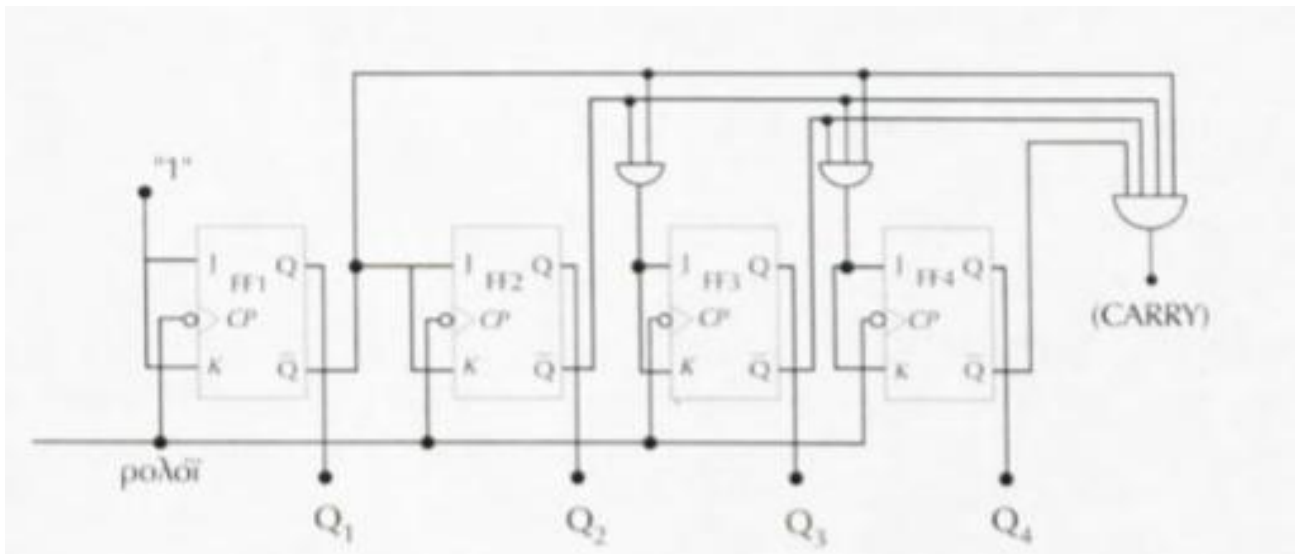
4 bit binary counter



Σύγχρονος δυαδικός απαριθμητής 4 BITS



Σύγχρονος δυαδικός απαριθμητής 4 bits με προς τα κάτω απαρίθμηση

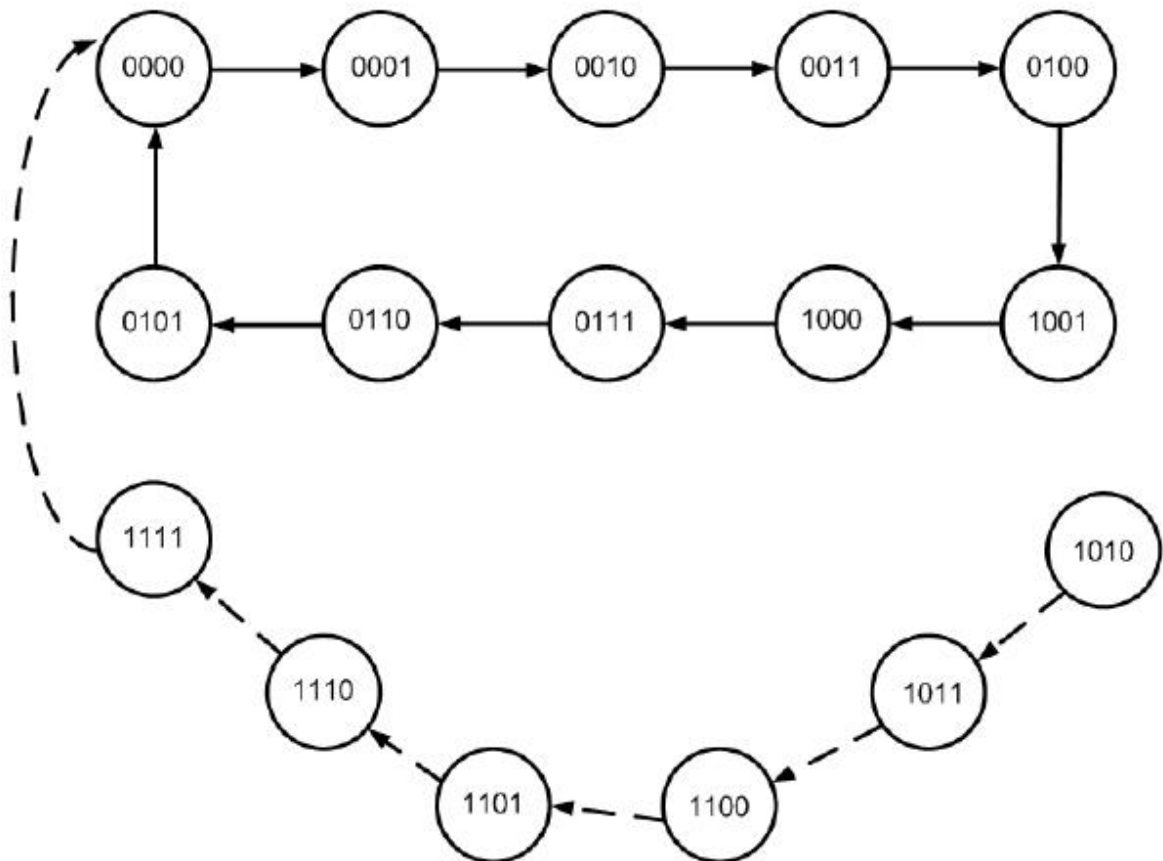


Παλμός ρολογιού	Q4	Q3	Q2	Q1
Αρχική κατάσταση	1	1	1	1
1	1	1	1	0
2	1	1	0	1
3	1	1	0	0
4	1	0	1	1
5	1	0	1	0
6	1	0	0	1
7	1	0	0	0
8	0	1	1	1
9	0	1	1	0
10	0	1	0	1
11	0	1	0	0
12	0	0	1	1
13	0	0	1	0
14	0	0	0	1
15	0	0	0	0
16	1	1	1	1

BCD Μετρητής

Μετρά στο δυαδικό σύστημα σε 8421 – BCD κώδικα από 0 – 9 και γυρίζει στο 0. Χρειαζόμαστε 4 flip – flops μιας και οι καταστάσεις που θα μετρά είναι 10. Μετά οι άλλες 6 μας είναι αδιάφορες. Επίσης επειδή το κύκλωμα έχει και αδιάφορες καταστάσεις να μην κολλάει σε αυτές αλλά να συνεχίζει στις επιτρεπόμενες όπου και θα μεταβαίνει χωρίς να πέφτει στις αδιάφορες καταστάσεις.

Διάγραμμα καταστάσεων



Με διακεκομμένες γραμμές είναι οι αδιάφορες καταστάσεις

Present State				Next State				Flip-flops			
A	B	C	D	A ⁺	B ⁺	C ⁺	D ⁺	T _A	T _B	T _C	T _D
0	0	0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	0	1	0	0	0	1	1
0	0	1	0	0	0	1	1	0	0	0	1
0	0	1	1	0	1	0	0	0	1	1	1
0	1	0	0	0	1	0	1	0	0	0	1
0	1	0	1	0	1	1	0	0	0	1	1
0	1	1	0	0	1	1	1	0	0	0	1
0	1	1	1	1	0	0	0	1	1	1	1
1	0	0	0	1	0	0	1	0	0	0	1
1	0	0	1	0	0	0	0	1	0	0	1
1	0	1	0	X	X	X	X	X	X	X	X
1	0	1	1	X	X	X	X	X	X	X	X
1	1	0	0	X	X	X	X	X	X	X	X
1	1	0	1	X	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X

CD \ AB	00	01	11	10
00	1	1	1	1
01	1	1	1	1
11	X	X	X	X
10	1	1	X	X

$$T_D = 1$$

CD \ AB	00	01	11	10
00	0	1	1	0
01	0	1	1	0
11	X	X	X	X
10	0	0	X	X

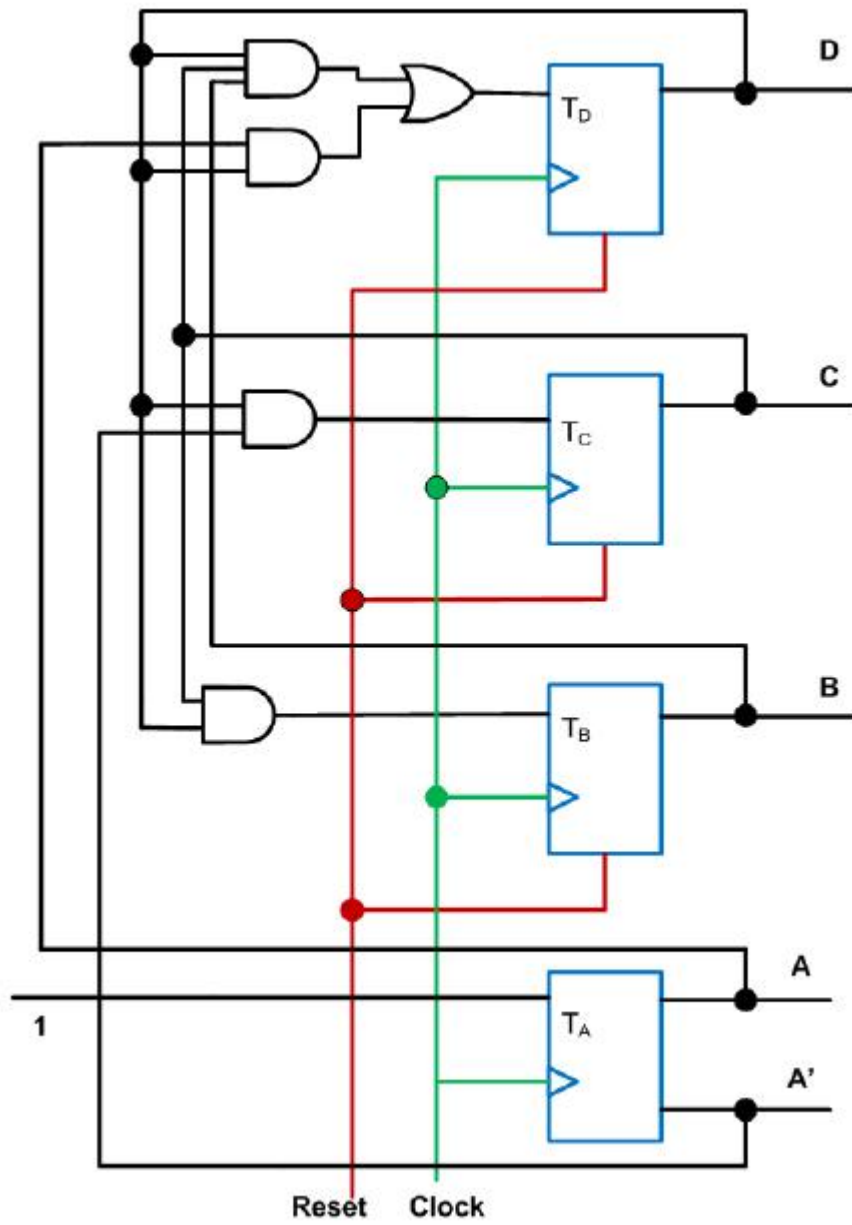
$$T_C = A'D$$

CD \ AB	00	01	11	10
00	0	0	1	0
01	0	0	1	0
11	X	X	X	X
10	0	0	X	X

$$T_B = CD$$

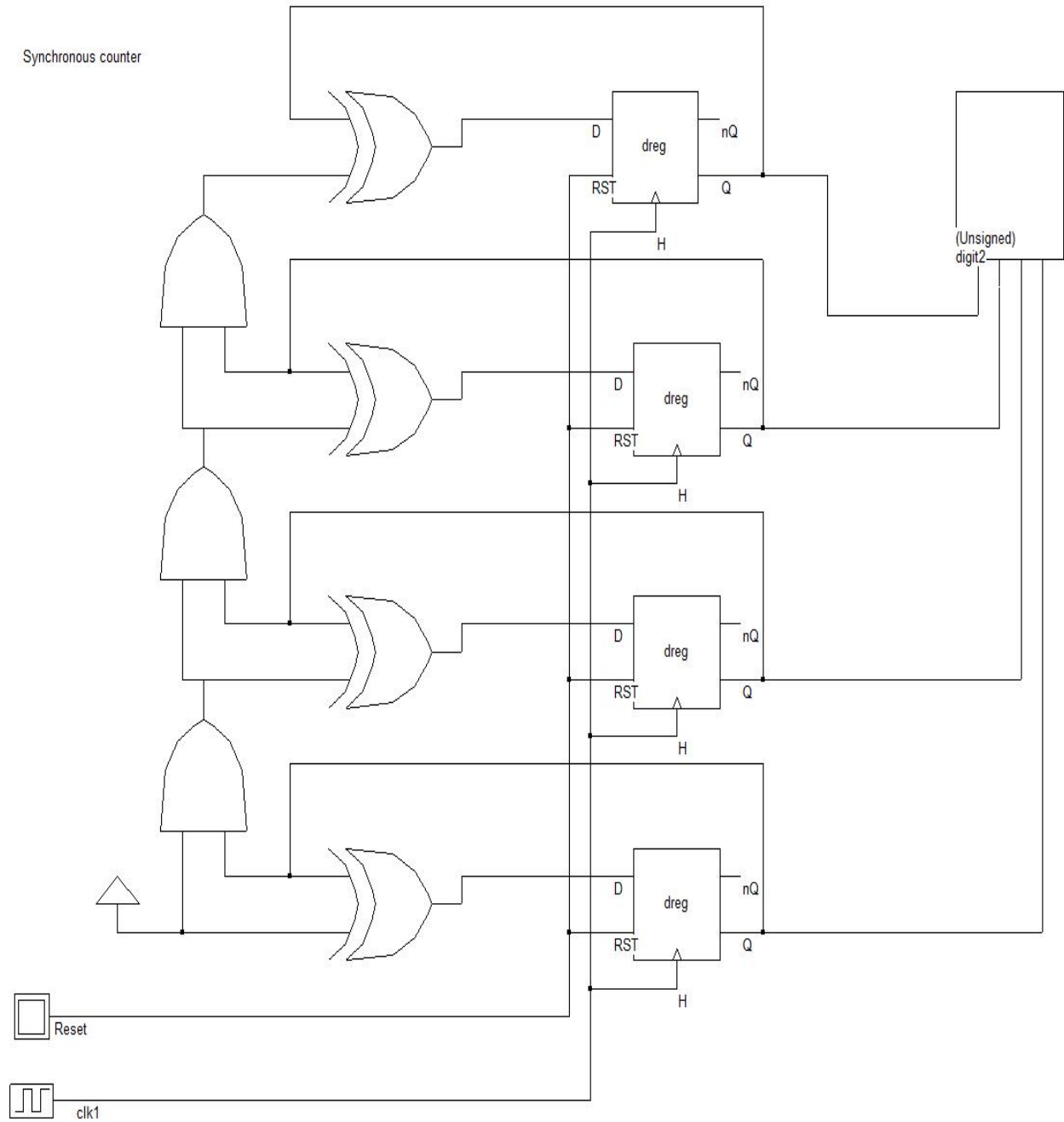
CD \ AB	00	01	11	10
00	0	0	0	0
01	0	0	1	0
11	X	X	X	X
10	0	1	X	X

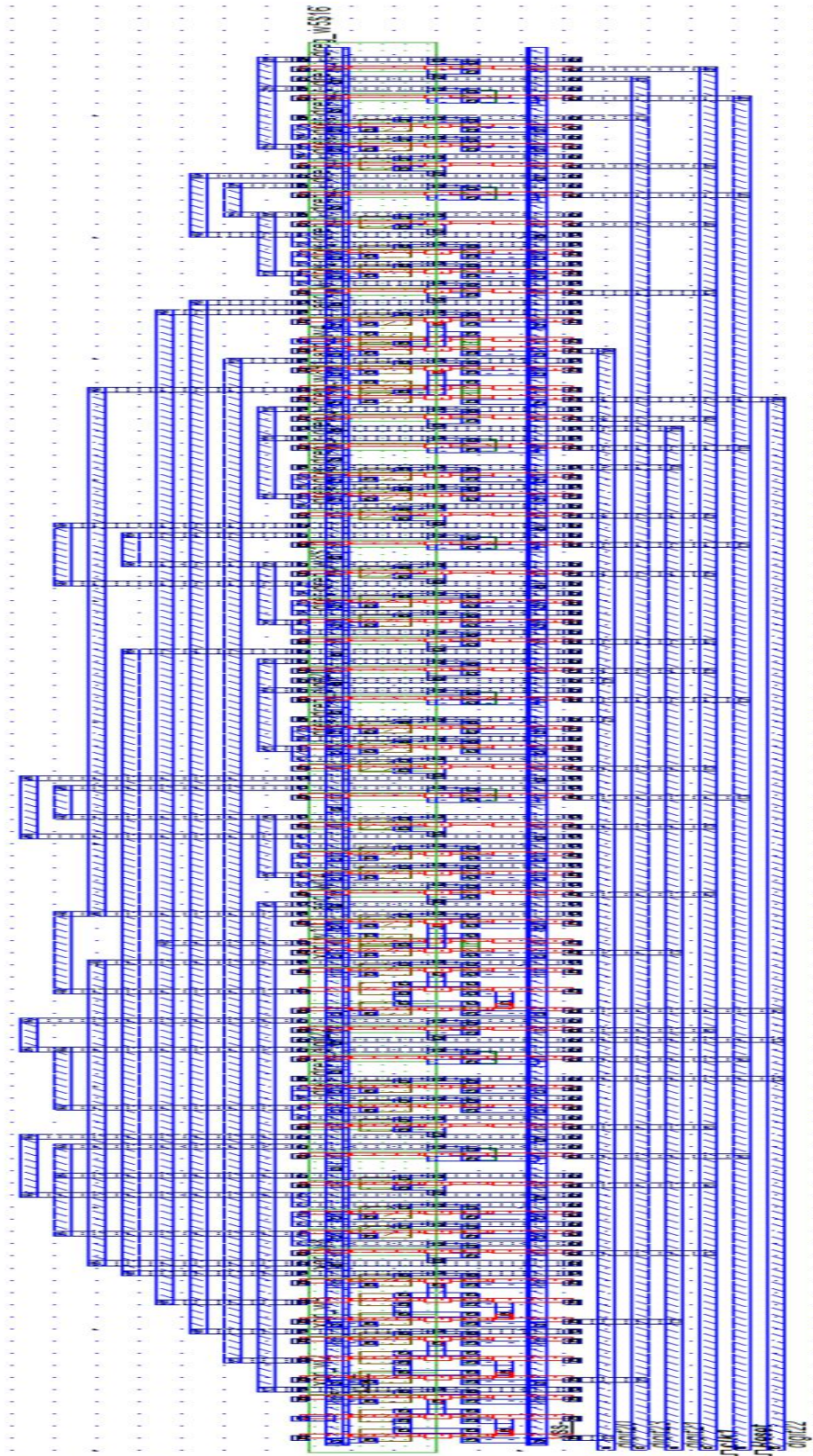
$$T_A = AD + BCD$$



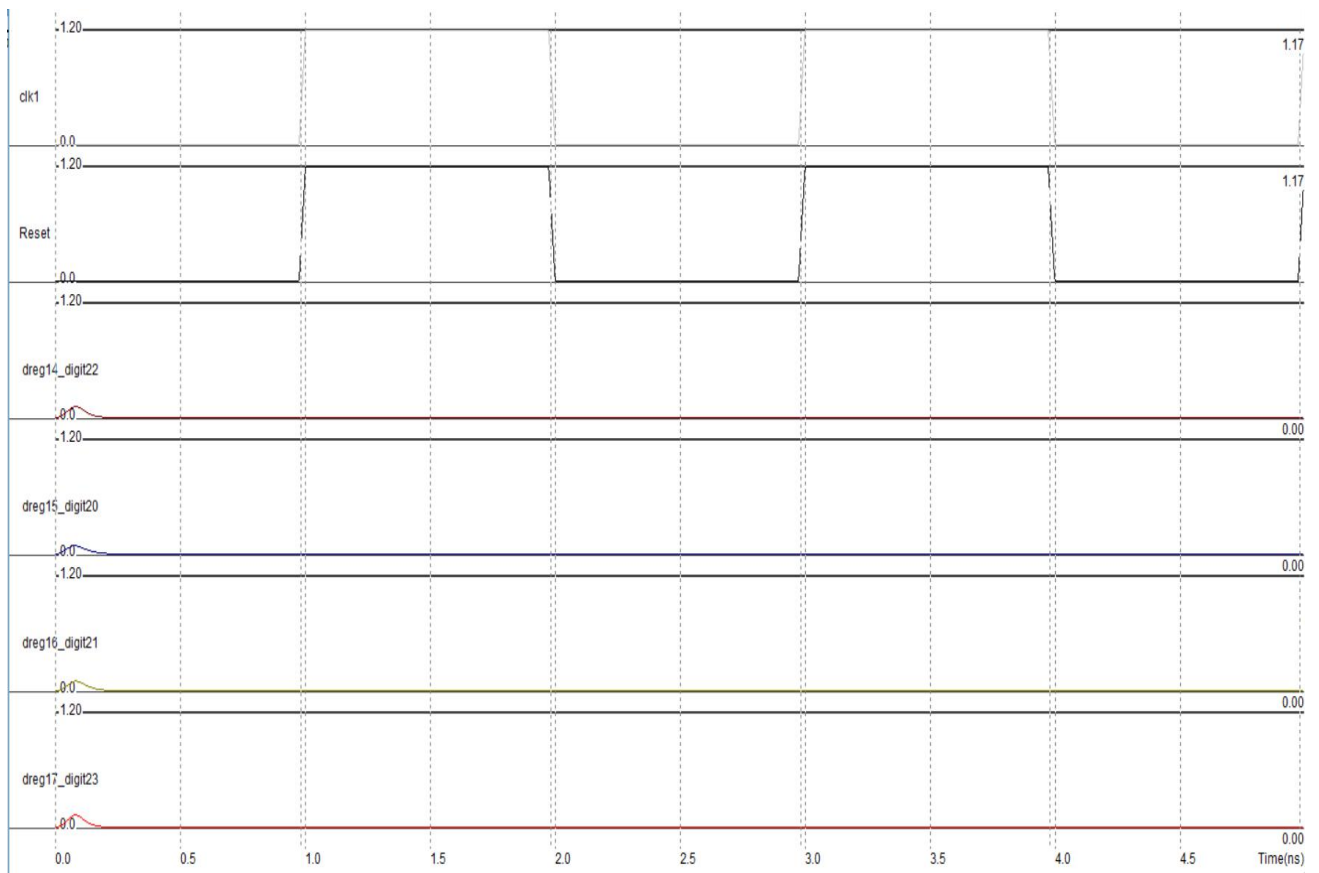
Σύγχρονος δεκαδικός απαριθμητής

Μετράει από 0 - 15

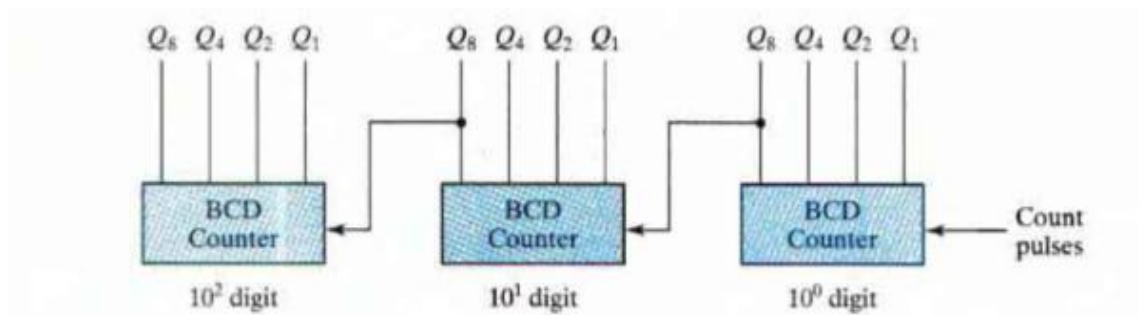
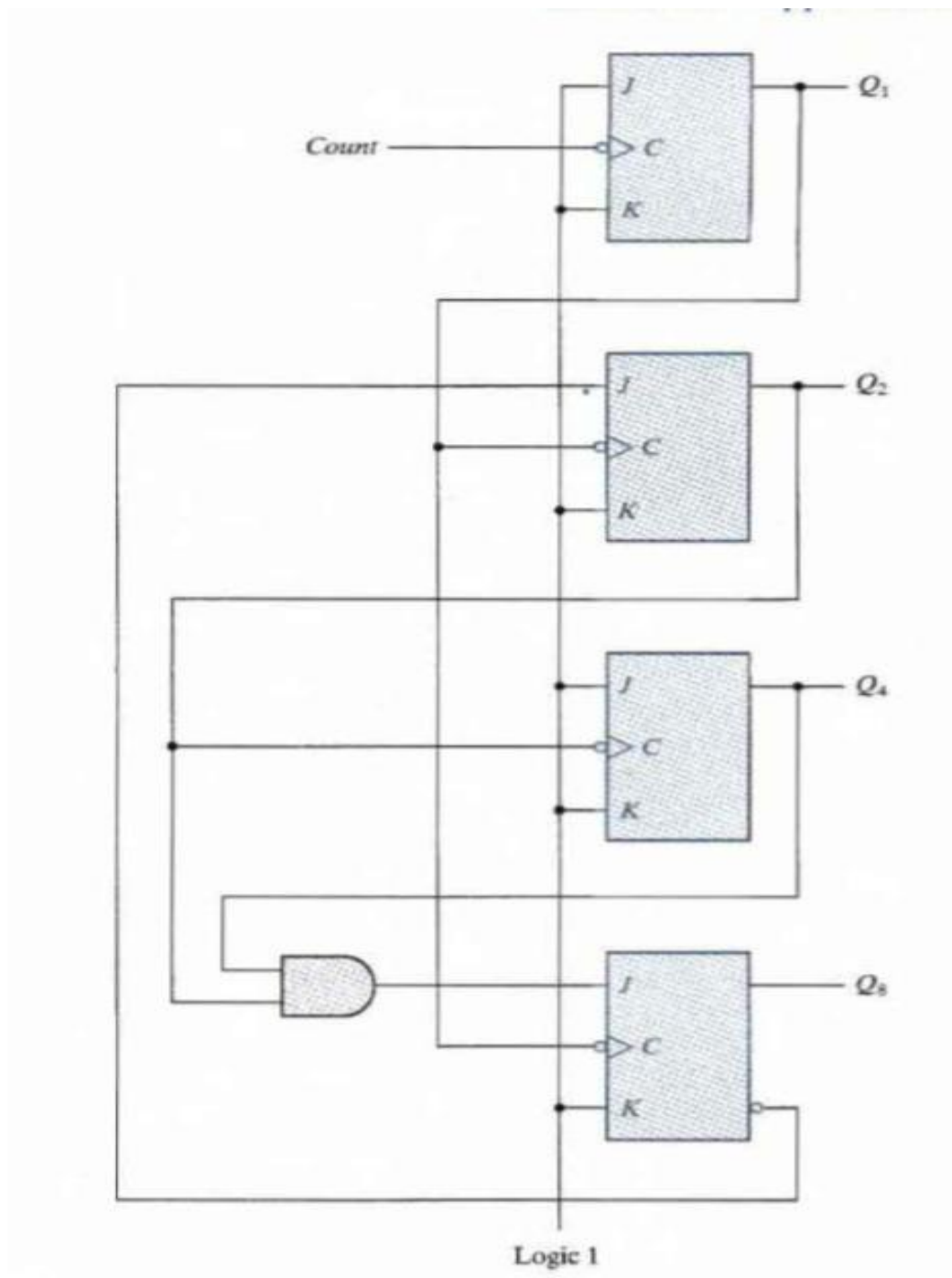




The image shows a screenshot of a PCB layout software interface. The main workspace displays a detailed PCB layout on a grid. The layout features a central vertical strip of components, with various traces and pads extending horizontally and vertically. The components are represented by small rectangular symbols with labels. The grid is composed of small squares, and the overall design is symmetrical. The software interface includes a menu bar at the top with options like File, View, Edit, Simulate, Compile, Analysis, and Help. A toolbar with various icons is located below the menu bar. The status bar at the bottom shows the current layer as 'Microvia2 - example' and provides a scale of 10 mils and 0.250mm. The bottom of the screen shows a Windows taskbar with the system tray displaying the temperature as 9°C, the CPU usage as 46proc, and the date and time as 8:44 AM on 20/12/2021.



BCD Ripple Counter



$$T_{Q1} = 1$$

$$T_{Q2} = Q_8'Q_1$$

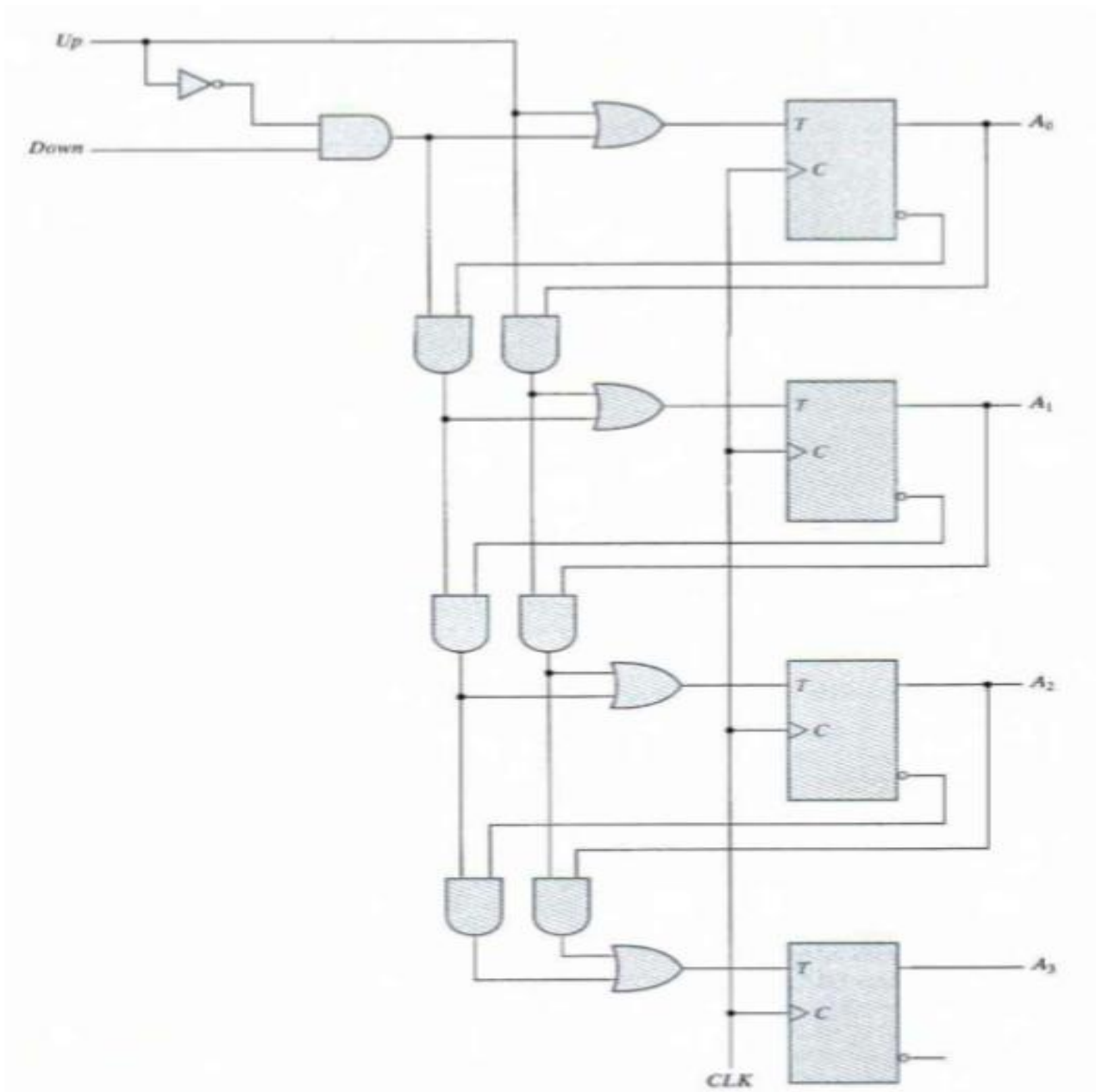
$$T_{Q4} = Q_2Q_1$$

$$T_{Q8} = Q_8Q_1 + Q_4Q_2Q_1$$

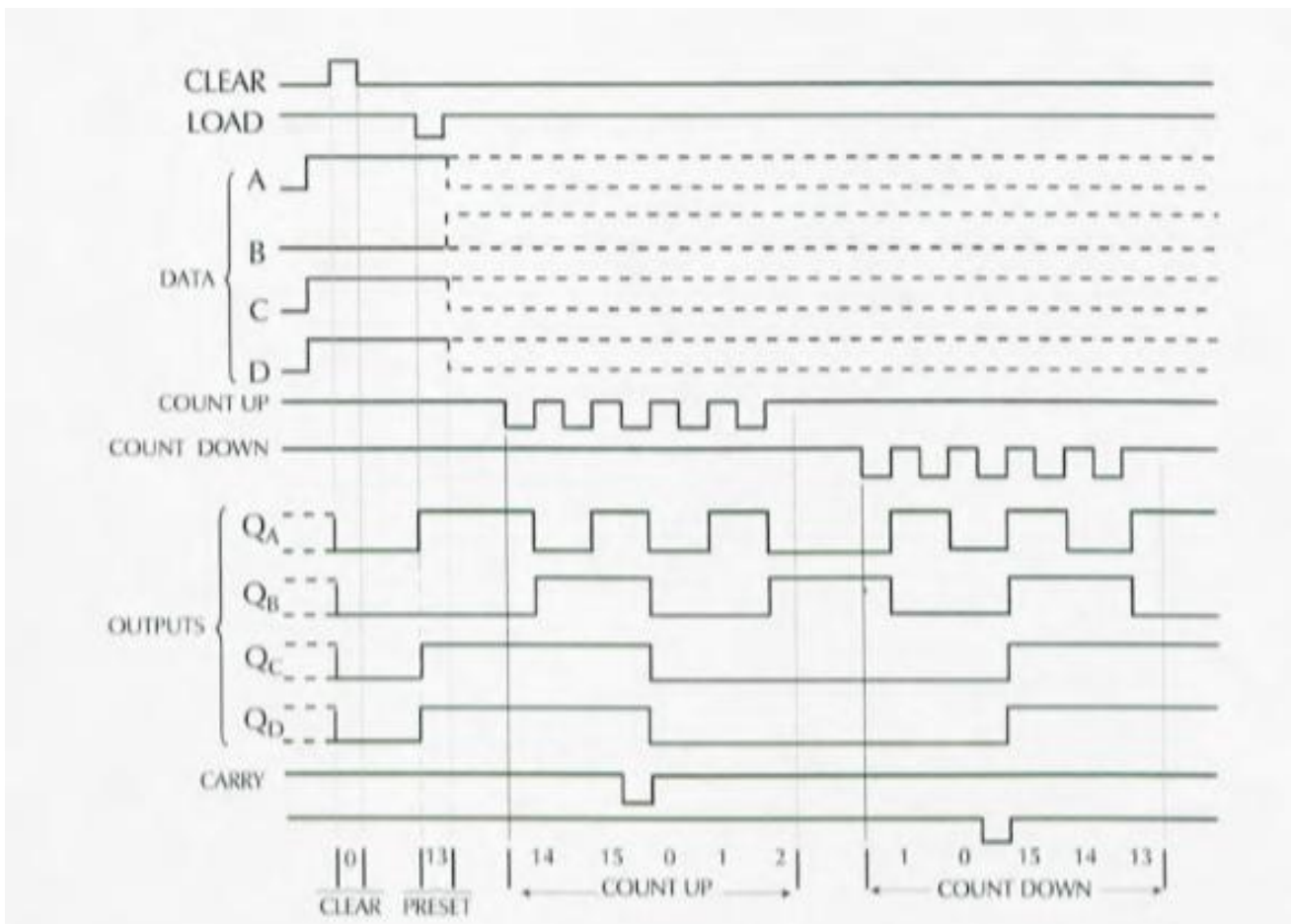
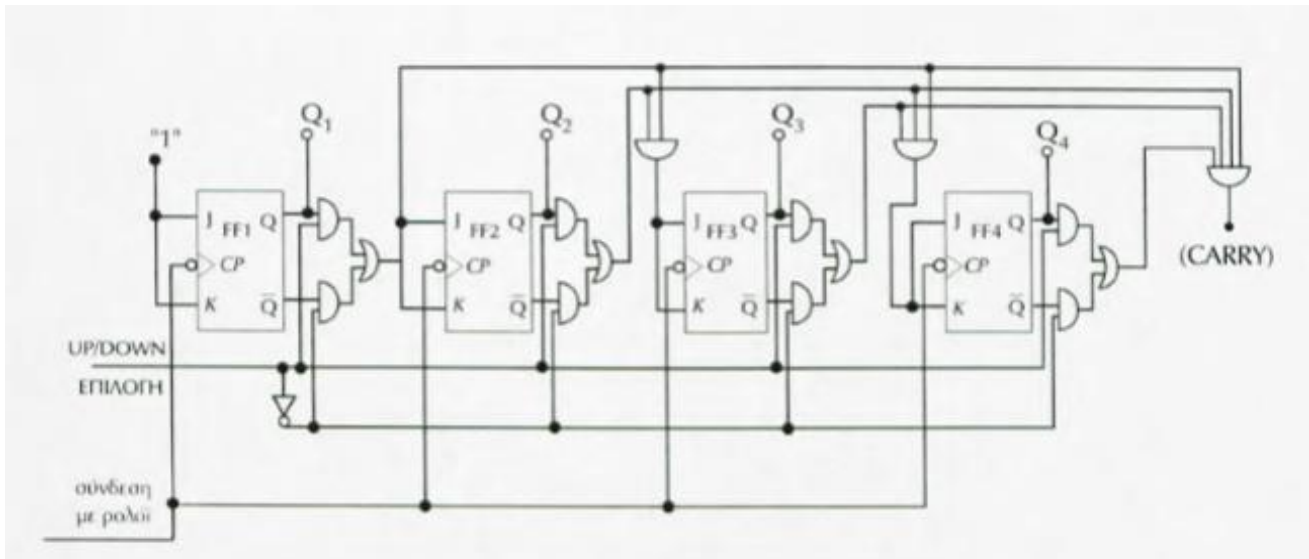
$$y = Q_8Q_1$$

Present State				Next State				Output	Flip-Flop Inputs			
Q ₈	Q ₄	Q ₂	Q ₁	Q ₈	Q ₄	Q ₂	Q ₁	y	TQ ₈	TQ ₄	TQ ₂	TQ ₁
0	0	0	0	0	0	0	1	0	0	0	0	1
0	0	0	1	0	0	1	0	0	0	0	1	1
0	0	1	0	0	0	1	1	0	0	0	0	1
0	0	1	1	0	1	0	0	0	0	1	1	1
0	1	0	0	0	1	0	1	0	0	0	0	1
0	1	0	1	0	1	1	0	0	0	0	1	1
0	1	1	0	0	1	1	1	0	0	0	0	1
0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	0	0	1	0	0	0	0	1
1	0	0	1	0	0	0	0	1	1	0	0	1

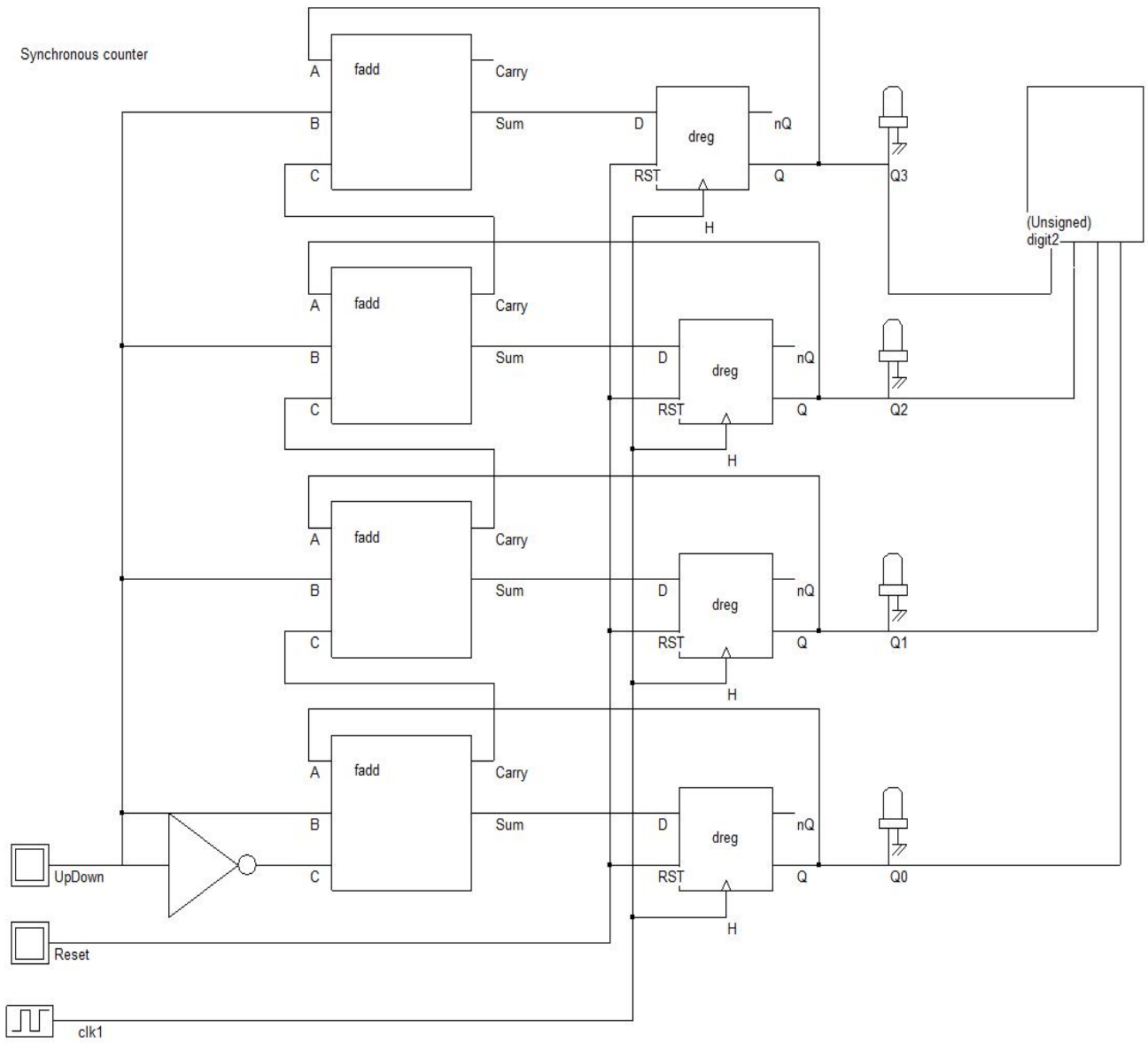
4 bit up - down counter

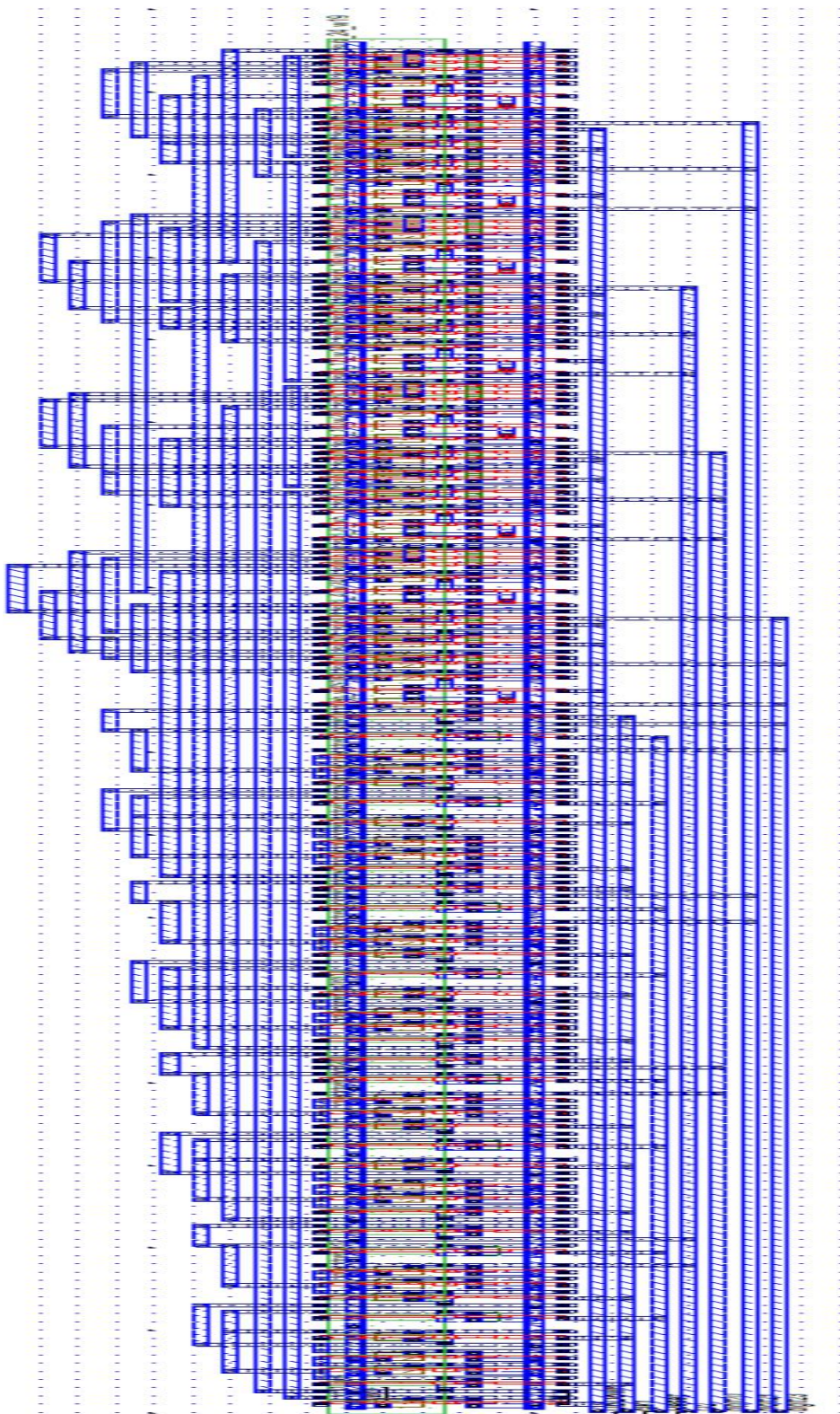


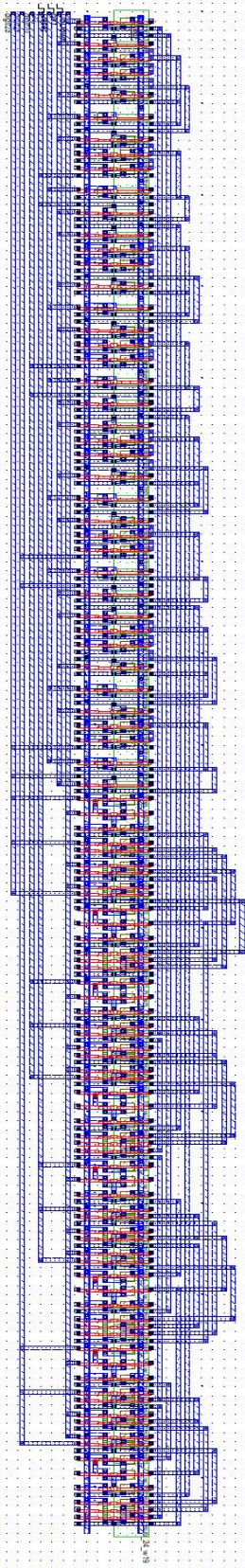
Σύγχρονος Αμφίδρομος απαριθμητής 4 bits

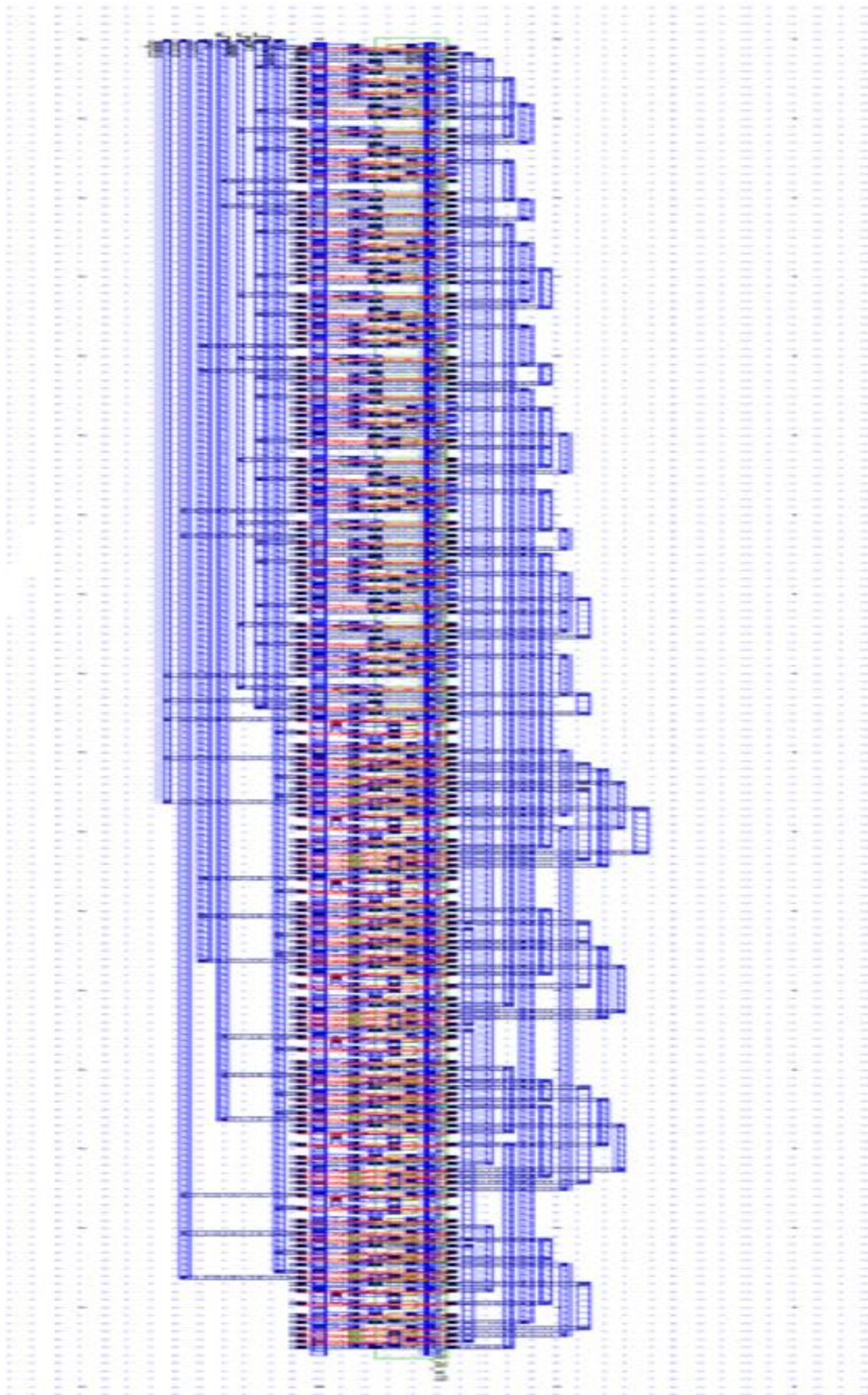


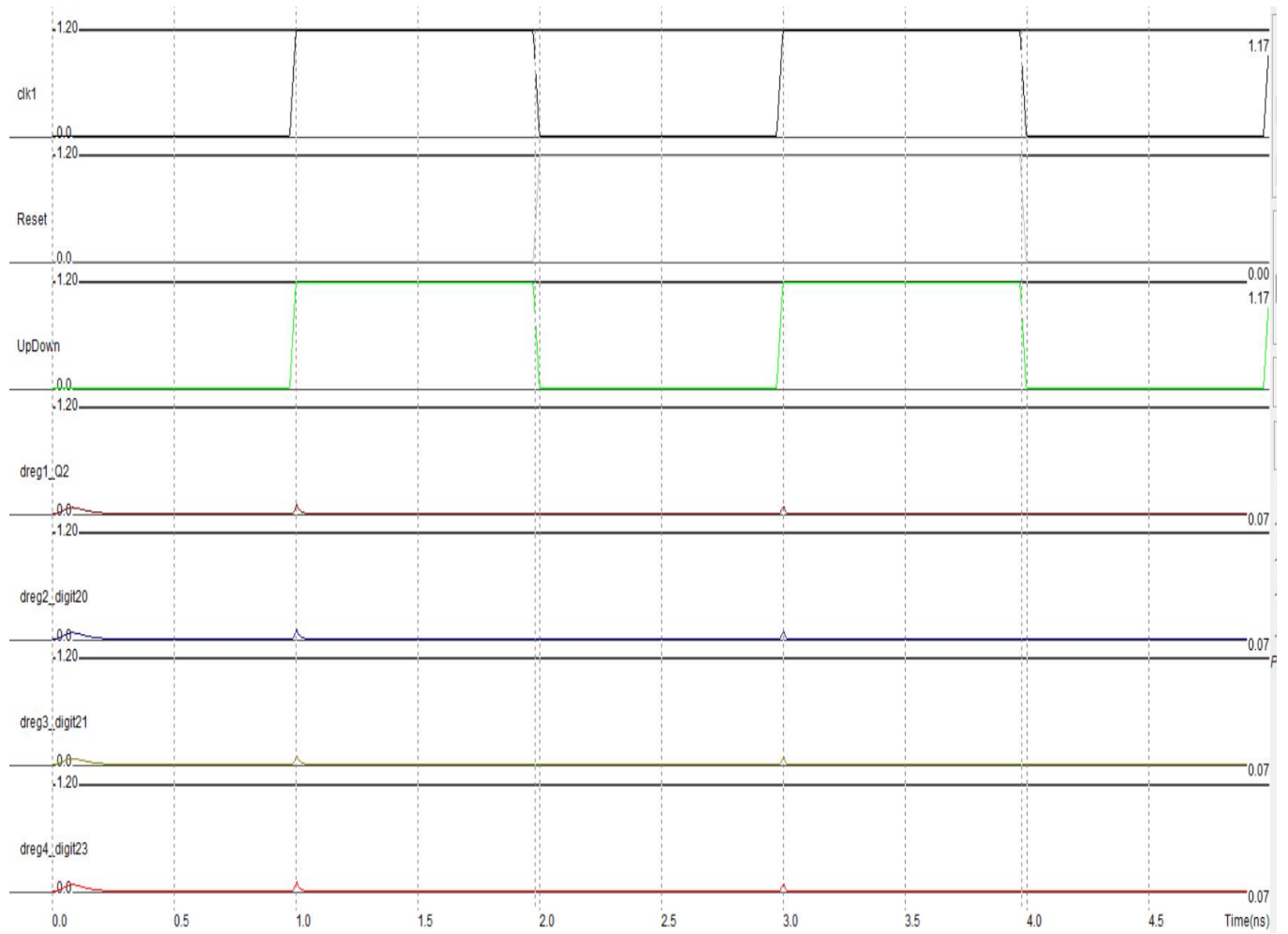
UP/DOWN COUNTER



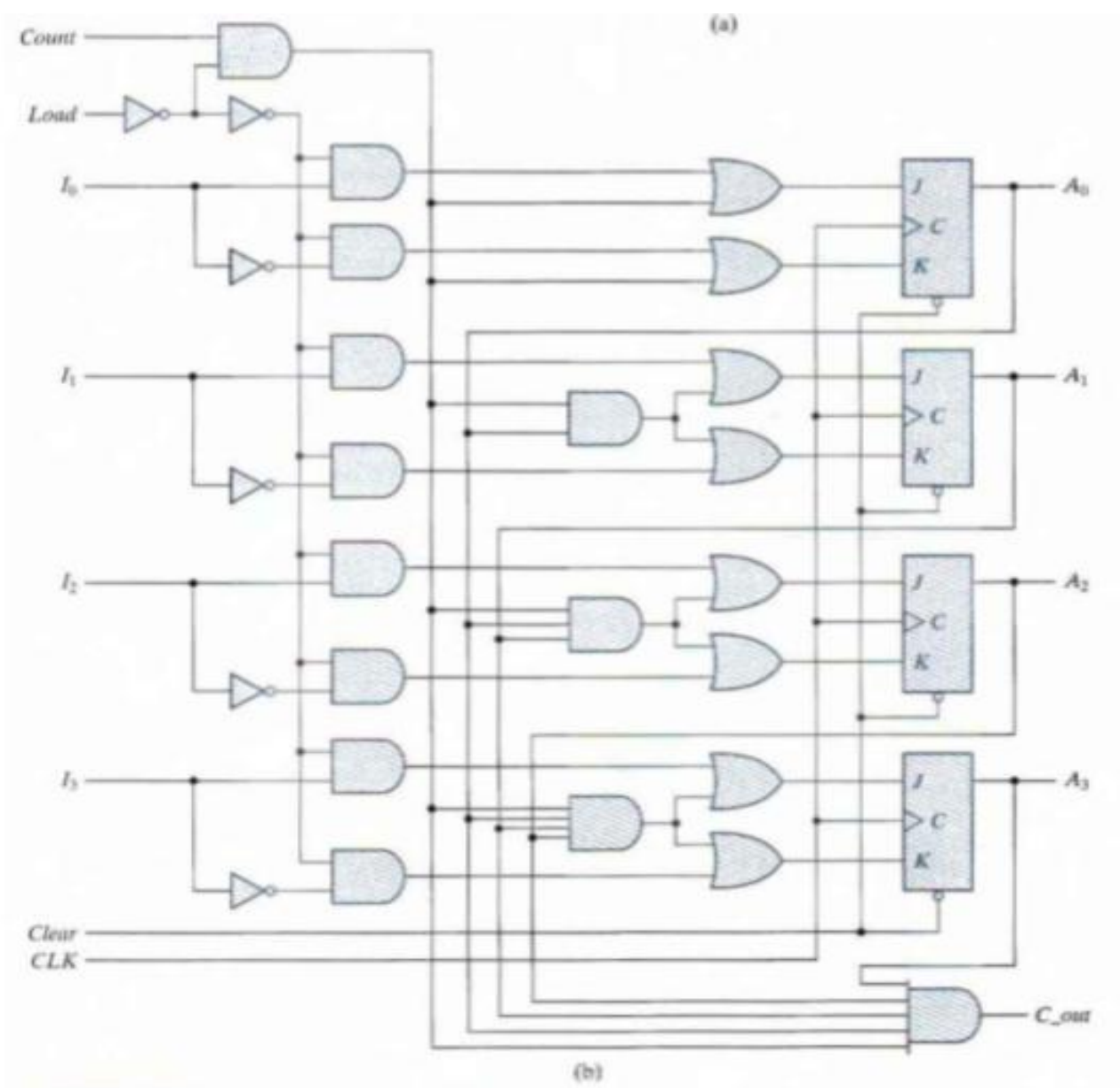
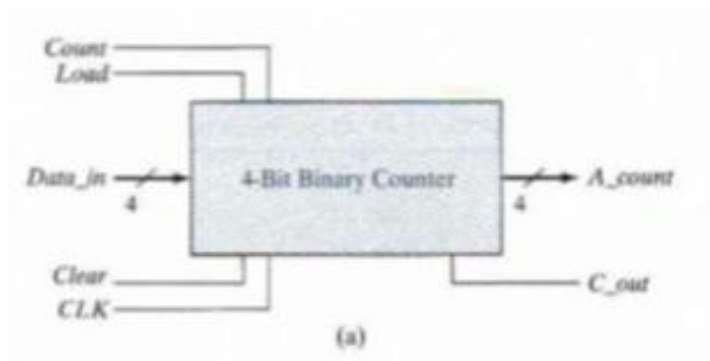








4 bit counter με παράλληλη φόρτωση



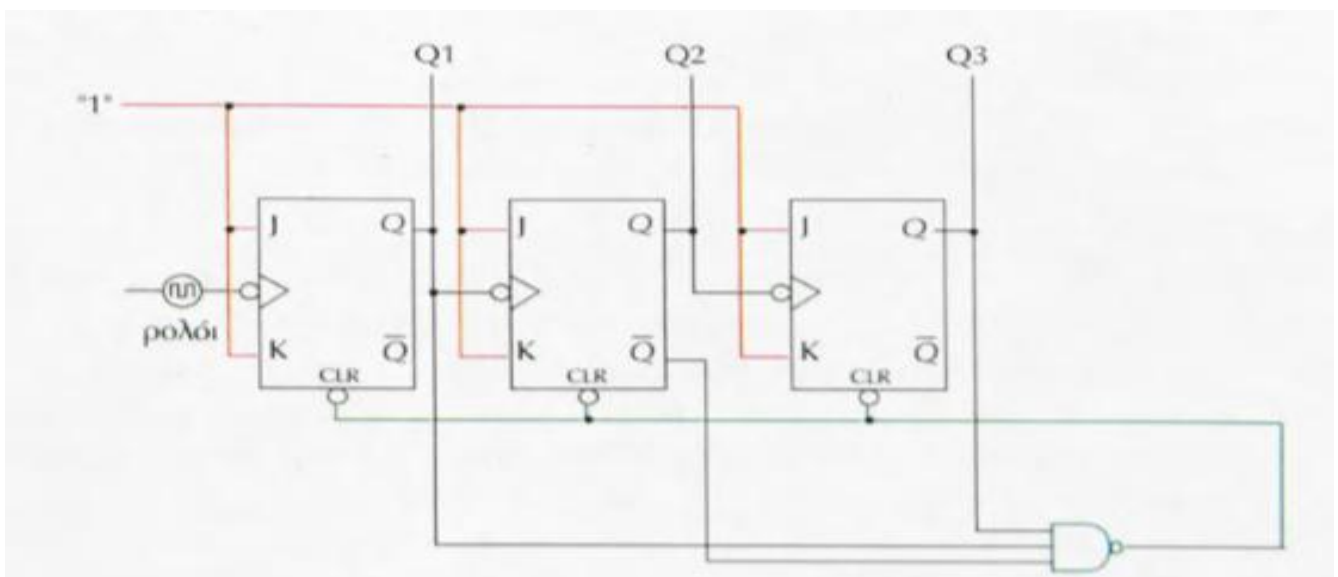
Πίνακας λειτουργίας

Clear	CLK	Load	Count	Function
0	X	X	X	Clear to 0
1	↑	1	X	Load inputs
1	↑	0	1	Count next binary state
1	↑	0	0	No change

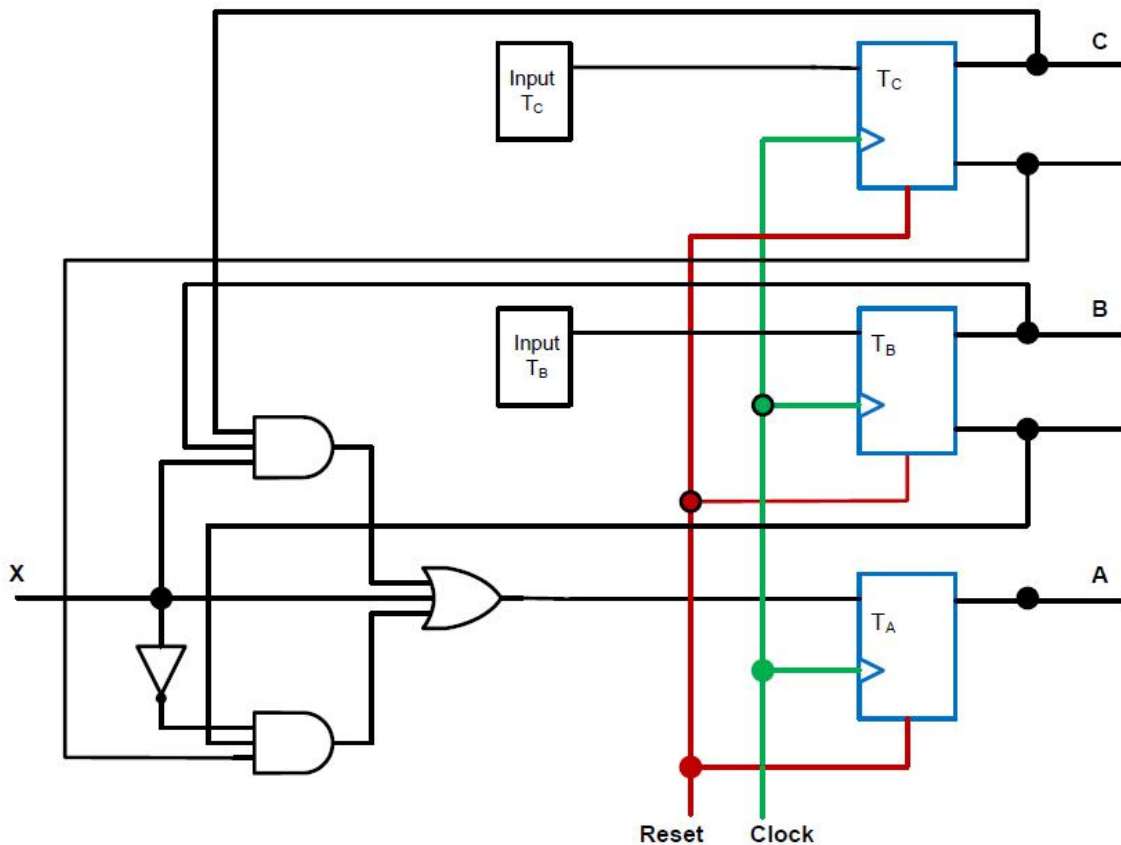
Απαριθμητές MODULO N

Μέχρι στιγμής οι απαριθμητές που έχουμε παρουσιάσει απαριθμούν μέχρι έναν αριθμό παλμών και μετά το περιεχόμενό τους μηδενίζεται ή ισοδύναμα αρχίζουν το μέτρημα από την αρχή. Οι απαριθμητές modulo N απαριθμούν N παλμούς (η ακολουθία μέτρησης είναι από 0 μέχρι και N - 1). Ο δυαδικός απαριθμητής 4 bits απαριθμεί 16 παλμούς (άρα λοιπόν η ακολουθία μέτρησης είναι από 0 μέχρι και 15) γιατί και ονομάζεται απαριθμητής modulo 16. Οι BCD απαριθμητές απαριθμούν 10 παλμούς (άρα η ακολουθία μέτρησης είναι από 0 μέχρι και 9) γιατί και ονομάζονται απαριθμητές modulo 10.

Αλλαγή του modulo ενός δυαδικού απαριθμητή, με προς τα πάνω απαρίθμηση, από 8 σε 5



Για την μετατροπή από modulo 8 σε 5 κάνουμε τα εξής, καταρχάς ο απαριθμητής modulo 8 έχει 3 flip - flops με ασύγχρονες εισόδους μηδενισμού (clear) που ενεργοποιούνται με 0. Αν οι εισόδους μηδενισμού είναι απενεργοποιημένες τότε η ακολουθία μέτρησης είναι από 0 έως και 7. Για να αλλάξουμε το modulo του απαριθμητή από 8 σε 5 βραχυκυκλώνουμε τις ασύγχρονες εισόδους μηδενισμού των flip - flops και τις οδηγούμε μέσω μιας πύλης NAND με εισόδους τις Q3 Q2' Q1. Μόλις ο απαριθμητής φτάσει στην κατάσταση Q3 Q2 Q1 = 101 (δηλαδή 5 στο δεκαδικό σύστημα), τότε Q3 Q2' Q1 = 111 οπότε η έξοδος της πύλης NAND είναι 0 με αποτέλεσμα να ενεργοποιείται η είσοδος μηδενισμού και ο απαριθμητής να μηδενίζεται. Με αυτήν την σύνδεση, μόλις έρθει ο 5ος παλμός ο απαριθμητής θα πάρει την κατάσταση 101 που μετά αντί να αυξήσει το περιεχόμενό του γίνεται 000. Άρα λοιπόν μετράει από 0 μέχρι και 4, άρα λειτουργεί σαν απαριθμητής modulo 5.



x	A	B	C	A ⁺	B ⁺	C ⁺	T _A	T _B	T _C
0	0	0	0	0	0	1	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	1	0	0	1
0	0	1	1	1	0	0	1	1	1
0	1	0	0	0	0	0	1	0	0
0	1	0	1	X	X	X	X	X	X
0	1	1	0	X	X	X	X	X	X
0	1	1	1	X	X	X	X	X	X
1	0	0	0	1	0	0	1	0	0
1	0	0	1	0	0	0	0	0	1
1	0	1	0	0	0	1	0	1	1
1	0	1	1	0	1	0	0	0	1
1	1	0	0	0	1	1	1	1	1
1	1	0	1	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X

BC \ xA	00	01	11	10
00	0	0	1	0
01	1	X	X	X
11	1	X	X	X
10	1	0	0	0

$$T_A = x + x'BC + xB'C'$$

BC \ xA	00	01	11	10
00	0	1	1	0
01	0	X	X	X
11	1	X	X	X
10	0	0	0	1

$$T_B = xA + x'C + xBC'$$

BC \ xA	00	01	11	10
00	1	1	1	1
01	0	X	X	X
11	1	X	X	X
10	0	1	1	1

$$T_C = x'A' + xA + B + C$$

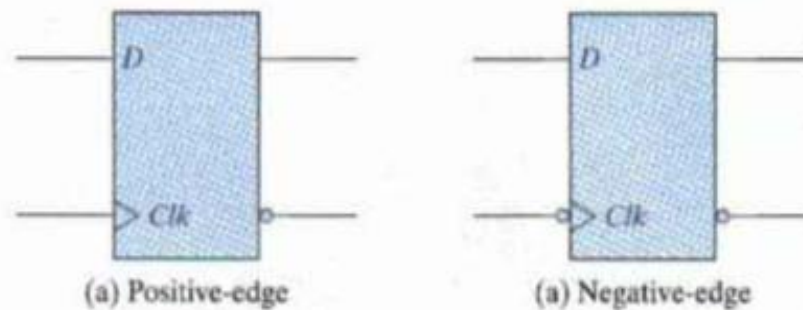
ΚΕΦΑΛΑΙΟ 10

CMOS Μανδαλωτές και Flip - Flops

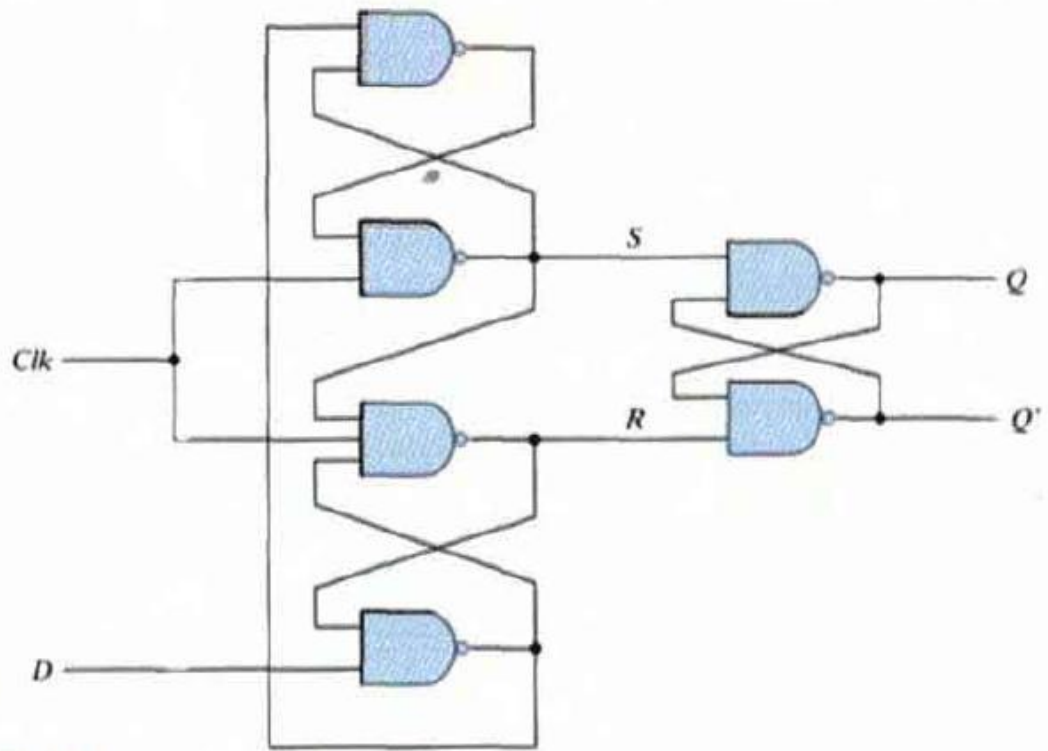
Οι master - slave μανδαλωτές έχουν και αυτοί έναν περιορισμό , οι εισόδους τους είναι εκτεθειμένες όταν έχουμε αλλαγές λογικής στάθμης για όση ώρα το ρολόι παραμένει σε ενεργό κατάσταση , για παράδειγμα (π.χ. παραμονή στο 1) . Το οποίο μπορεί να δημιουργήσει συνθήκες απροσδιοριστίας, όταν για παράδειγμα κάποια είσοδος υποστεί μια στιγμιαία μεταβολή λόγω θορύβου (είτε αιχμή είτε βύθιση μικρής διάρκειας) στην τιμή της λίγο πριν αλλάξει η κατάσταση του ρολογιού. Αυτή η στιγμιαία μεταβολή θα "συλληφθεί" από τον μανδαλωτή αφέντη (master) και θα πάει στον μανδαλωτή σκλάβο (slave) την επόμενη ημιπερίοδο , προκαλώντας την αποθήκευση και μετάδοση της λάθος πληροφορίας από το flip - flop .

Λύση στο πρόβλημα έρχεται να δώσουν τα ακμοπυροδοτούμενα flip - flop, τα οποία αποθηκεύουν την πληροφορία μόνο κατά την διάρκεια της μετάδοσης του ρολογιού και όχι κατά την διάρκεια της παραμονής του ρολογιού στην ενεργή κατάσταση.

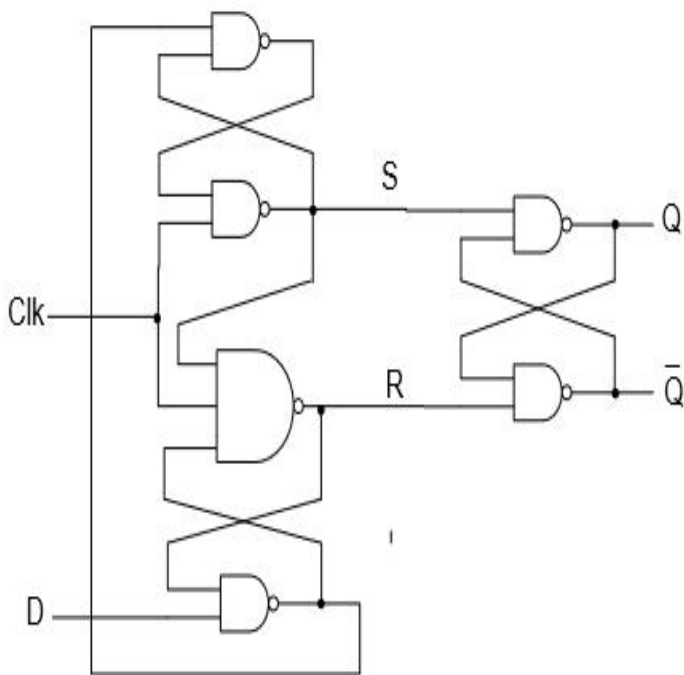
Έτσι έχουμε θετικά ακμοπυροδοτούμενα flip -flop και έχουμε και αρνητικά ακμοπυροδοτούμενα flip - flop.



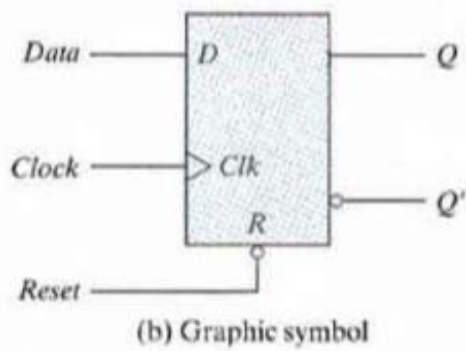
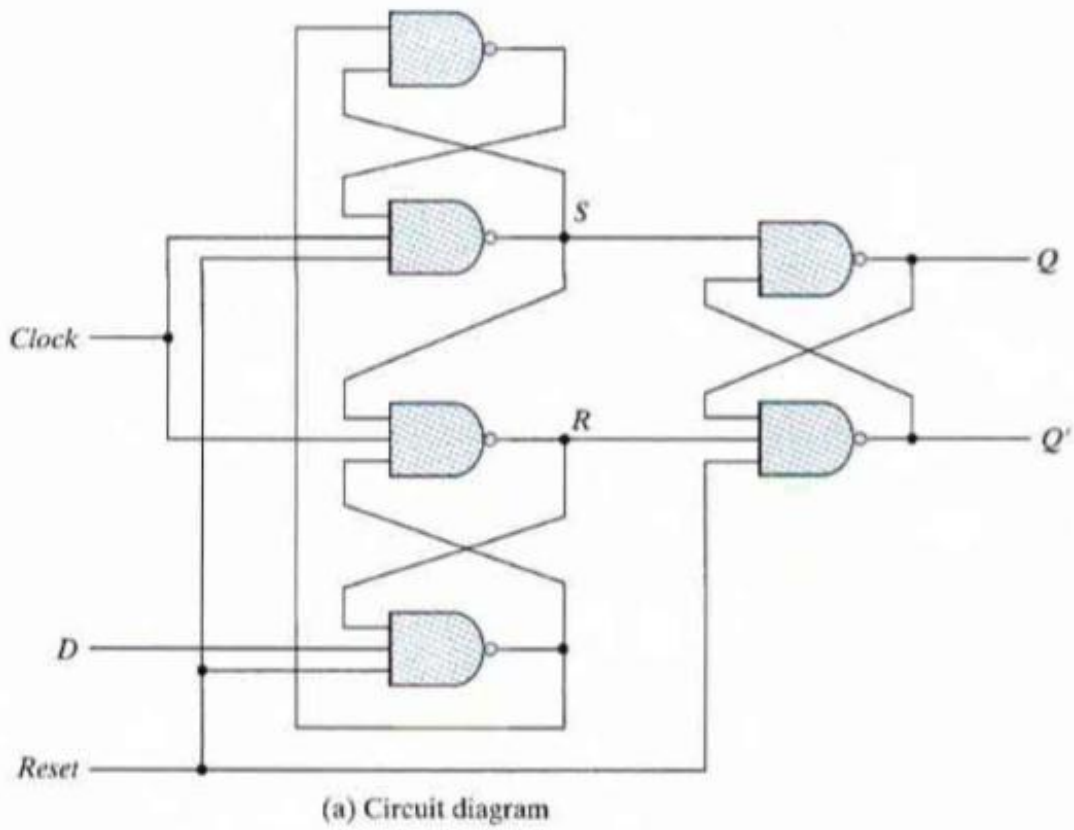
Graphic symbol for edge-triggered *D* flip-flop



D-type positive-edge-triggered flip-flop



Clk	D	Q_{t+1}
0,1,↓	x	Q_t
↑	0	0
↑	1	1

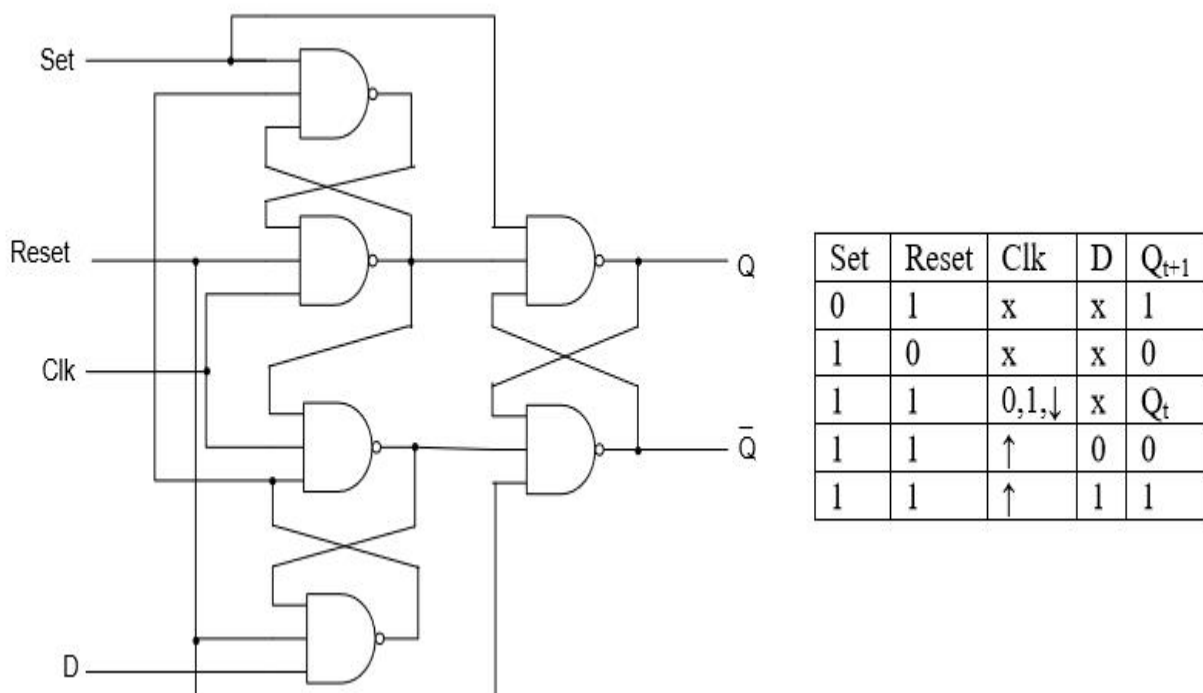


R	Clk	D	Q	Q'
0	X	X	0	1
0	↑	0	0	1
0	↑	1	1	0

(b) Function table

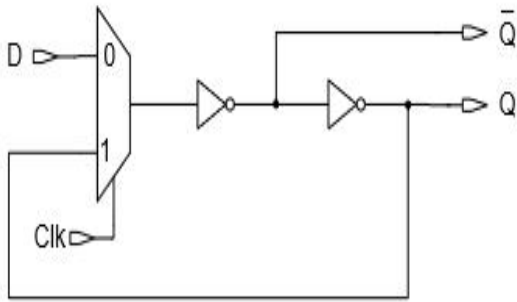
D flip-flop with asynchronous reset

Για να μπορούμε να ελέγχουμε τα περιεχόμενα των ακολουθιακών κυκλωμάτων, προχωρήσαμε στην ενσωμάτωση δυο ακόμα ασύγχρονων σημάτων Set και Reset (ή αλλιώς Clear) όπου και ονομάζονται άμεσες εισόδους (Direct Inputs). Το όνομα βγαίνει από τον τρόπο ενέργειας των σημάτων στα περιεχόμενα των στοιχείων μνήμης, όπου είναι άμεσος, ανεξάρτητα από την κατάσταση των σύγχρονων εισόδων και του ρολογιού. Η ενσωμάτωση αυτών των εισόδων στο ακμοπυροδοτούμενο D FF οδηγεί στην υλοποίηση που φαίνεται παρακάτω που βασίζεται μόνο σε πύλες NAND 3 εισόδων.



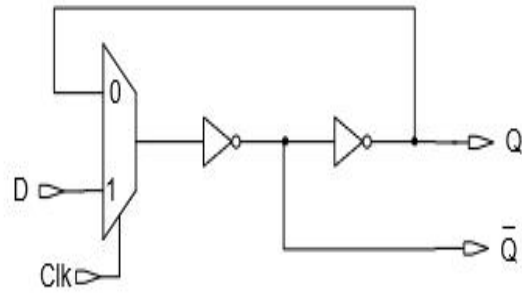
CMOS σύγχρονοι μανταλωτές και ακμοπτυροδοτούμενα FFS

Με πολυπλέκτη



(α)

Clk	D	Q_{t+1}
1	x	Q_t
0	0	0
0	1	1

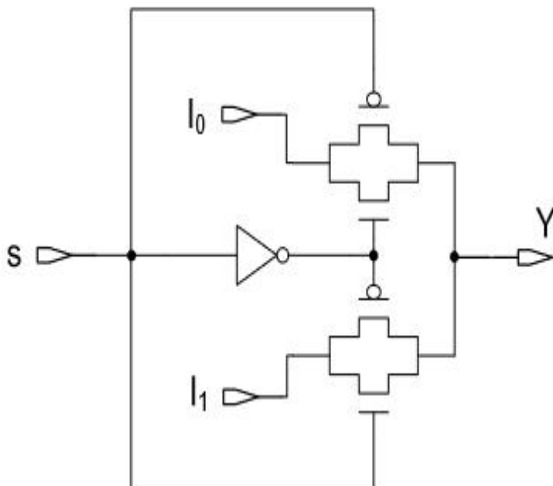


(γ)

Clk	D	Q_{t+1}
0	x	Q_t
1	0	0
1	1	1

Λογικό διάγραμμα, πίνακας αληθείας μανδαλωτή D αρνητικής στάθμης, λογικό διάγραμμα, πίνακας αληθείας μανδαλωτή D θετικής στάθμης

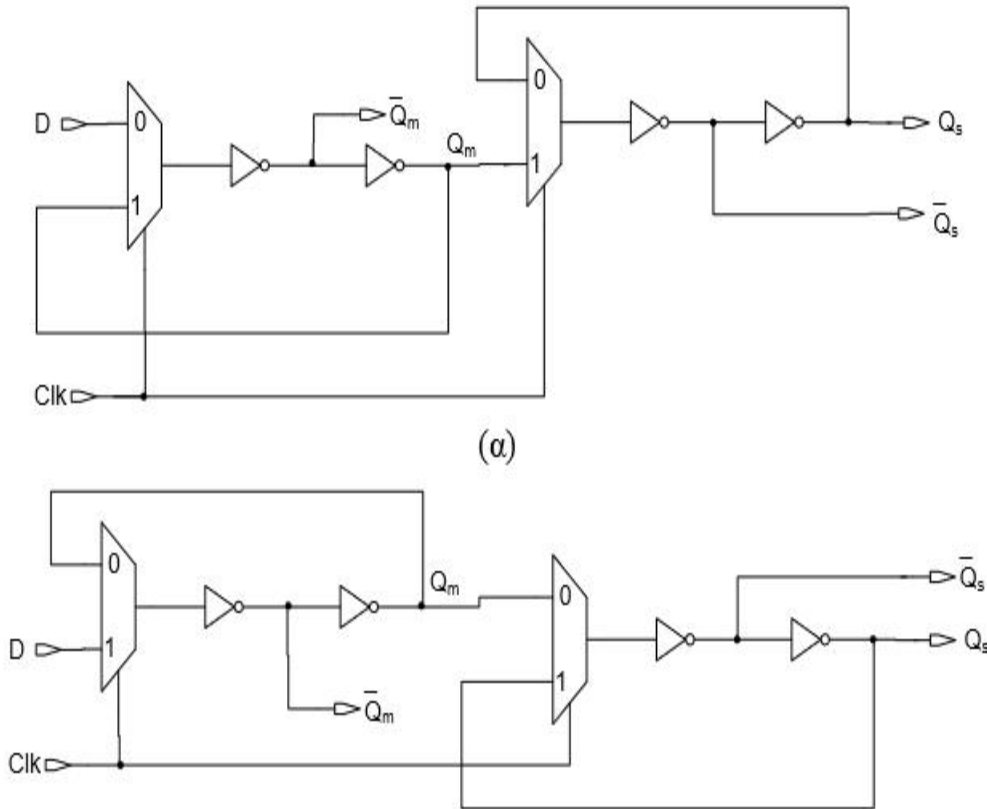
Υλοποίηση με λογική επίτρεψης τρανζίστορ.



s	Y
0	I_0
1	I_1

$$Y = \bar{s} \cdot I_0 + s \cdot I_1$$

Υλοποίηση ακμοπυροδοτούμενων FFS Master Slave με πολυπλέκτη



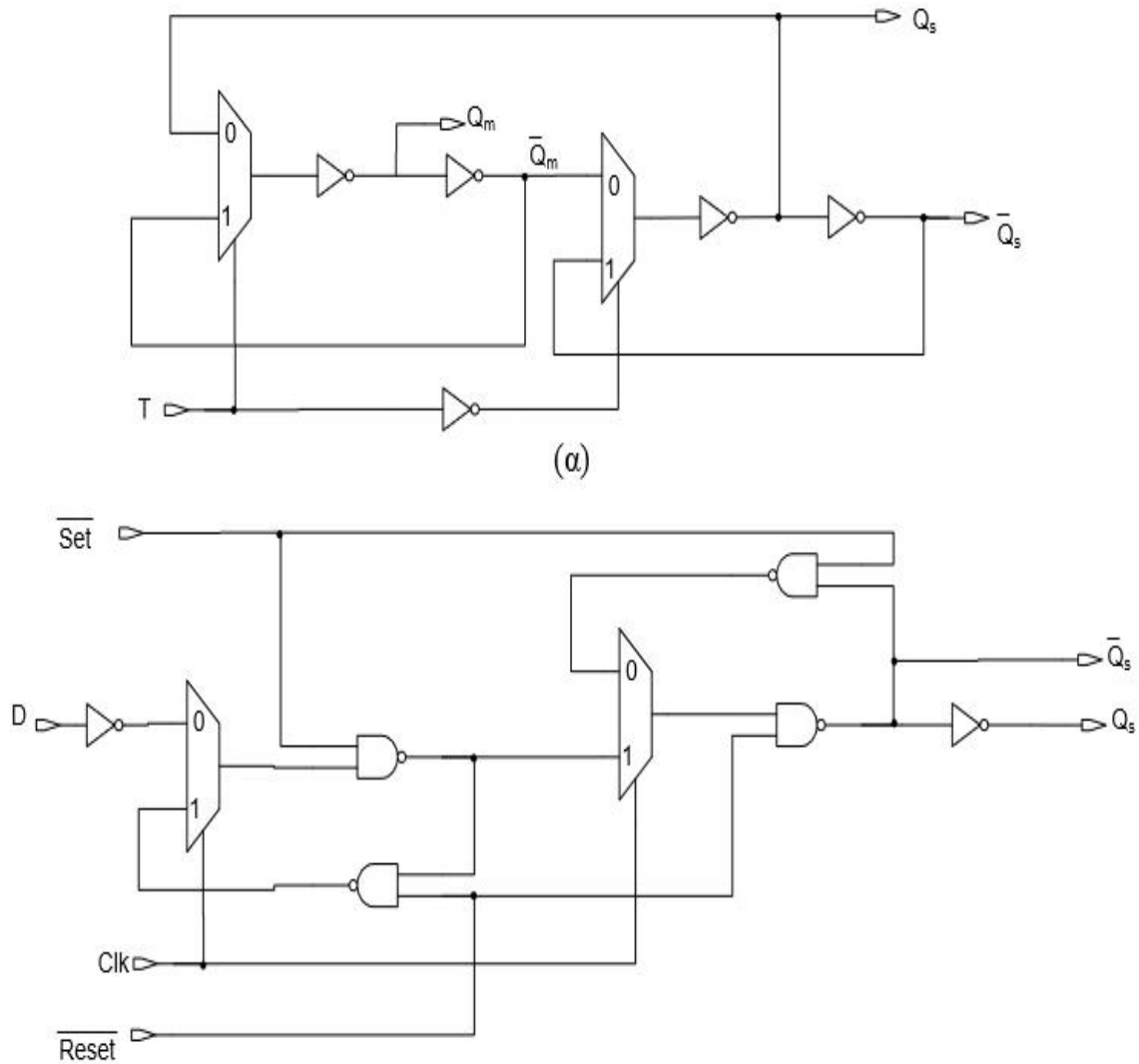
Θετικά ανιούσα παρυφή ρολογιού , αρνητικά κατιούσα παρυφή ρολογιού ακμοπυροδοτούμενου MS FF.

Αν χρησιμοποιηθούν ακμοπυροδοτούμενα MS FFS με όμοια στάθμη μανδαλωτών και για το master και για το slave , τότε και οι δυο μανδαλωτές θα συγχρονίζονται από ρολόγια ανάστροφης φάσης, όπου με χρήση αναστροφεία που θα αναστρέφει το ρολόι πριν αυτό πάει να τροφοδοτήσει το μανδαλωτή σκλάβο.

Για την ορθή λειτουργία των ακμοπυροδοτούμενων FFs, πρωταρχικής σημασίας είναι η τήρηση των χρόνων αποκατάστασης (χρόνος πριν την παρυφή του ρολογιού κατά την οποία τα δεδομένα πρέπει να έχουν σταθεροποιηθεί στην είσοδο D) και συγκράτησης (χρόνος μετά την παρυφή του ρολογιού κατά την οποία τα δεδομένα πρέπει να παραμείνουν σταθερά στην είσοδο

D). Κάθε παραβίαση ενός εκ των χρόνων αυτών, συνεπάγεται αποθήκευση λανθασμένων δεδομένων στο FF.

Δύο ειδικές περιπτώσεις ακμοπυροδοτούμενων MS FFs είναι το T MS FF και το D MS FF με ασύγχρονα σήματα Set/Reset, τα οποία παρουσιάζονται στο Σχήμα 1.



Σχήμα 1 : (α) CMOS ακμοπυροδοτούμενο T MS FF, (β) CMOS ακμοπυροδοτούμενο D MS FF με άμεσες εισόδους Set και Reset ενεργές στο 0.

Καταχωρητές - Ολισθητές

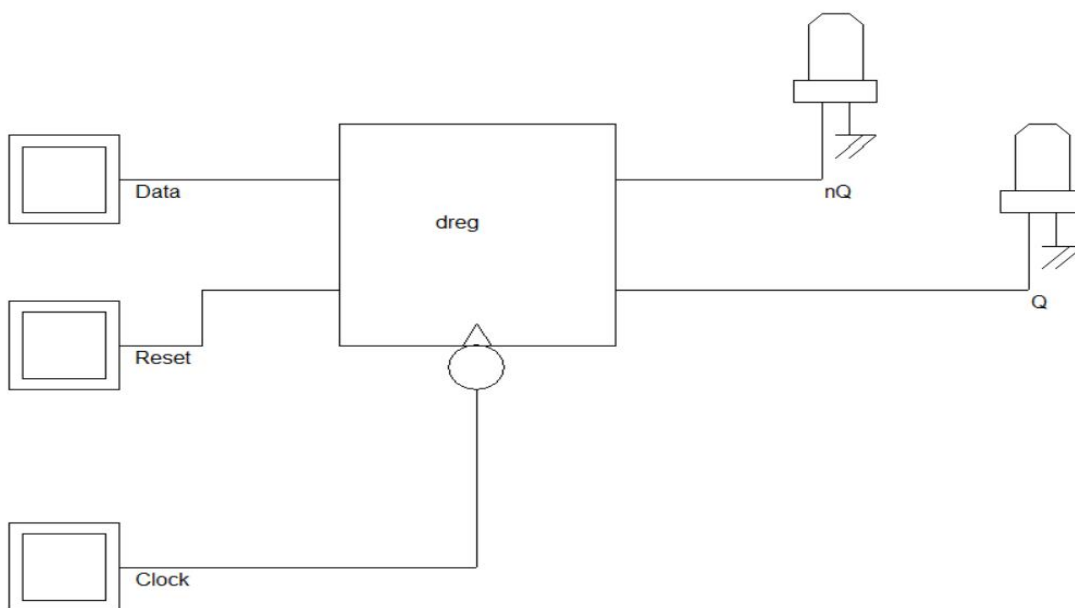
Οι καταχωρητές είναι ένα σύνολο απο flip - flops που χρονίζονται απο κοινό παλμό ρολογιού και το καθένα απο αυτά μπορεί να αποθηκεύει ένα bit πληροφορίας. Αρα λοιπόν ένα σύνολο απο n flip - flops μπορούν απο αποθηκεύσουν n - bits πληροφορίας.

Πέρα απο τα flip - flops ένας καταχωρητής έχει και ένα σύνολο απο πύλες που σε συνδυασμό με τα flip - flops να κάνουν κάποιες εργασίες που μπορεί να έχουν να κάνουν με την επεξεργασία δεδομένων που καταχωρούνται (αποθηκεύονται). Γενικά τα flip - flops αποθηκεύουν την πληροφορία και οι πύλες θα καθορίσουν το πως αυτή η πληροφορία θα μεταφερθεί προς / απο τον καταχωρητή.

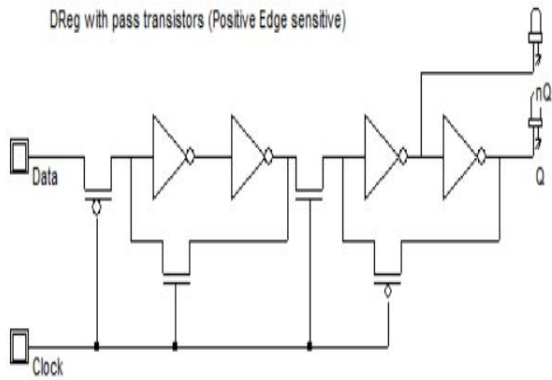
Οι ολισθητές είναι και αυτοί καταχωρητές μόνο που το περιεχόμενο της πληροφορίας που έχει αποθηκευθεί σε έναν flip - flop μεταφέρεται στο επόμενο flip - flop με την εφαρμογή του επόμενου παλμού ρολογιού οπότε θα έχουμε μια ολίσθηση πληροφορίας απο flip - flop σε flip - flop.

Τα flip flops που χρησιμοποιούν οι καταχωρητές και οι ολισθητές είναι τύπου D ή JK συνδεδεμένα σαν τύπου D.

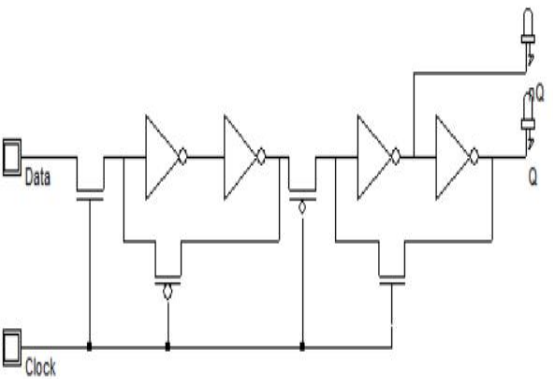
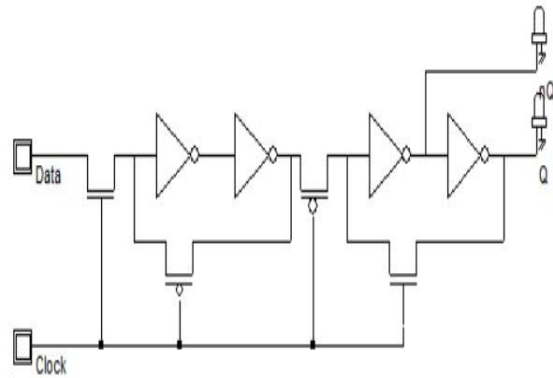
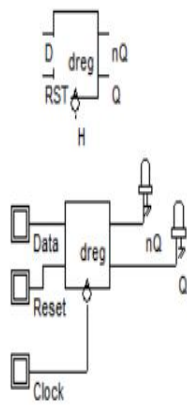
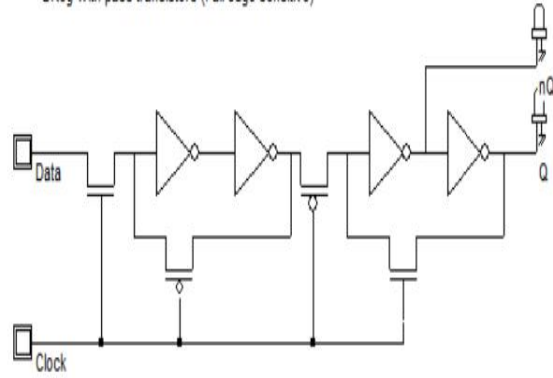
Καταχωρητής



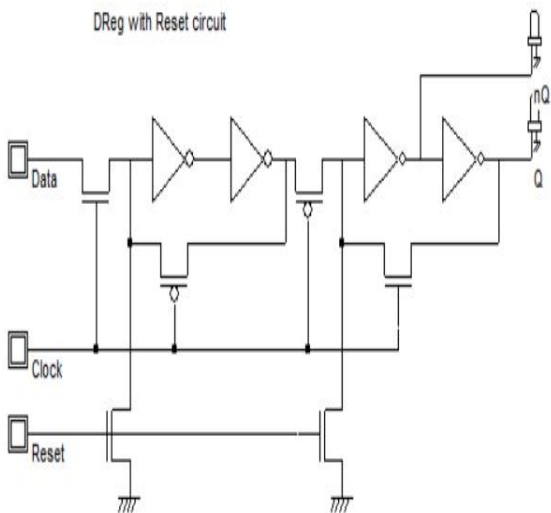
DReg with pass transistors (Positive Edge sensitive)



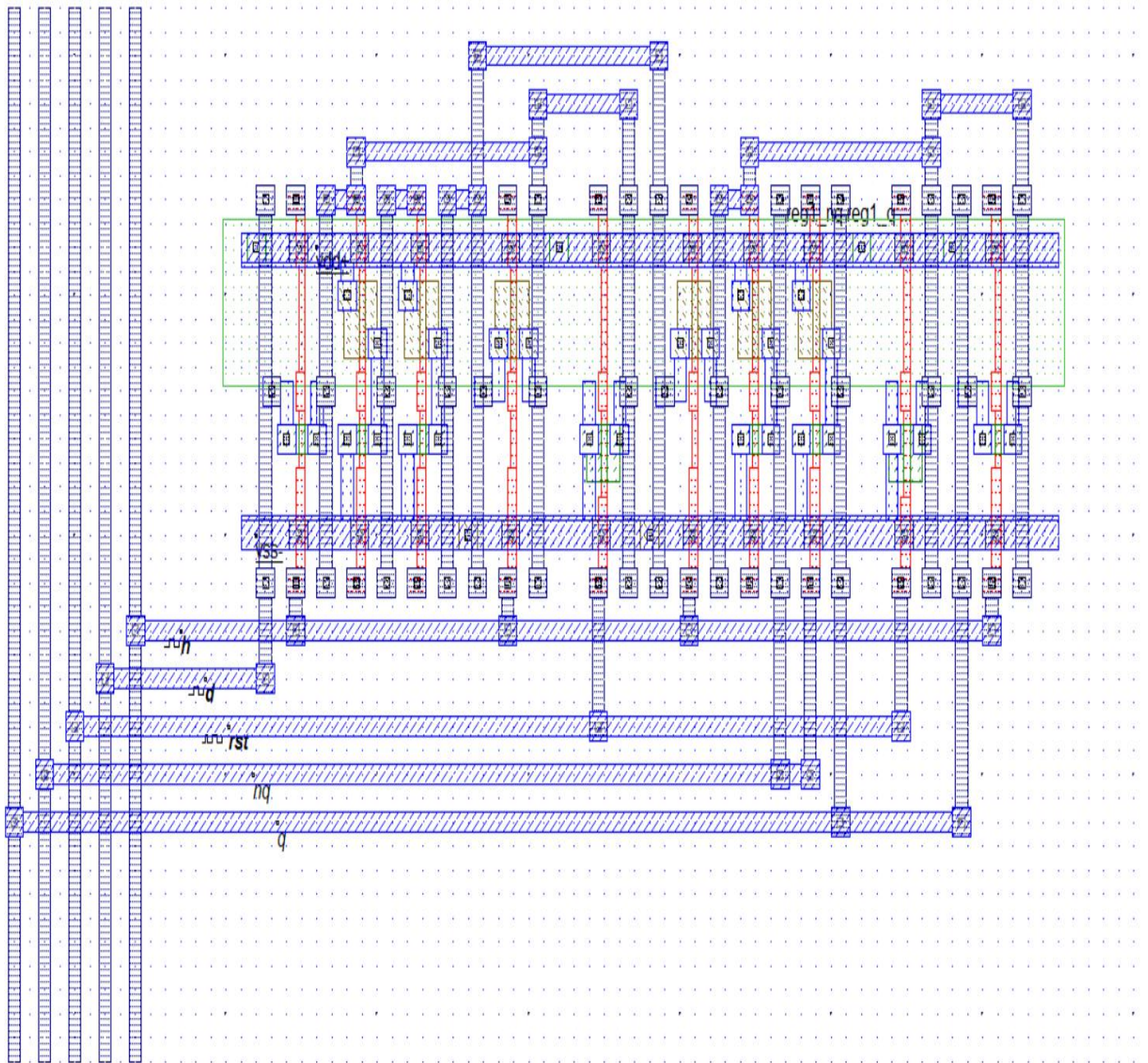
DReg with pass transistors (Fall edge sensitive)

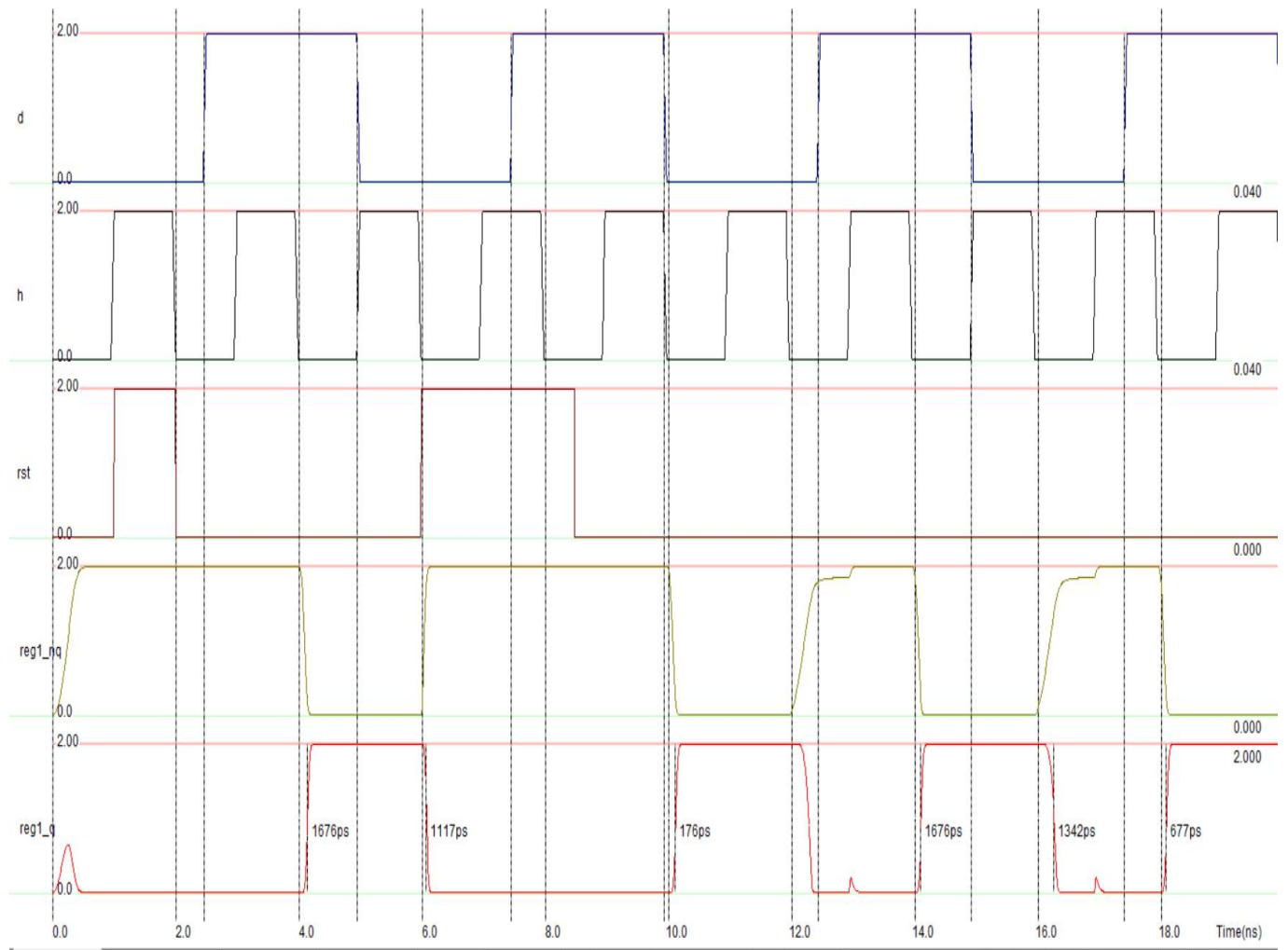


DReg with Reset circuit

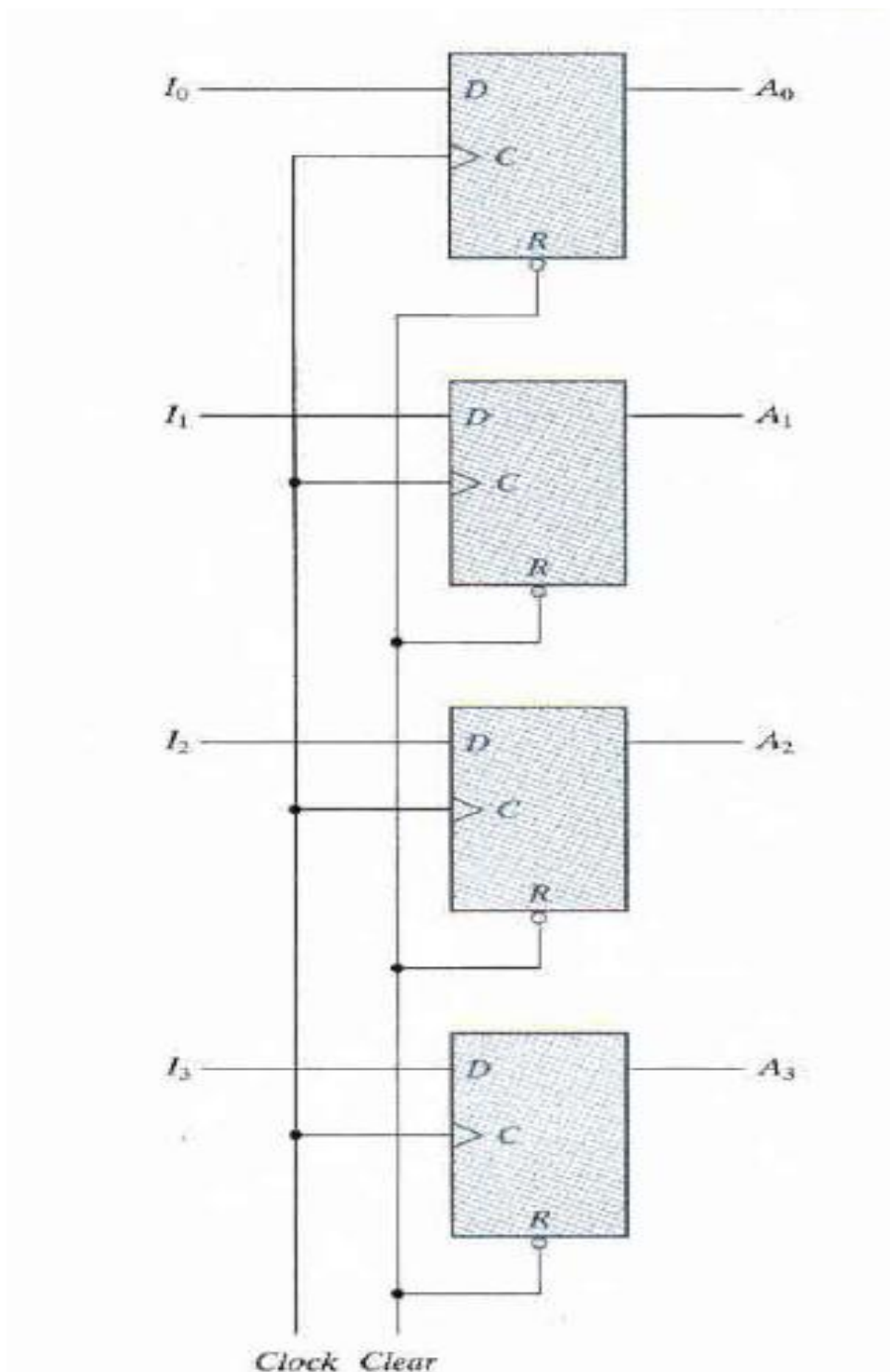


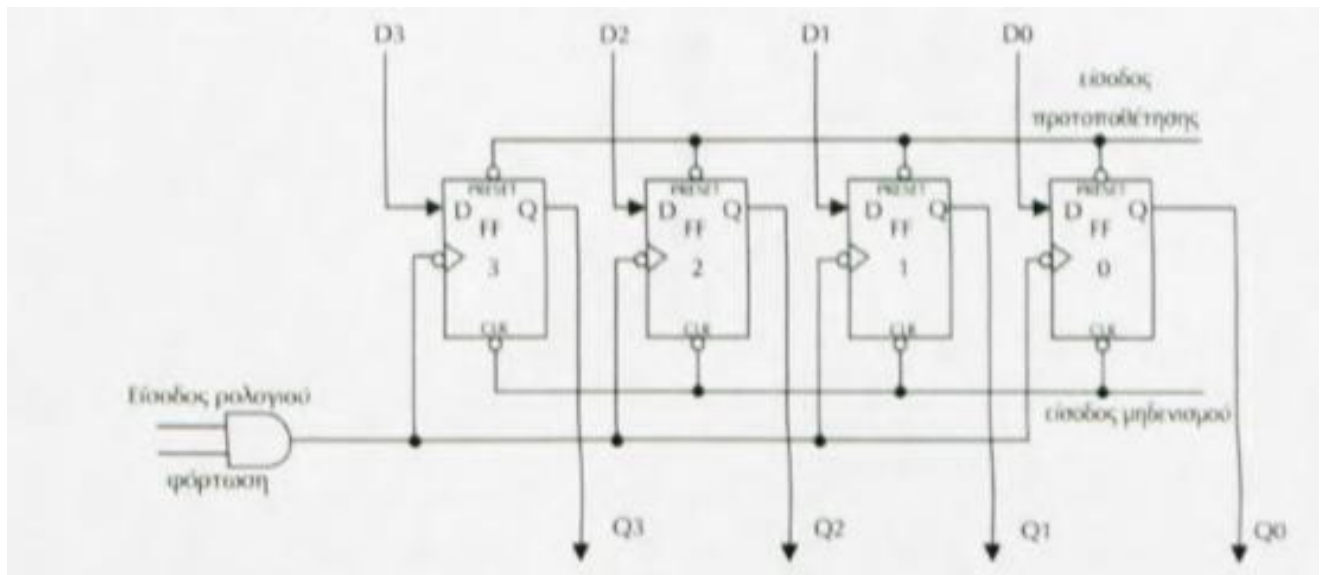
ΚΑΤΑΧΩΡΗΤΗΣ





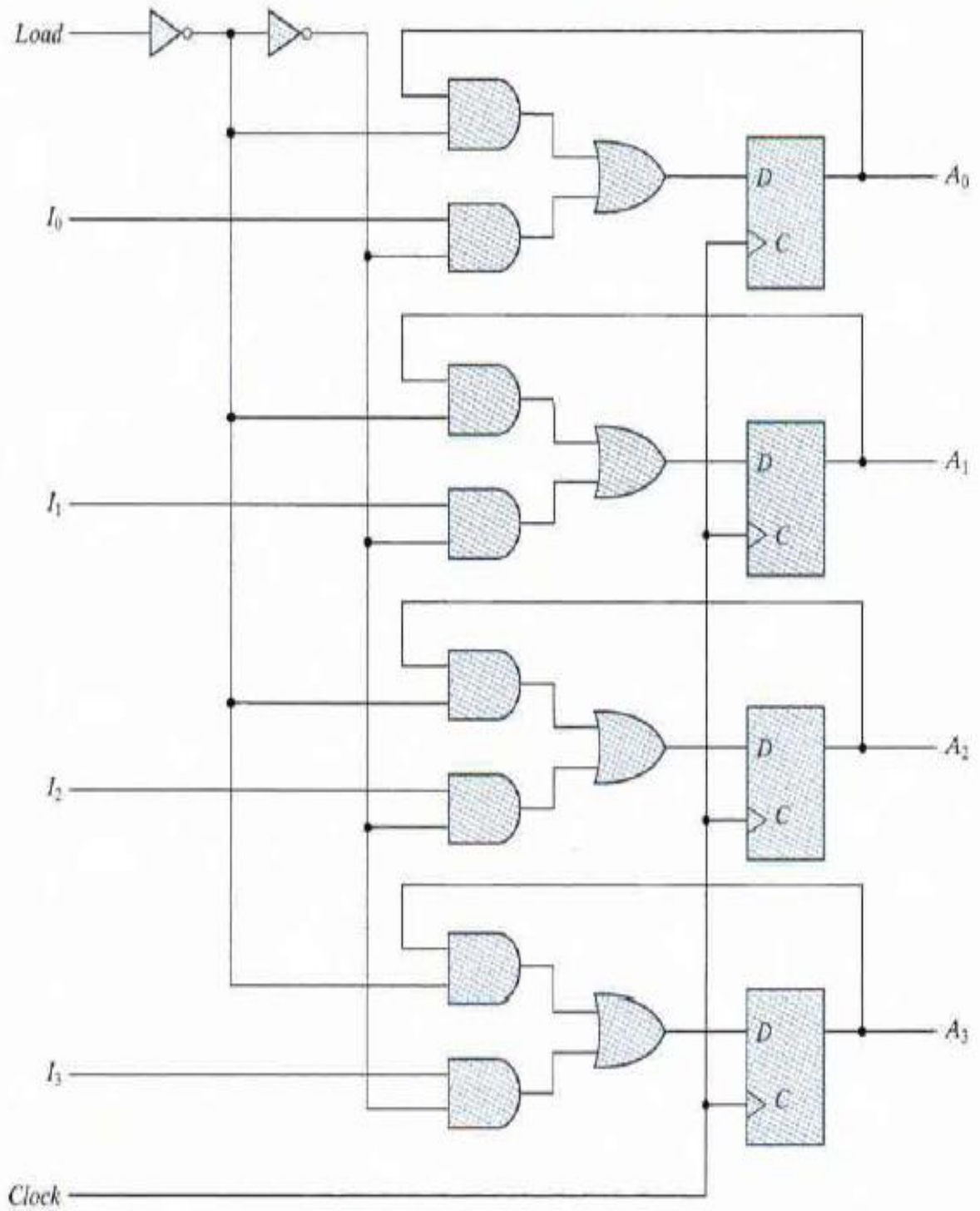
Καταχωρητής 4 bits

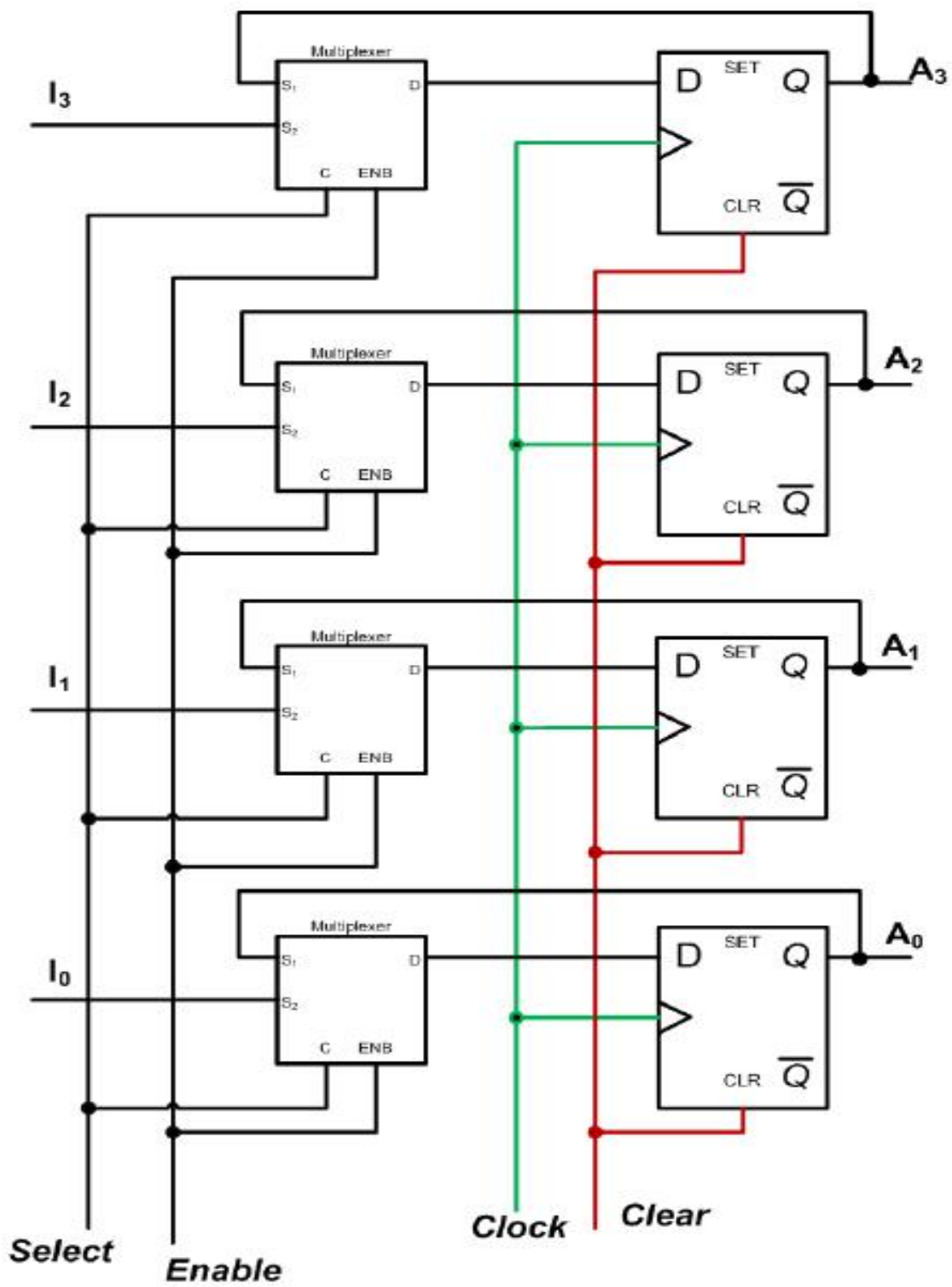


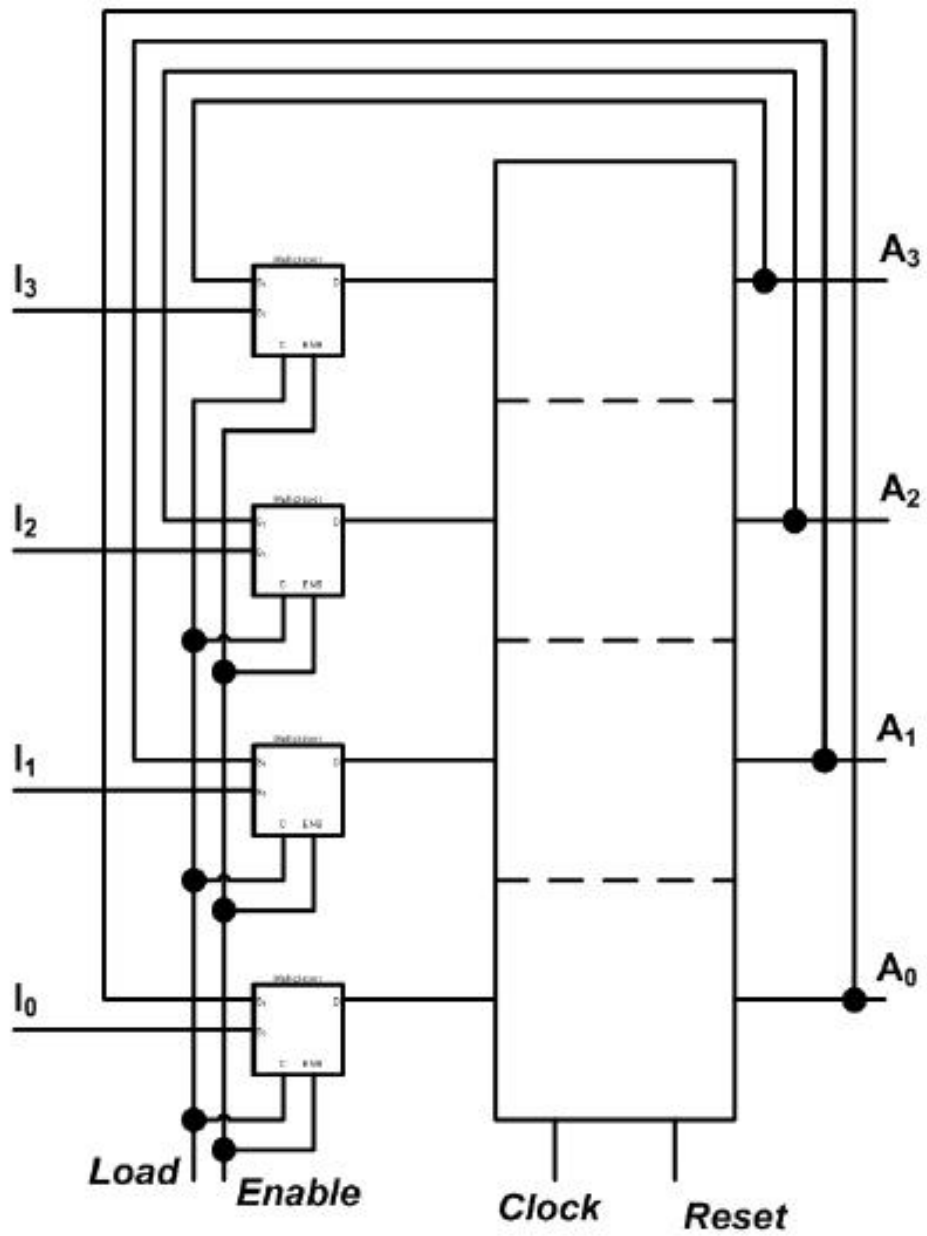


Η είσοδος ρολογιού είναι κοινή για όλα τα D flip – flops, οπότε τα δεδομένα που είναι στις εισόδους D0, D1, D2, D3 να μεταφέρονται στα 4 flip – flops του 4 bit καταχωρητή ταυτόχρονα με το αρνητικό μέτωπο του ρολογιού. Οι 4 έξοδοι Q0, Q1, Q2, Q3 των 4 flip – flop , ουσιαστικά είναι οι έξοδοι του κυκλώματος του 4 bit καταχωρητή, που μπορούμε να τις χρησιμοποιήσουμε για κάποιο άλλο κύκλωμα. Όταν δίνουμε πληροφορία στην είσοδο του κυκλώματος του καταχωρητή λέμε ότι κάνουμε φόρτωση του καταχωρητή. Υπάρχει στο σχήμα μια είσοδος ελέγχου που συμβολίζεται με φόρτωση (κατασκευάζεται με πύλη AND) και επιτρέπει στους παλμούς του ρολογιού να πάνε στα flip – flops του 4 bit καταχωρητή. Οι εισόδοι της πύλης AND είναι στην μια είσοδο έχουμε τους παλμούς του ρολογιού και στην άλλη έχουμε τον έλεγχο φόρτωσης. Τώρα εάν η είσοδος ελέγχου φόρτωσης είναι 0 , τότε στην έξοδο της πύλης AND θα πάρουμε 0, άρα ανεξάρτητα εάν έχουμε παλμούς στην είσοδο του ρολογιού, τα flip – flops δεν θα δεχθούν παλμούς ρολογιού οπότε και τα δεδομένα του καταχωρητή να μην αλλάζουν. Θα πρέπει για να φορτωθούν νέα δεδομένα στον καταχωρητή η είσοδος ελέγχου φόρτωσης να γίνει λογικό 1, οπότε μετά θα περάσουν οι παλμοί ρολογιού στα 4 flip - flops όπου και θα αποθηκευθούν οι λογικές καταστάσεις που είναι να μπουν στις εισόδους D των τεσσάρων 4 bit flip – flop , με το αρνητικό μέτωπο του ρολογιού. Εάν οι εισόδοι των τεσσάρων flip – flops είναι $D3 = 1$, $D2 = 0$, $D1 = 1$, $D0 = 1$, οπότε και οι έξοδοι θα γίνουν με το αρνητικό μέτωπο του παλμού του ρολογιού ως εξής: $Q3 = 1$, $Q2 = 0$, $Q1 = 1$, $Q0 = 1$. Άρα λοιπόν θα αποθηκευθεί η πληροφορία 1011 στον 4 bit καταχωρητή.

Καταχωρητής με παράλληλη φόρτωση (PIPO)

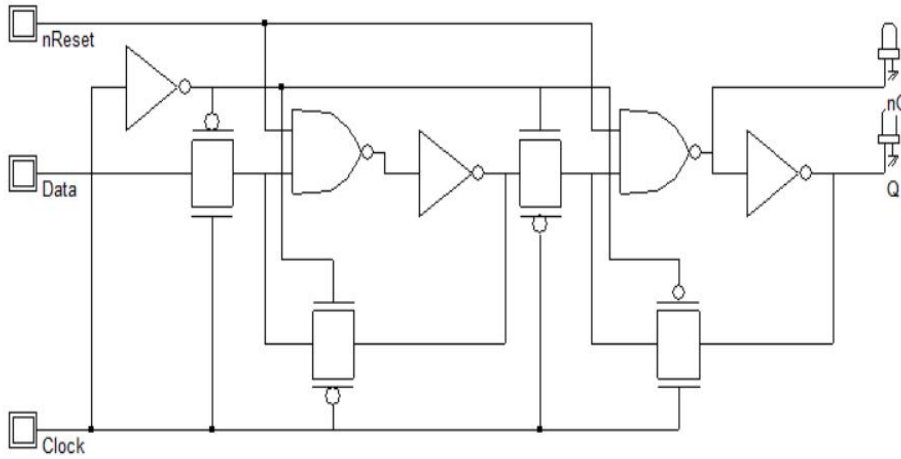




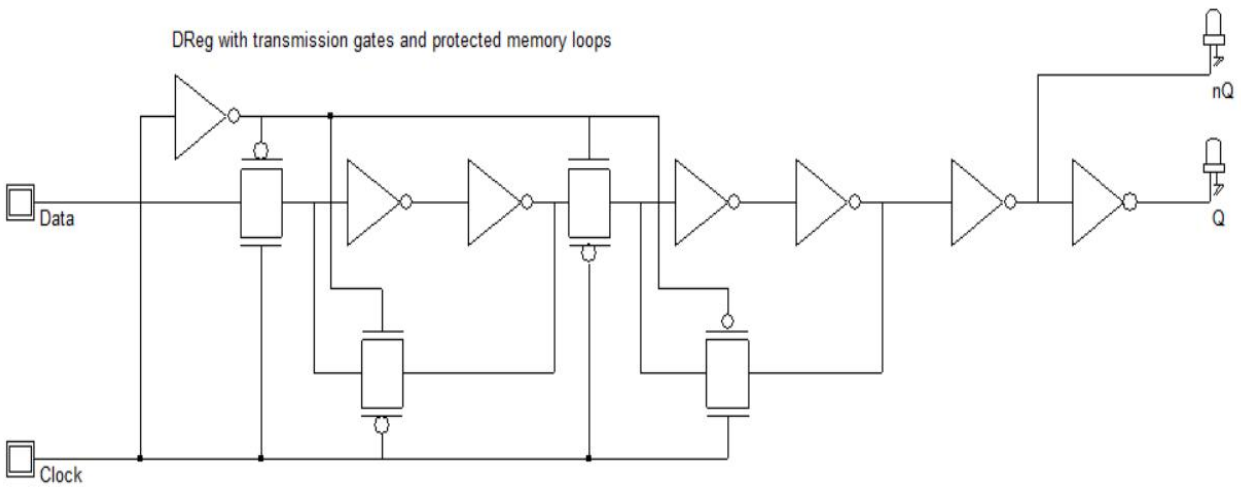


Καταχωρητές με πύλες μετάδοσης

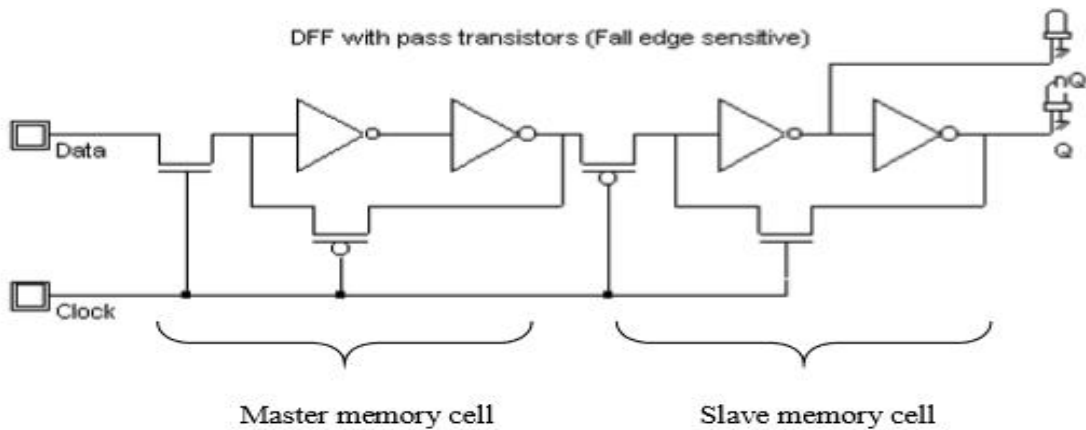
DReg with transmission gates and Reset



DReg with transmission gates and protected memory loops

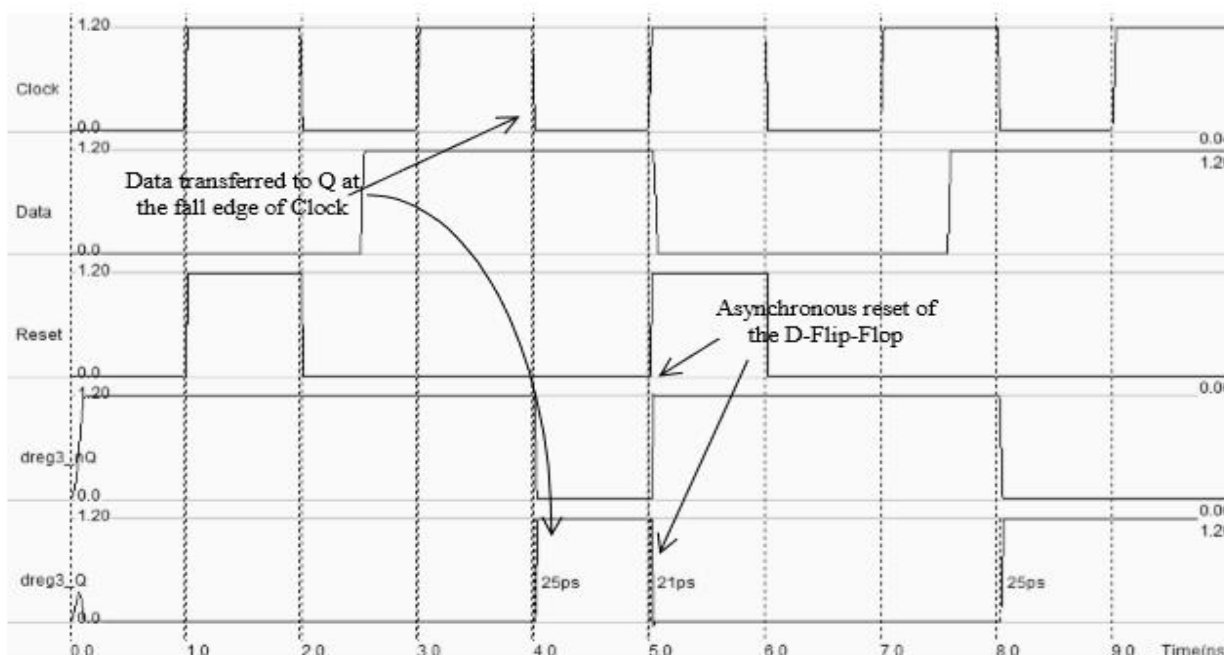
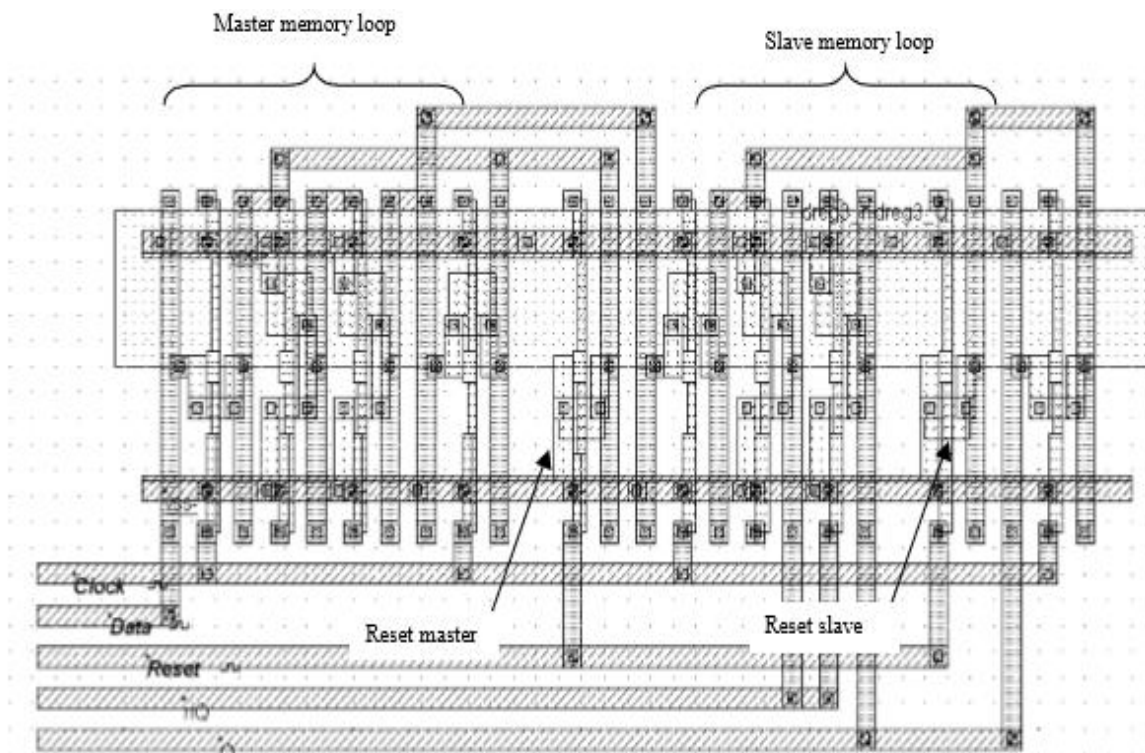


DFF with pass transistors (Fall edge sensitive)

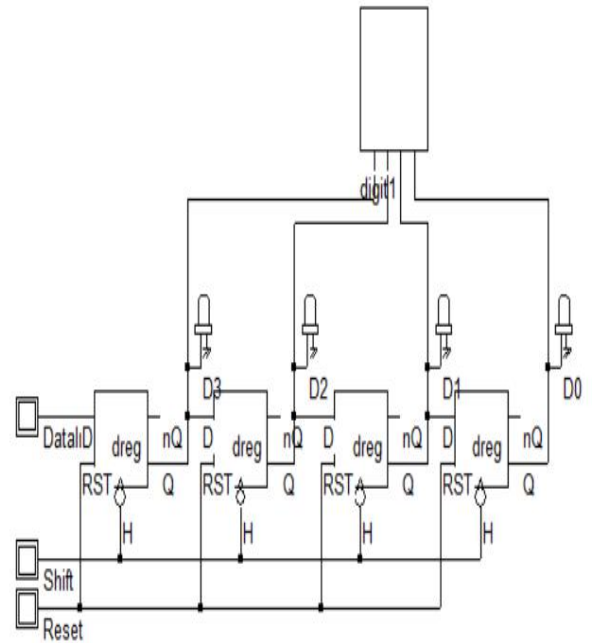
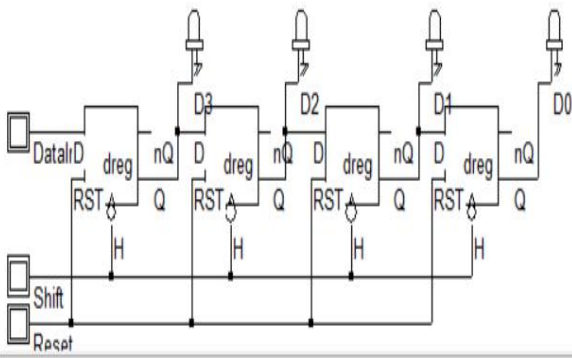
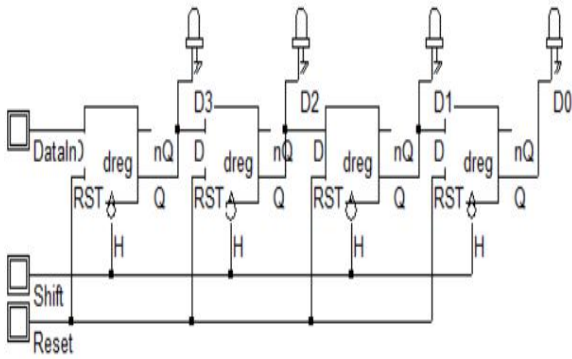
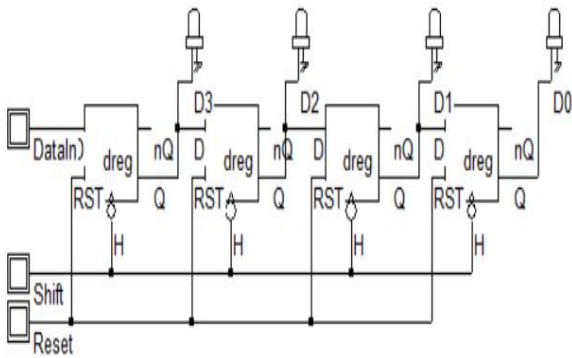
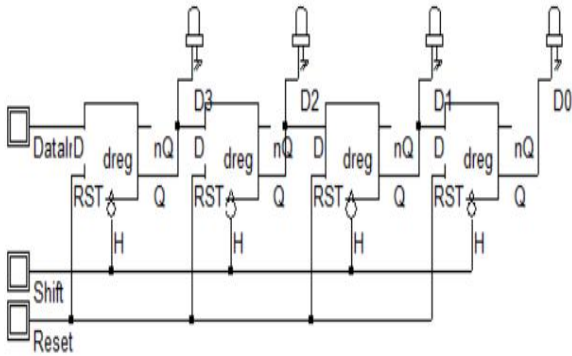


Layout D καταχωρητή στο Microwind

Αποτελείται απο το τμήμα master και απο το τμήμα slave ,καθέναν απο αυτά με δυο αντιστροφείς και δυο pass τρανζιστορς καθώς επίσης και ενα pass τρανζιστορ για την λειτουργία reset

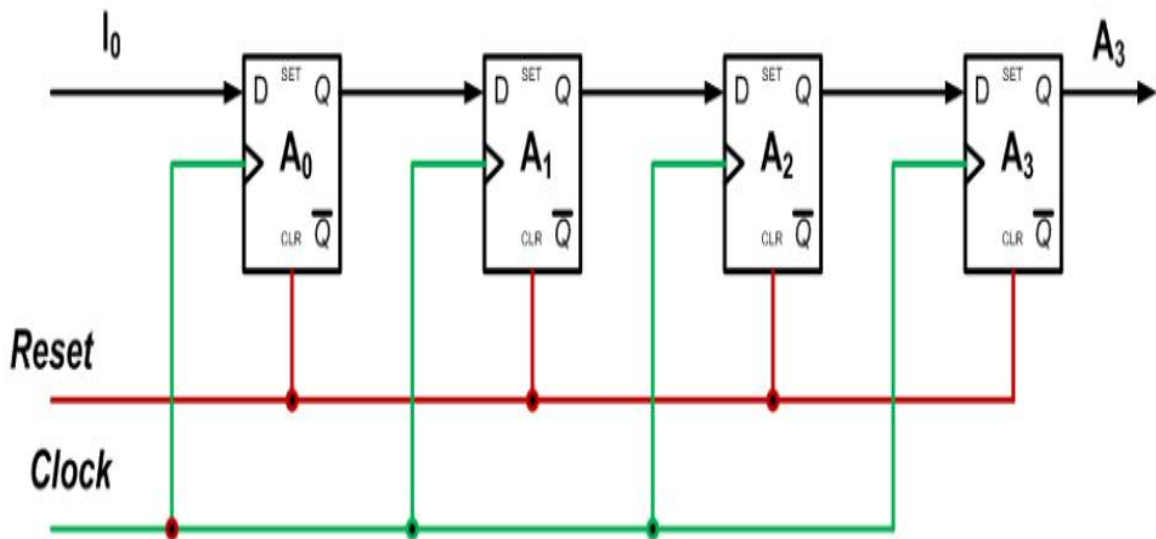
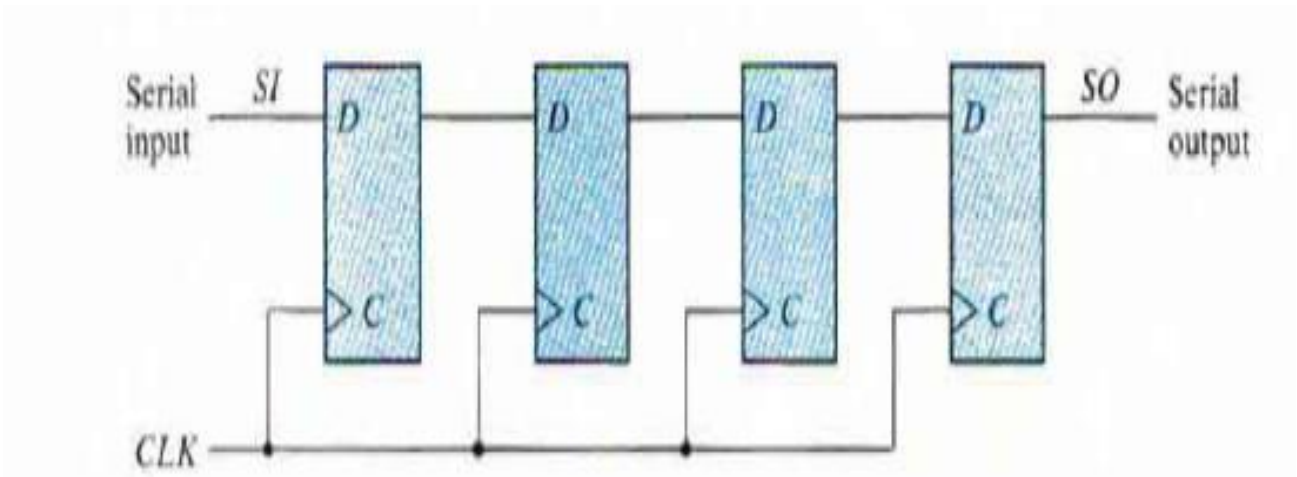


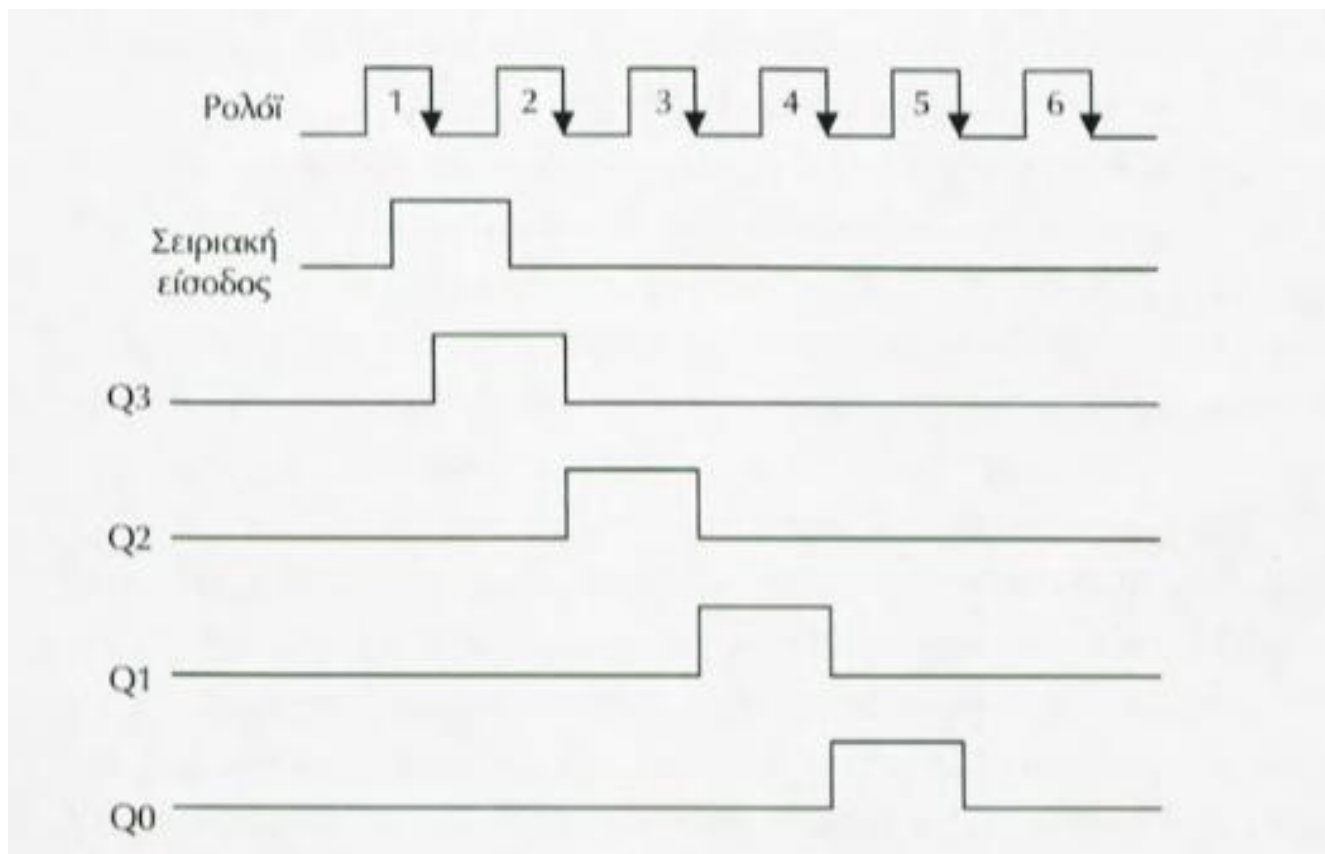
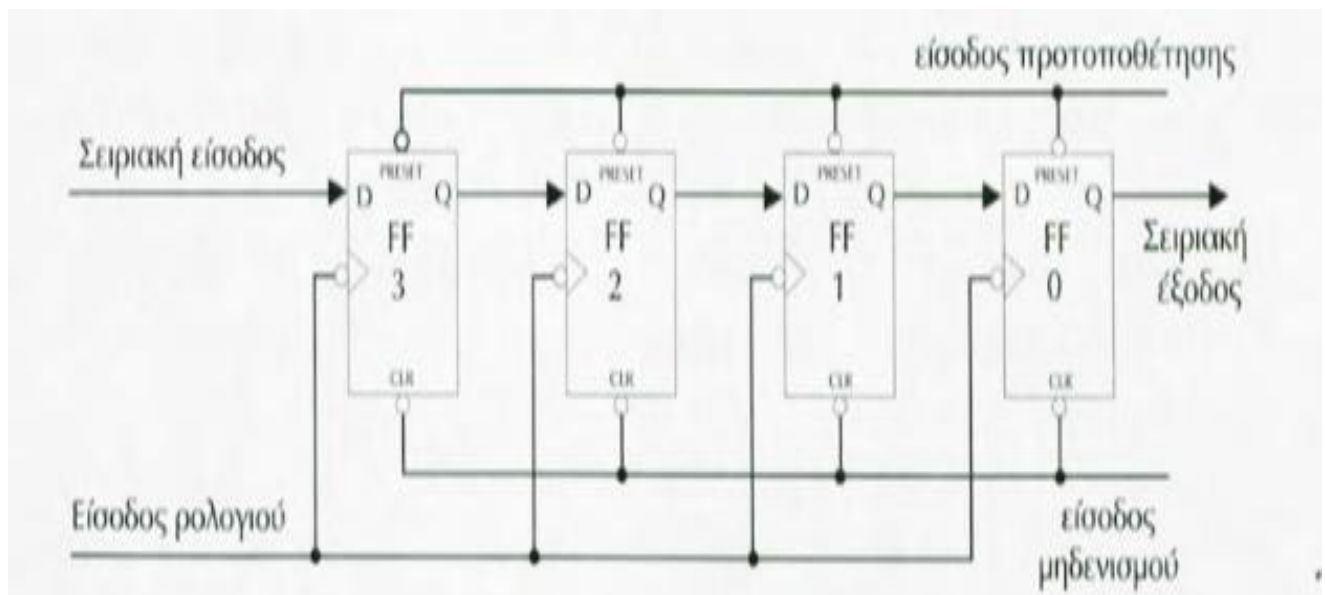
Καταχωρητές ολίσθησης



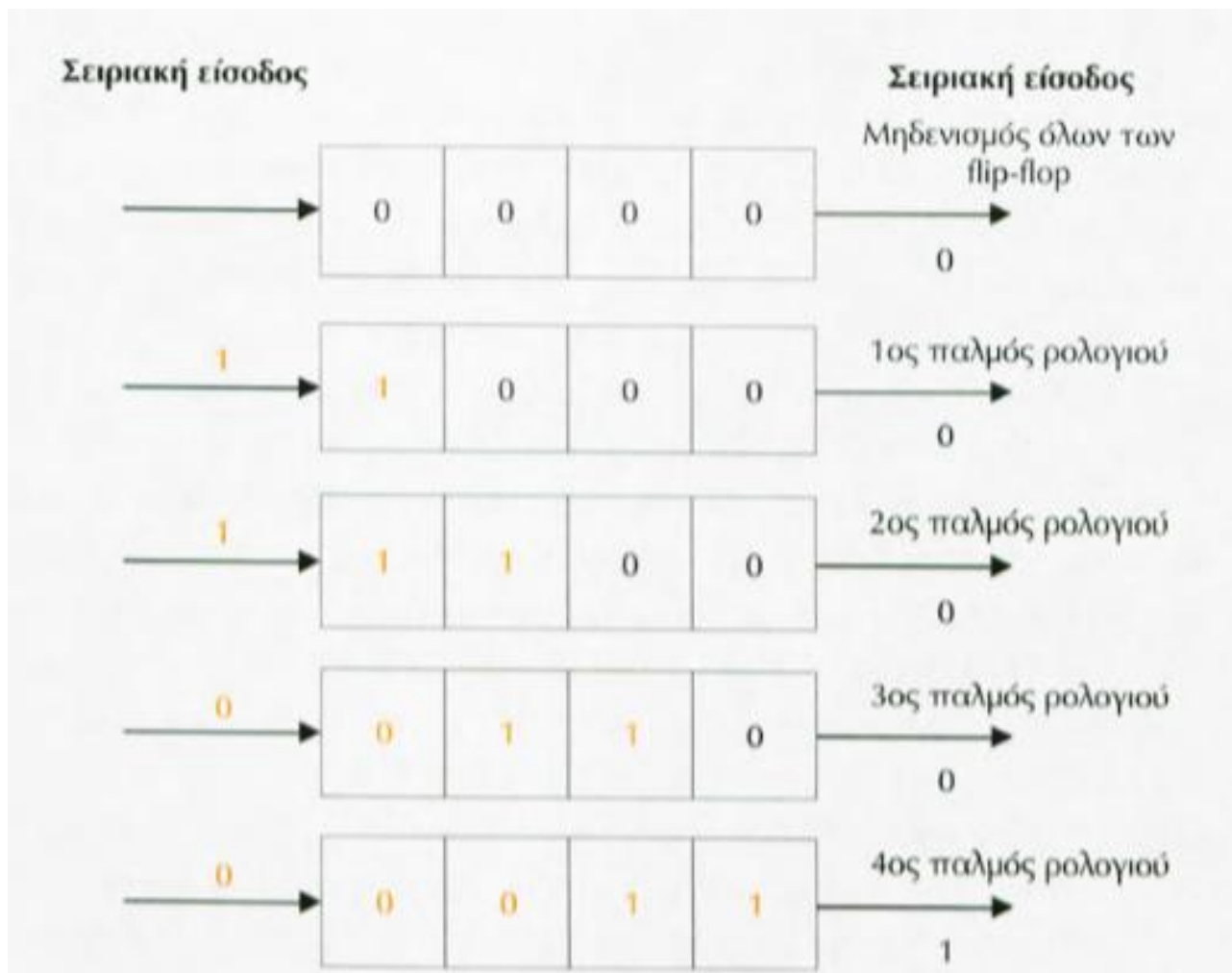
Καταχωρητής ολίσθησης 4 bits (SISO)

Σε κάθε παλμό του ρολογιού το περιεχόμενο της εισόδου κάθε flip – flop εμφανίζεται στην έξοδο που είναι είσοδος για το επόμενο flip – flop . Ετσι λοιπόν με τον επόμενο παλμό το περιεχόμενο πάει στην έξοδο του επόμενου flip – flop οπότε το περιεχόμενο του καταχωρητή φαίνεται να έχει ολισθήσει κατά μια θέση .Και πάει λέγοντας μέχρι να φτάσει στο τελευταίο.

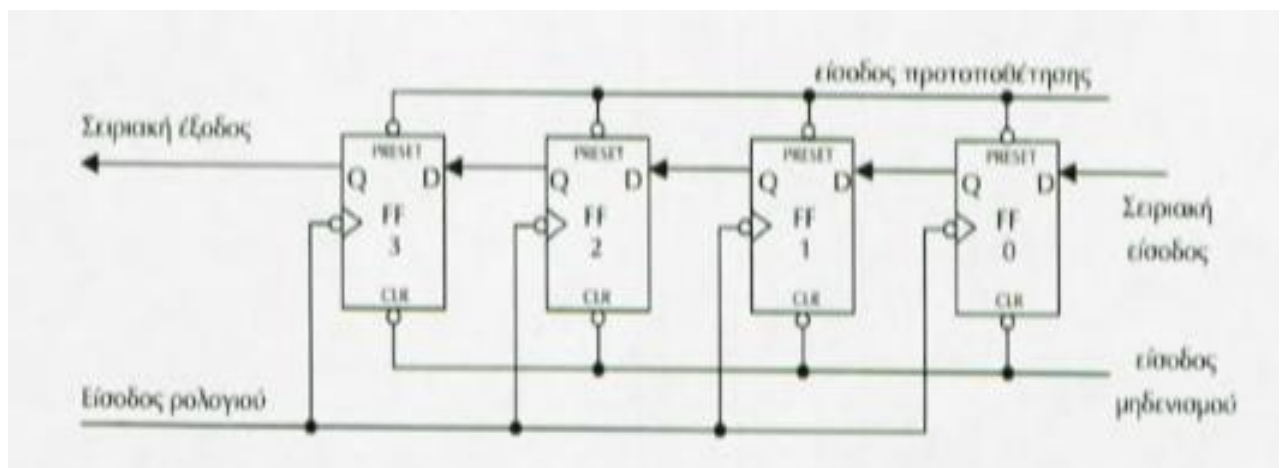




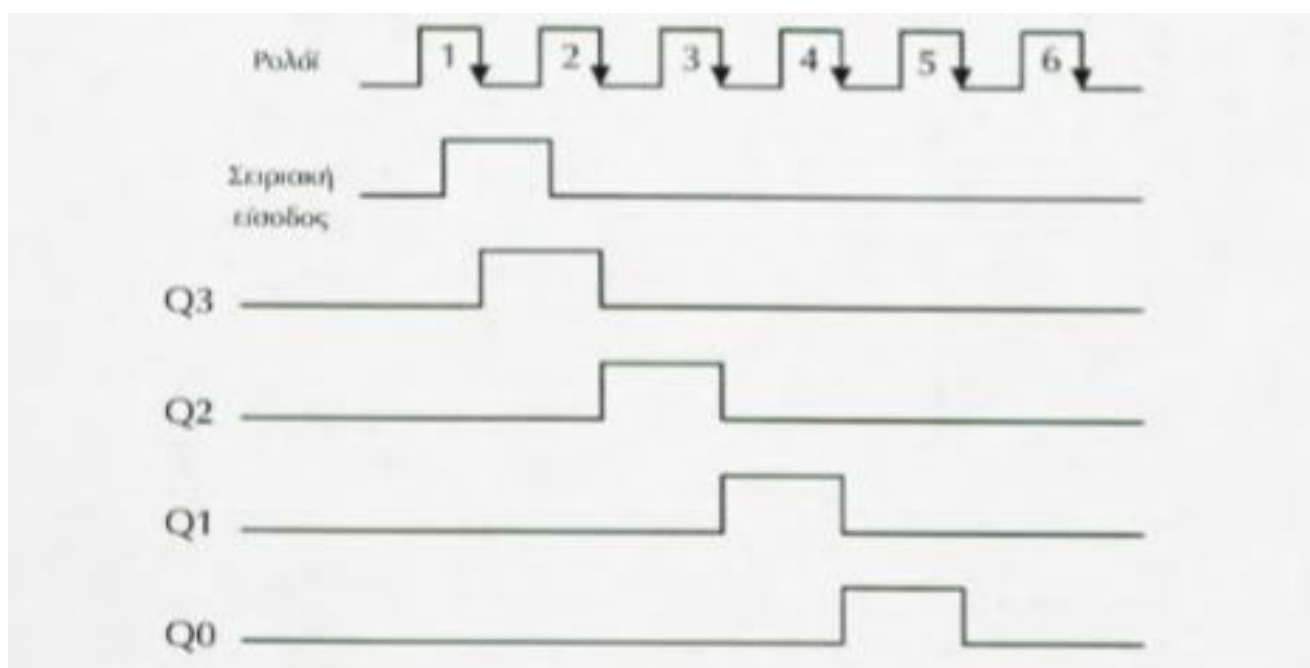
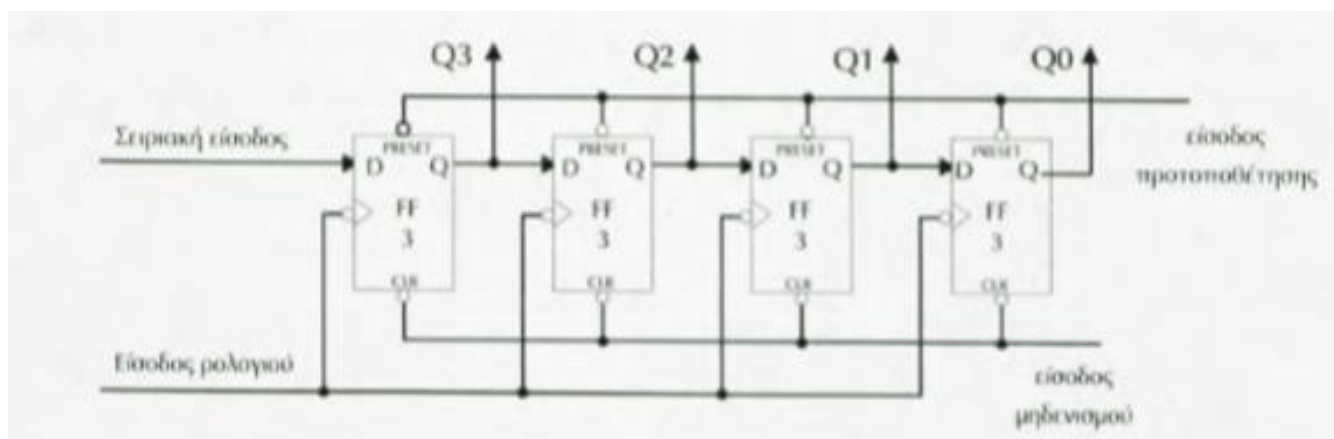
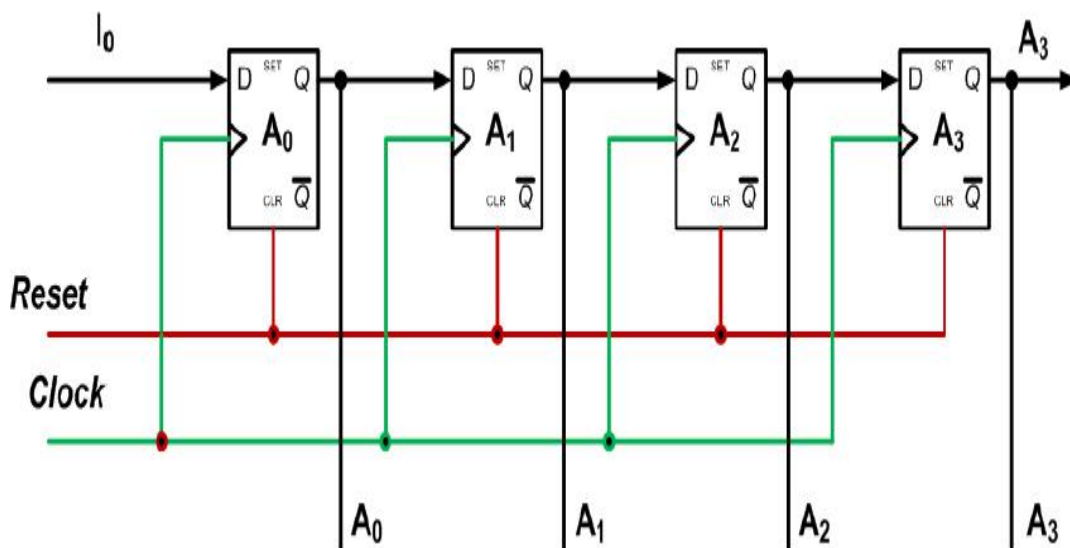
Δεξιά ολίσθηση

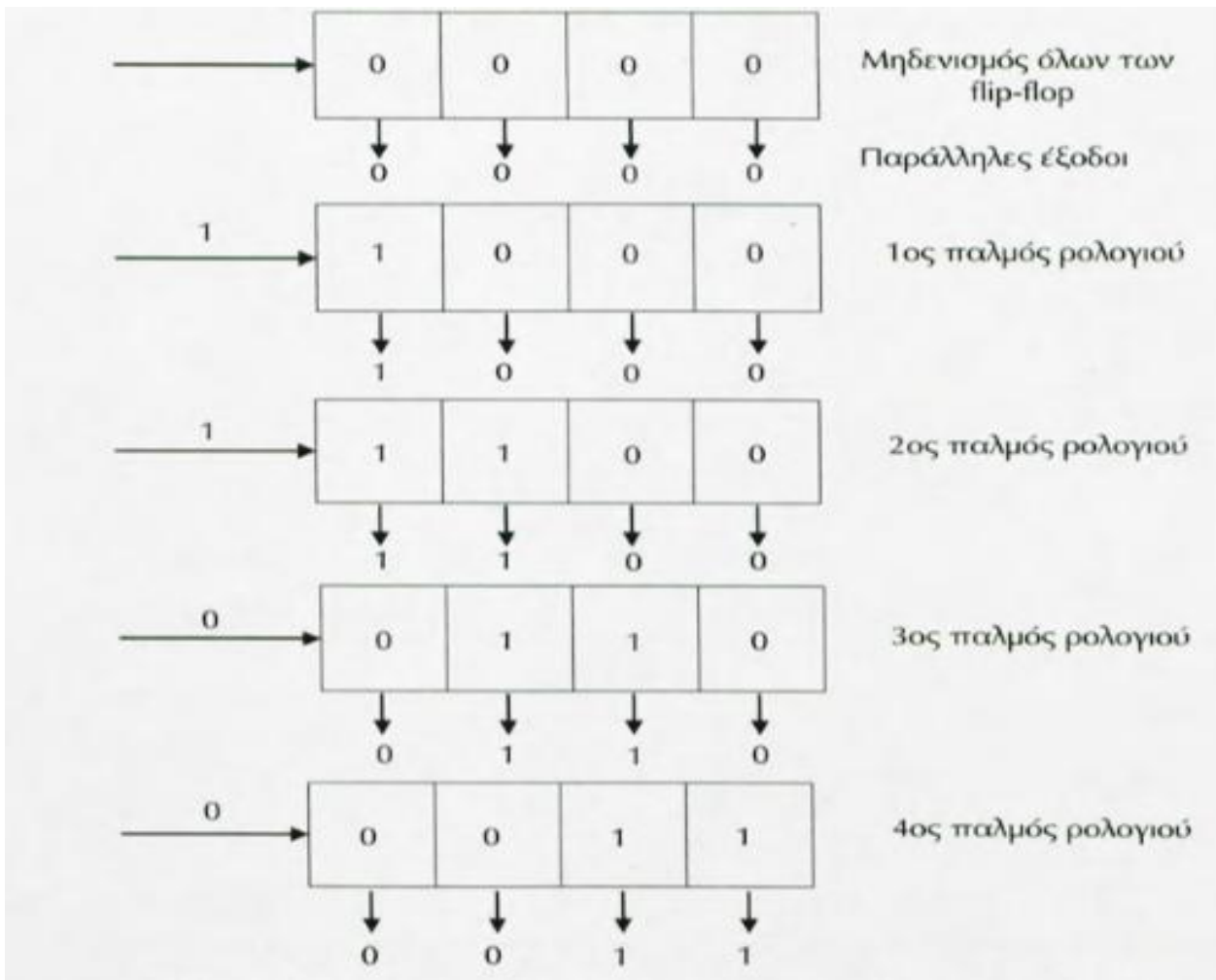


Αριστερή ολίσθηση

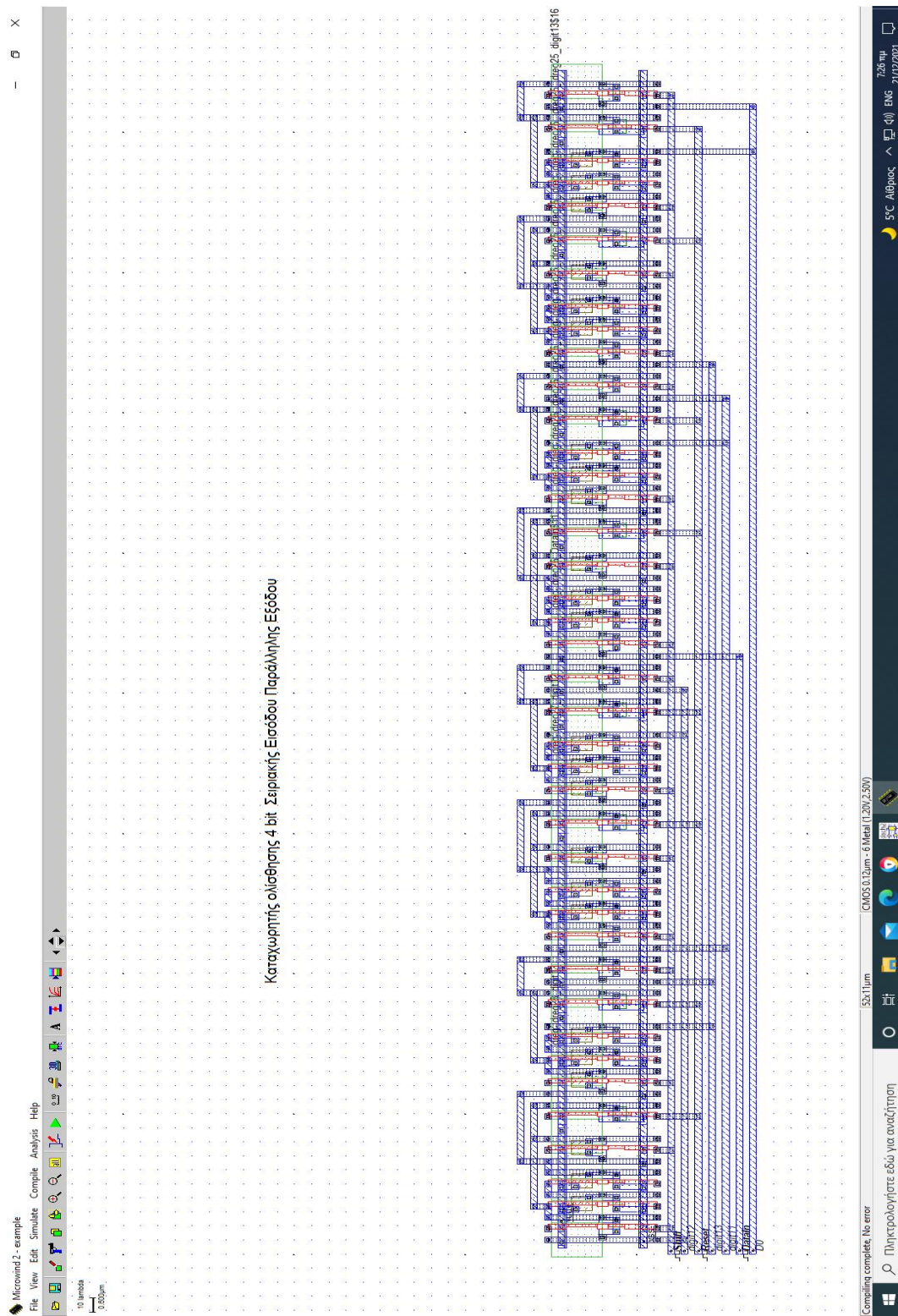


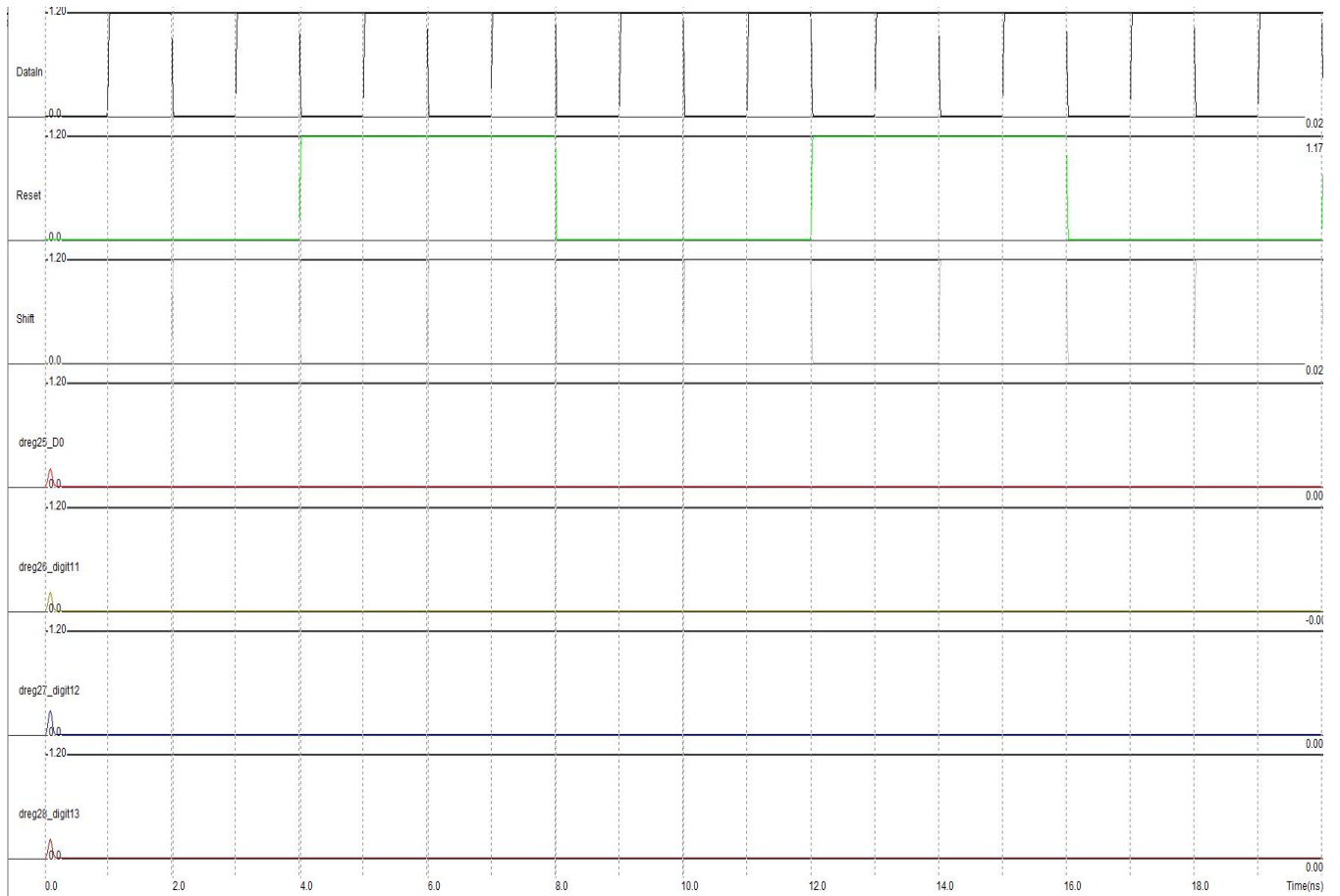
Καταχωρητής ολίσθησης 4 bits σειριακής εισόδου παράλληλης εξόδου (SIPO)



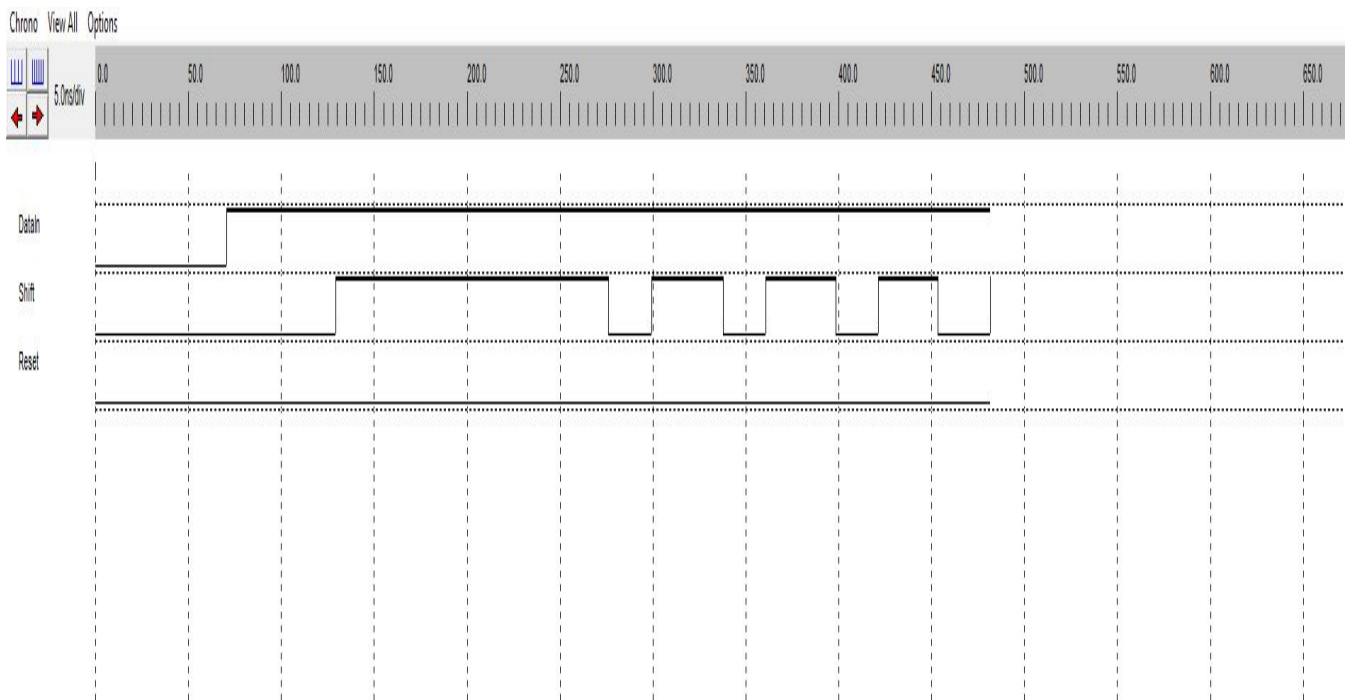
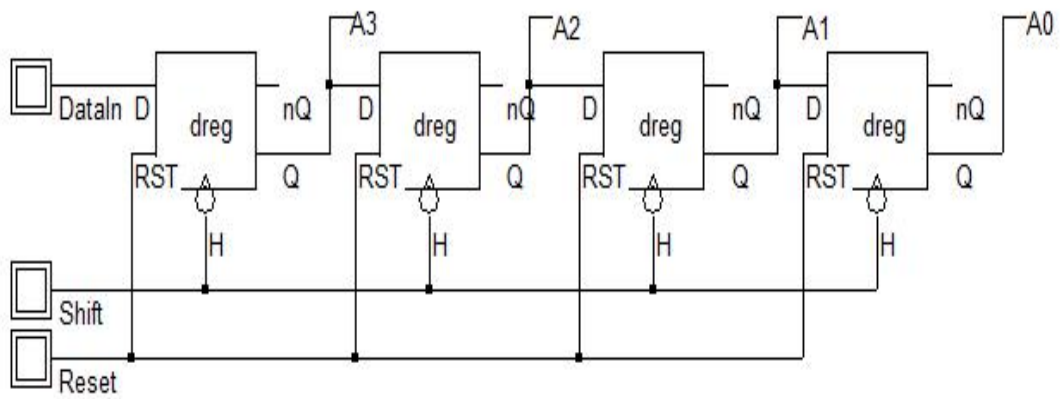


Καταχωρητής ολίσθησης 4 bits σειριακής εισόδου παράλληλης εξόδου (SIPO)



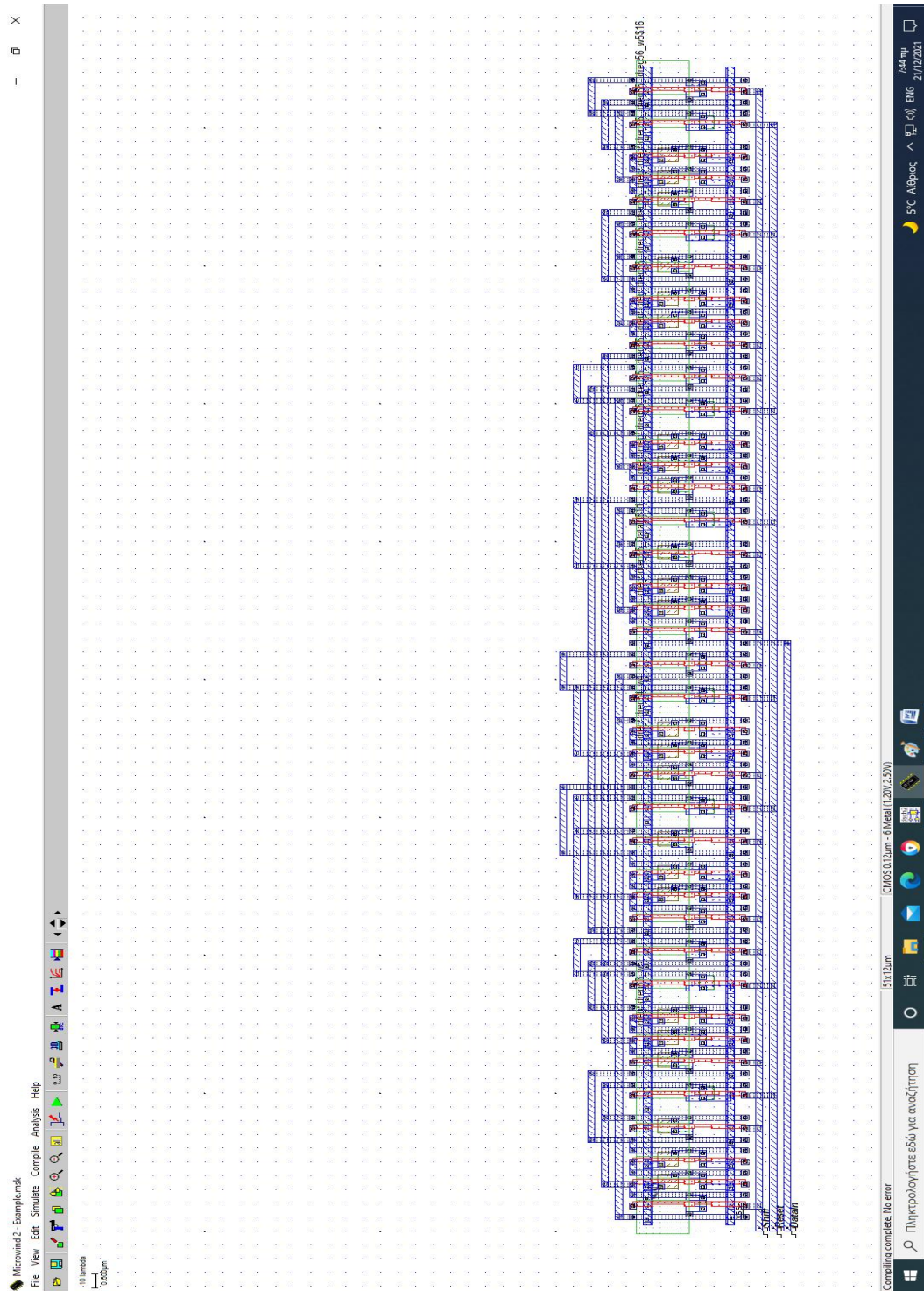


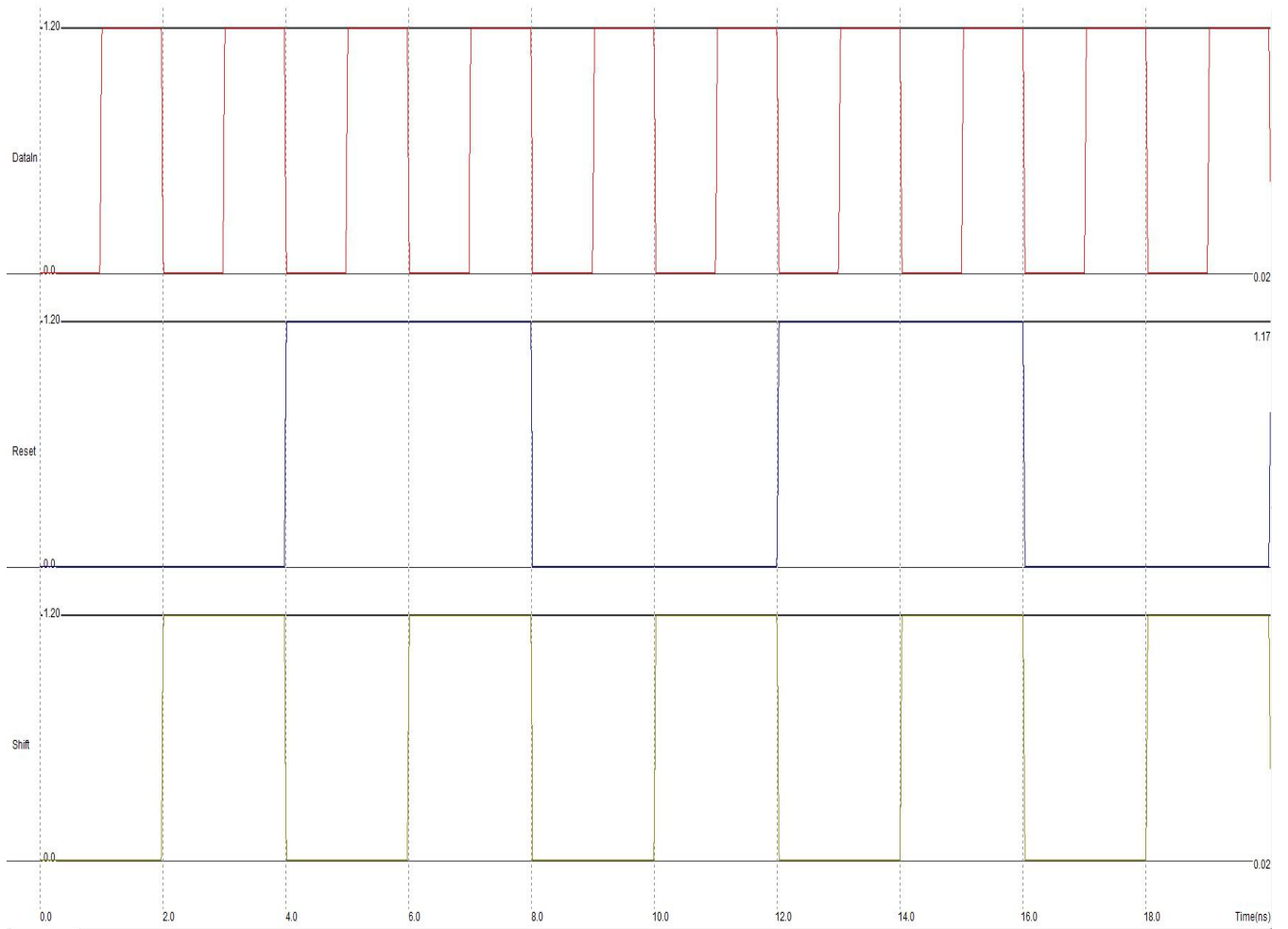
Καταχωρητής ολίσθησης 4 bits σειριακής εισόδου παράλληλης εξόδου (SIPO)



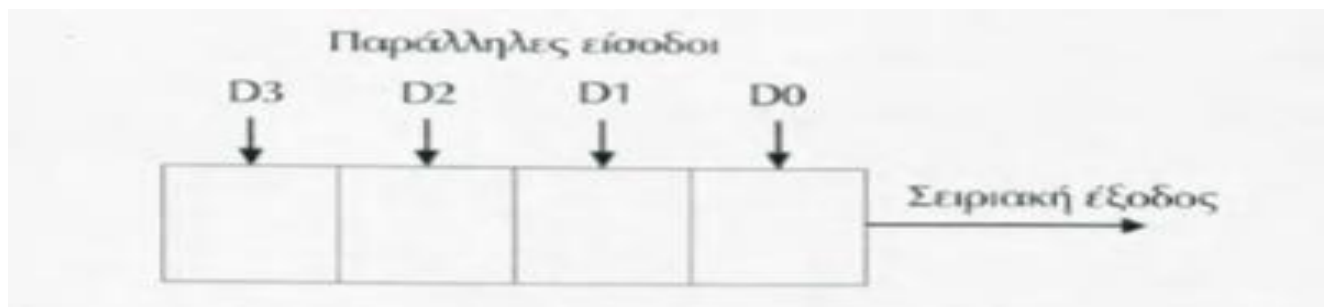
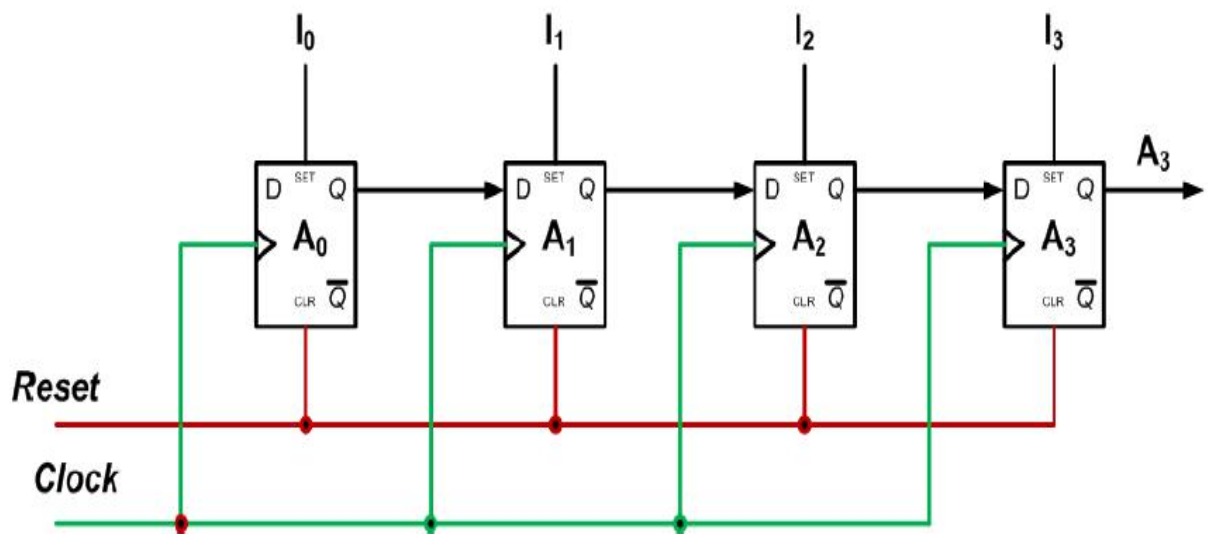
Καταχωρητής ολίσθησης 4 bits σειριακής εισόδου παράλληλης εξόδου (SIPO)

LAYOUT

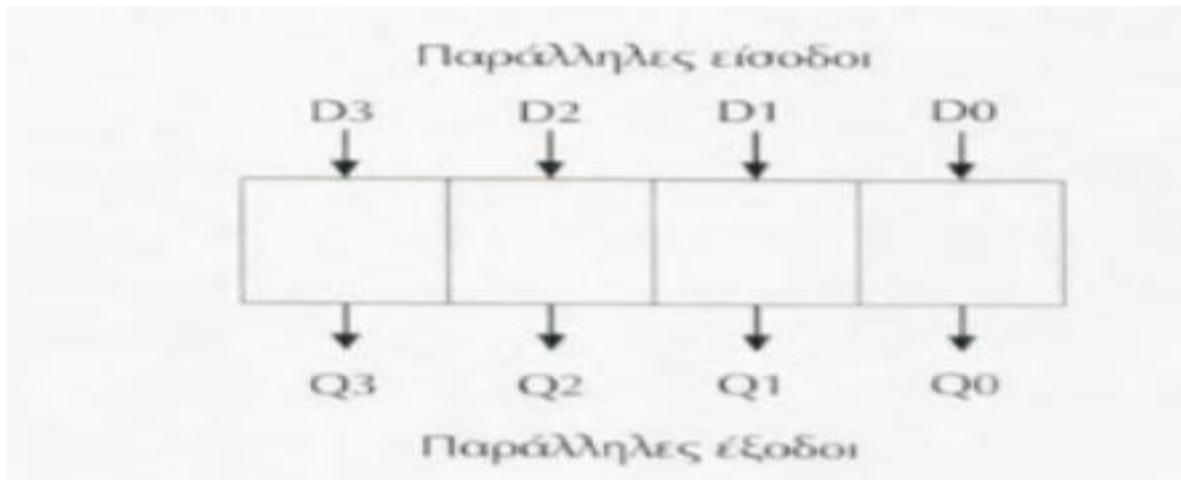




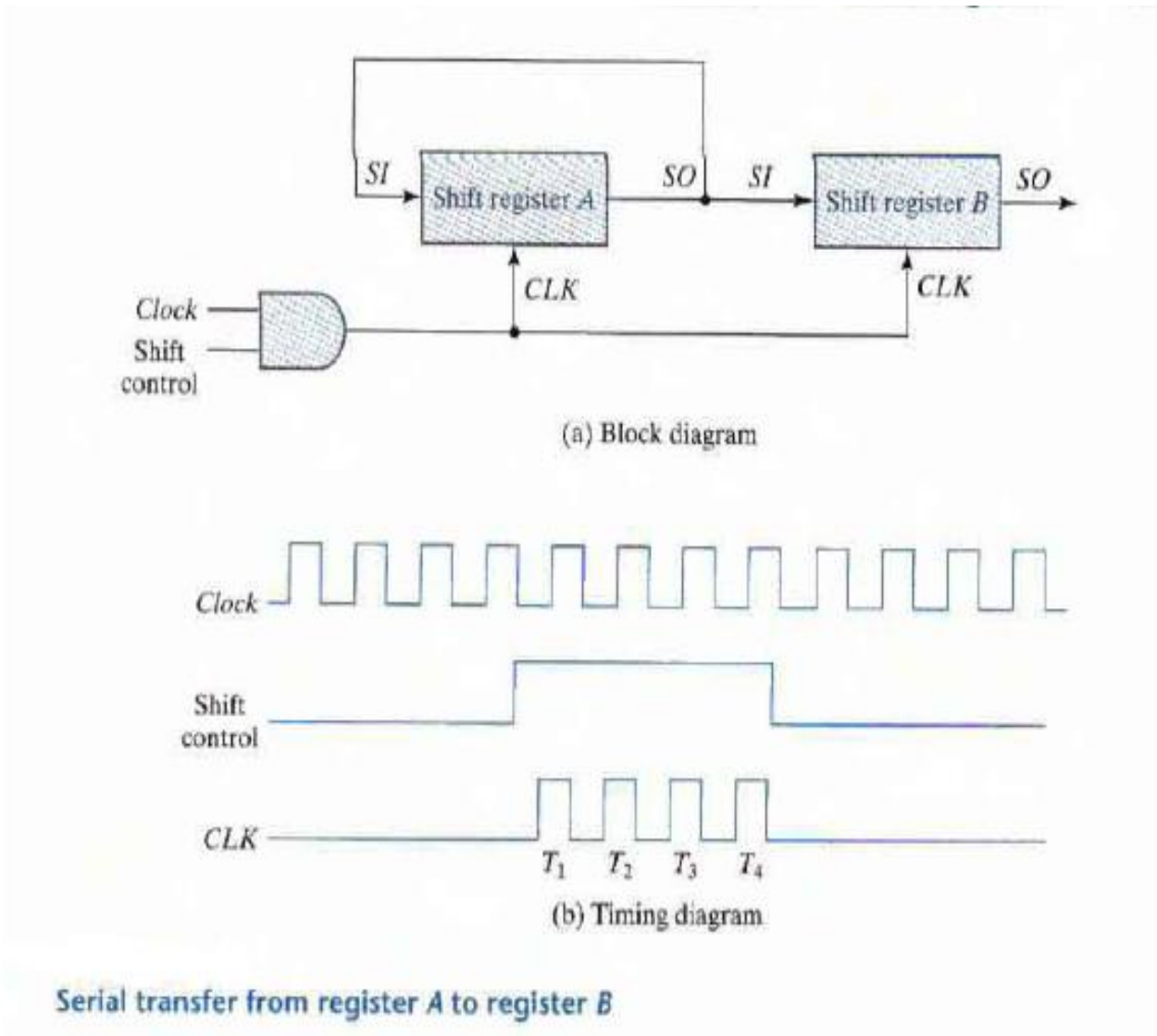
Καταχωρητής ολίσθησης 4 bits παράλληλης εισόδου σειριακής εξόδου (PISO)



Καταχωρητής ολίσθησης 4 bits ΡΙΡΟ



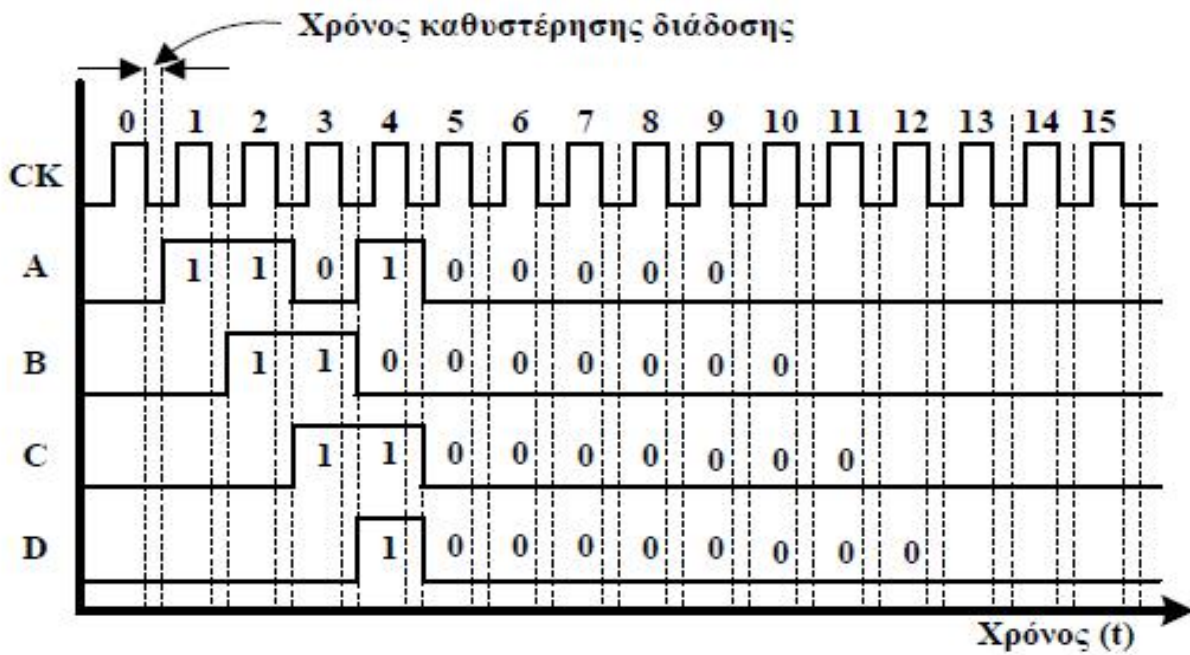
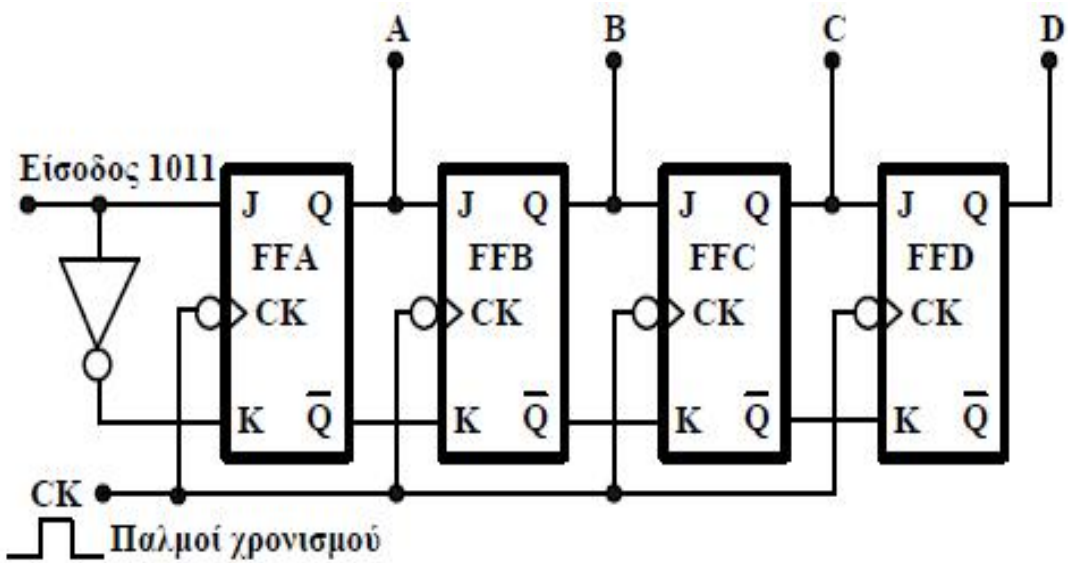
Καταχωρητής ολίσθησης 4 bits (SISO)



Πίνακας

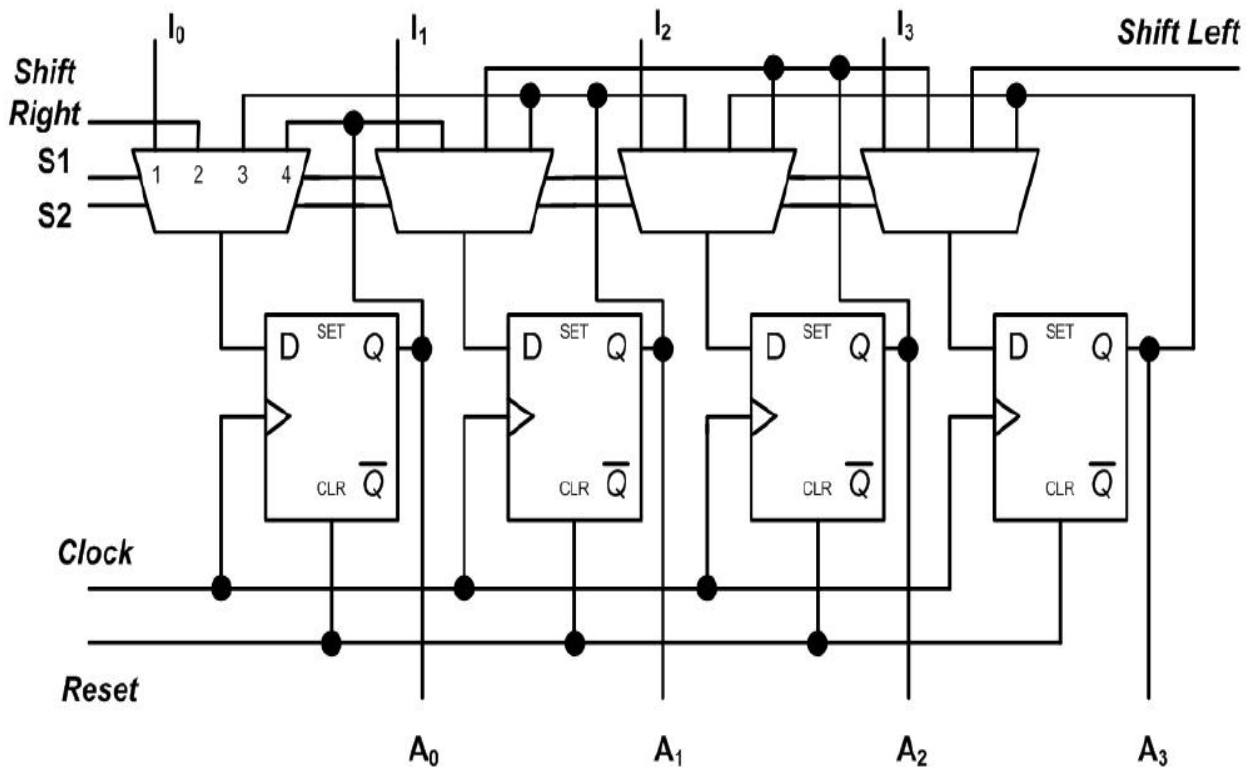
Timing Pulse	Shift Register A	Shift Register B
Initial value	1 0 1 1	0 0 1 0
After T ₁	1 1 0 1	1 0 0 1
After T ₂	1 1 1 0	1 1 0 0
After T ₃	0 1 1 1	0 1 1 0
After T ₄	1 0 1 1	1 0 1 1

Καταχωρητής ολίσθησης 4 bits σειριακής εισόδου παράλληλης εξόδου (SIPO)

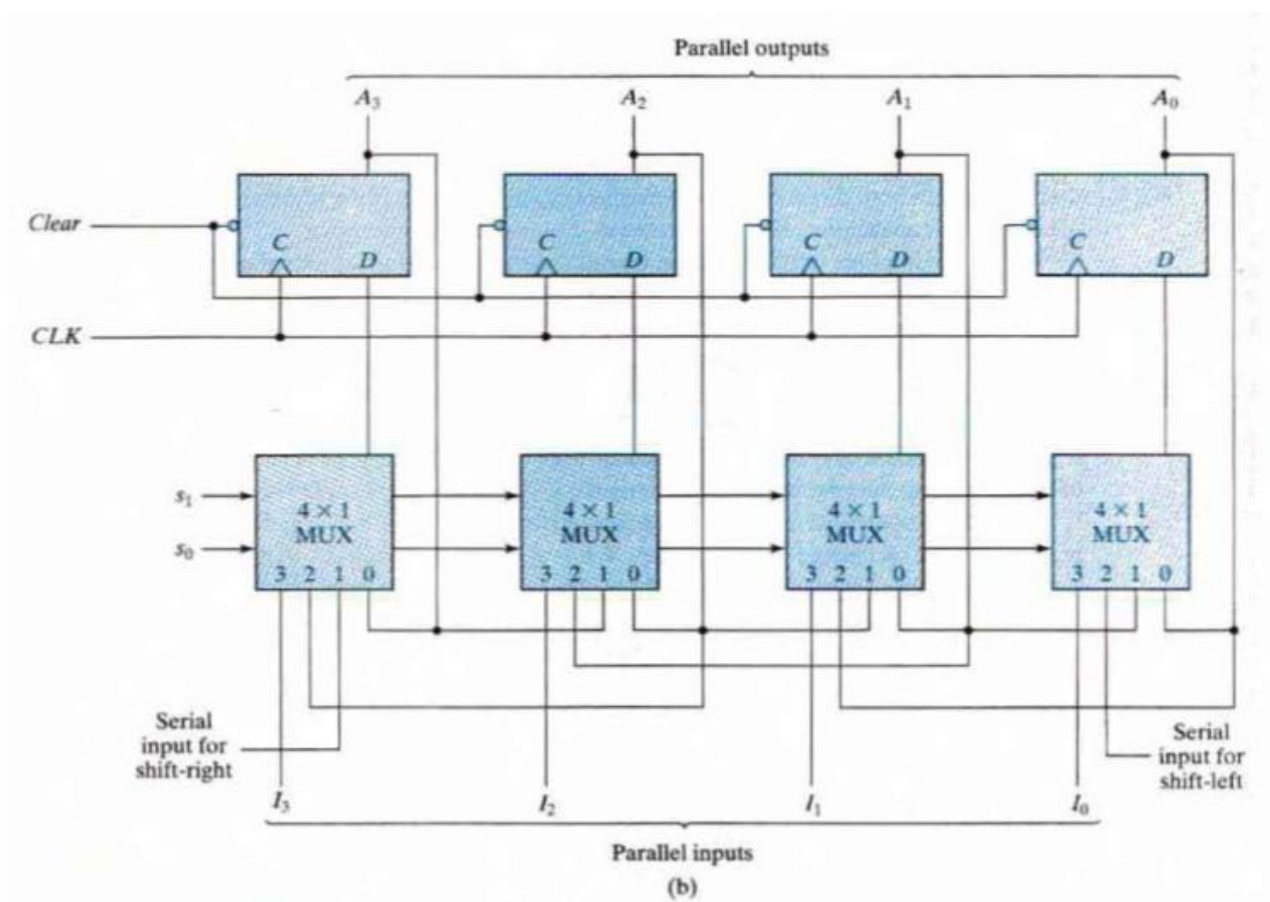
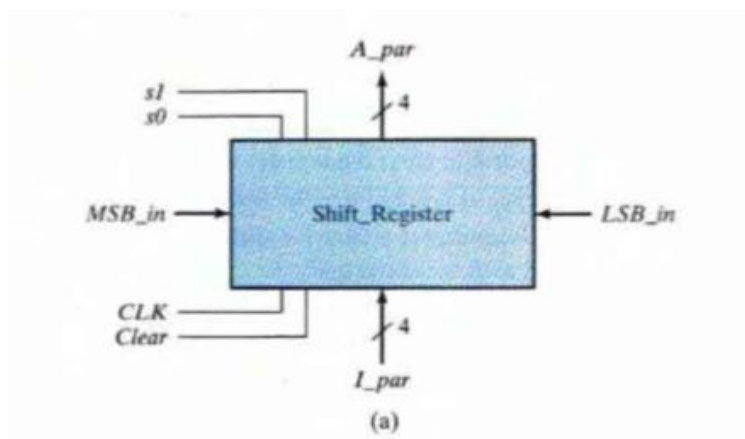


Καταχωρητής ολίσθησης παράλληλης φόρτωσης παράλληλης εξόδου (PIPO)

Με χρήση πολυπλέκτη ,έχουμε 16 διαφορετικές καταστάσεις (τέσσερις για κάθε τύπο), έχουμε και 8 εισόδους (χωρίς το ρολόι). Κάθε flip flop συνδέεται με ένα πολυπλέκτη όπου οι εισόδοι ελέγχου επιλέγουν μια από τις τέσσερις λειτουργίες.



4 bit shift register με πολυπλέκτη

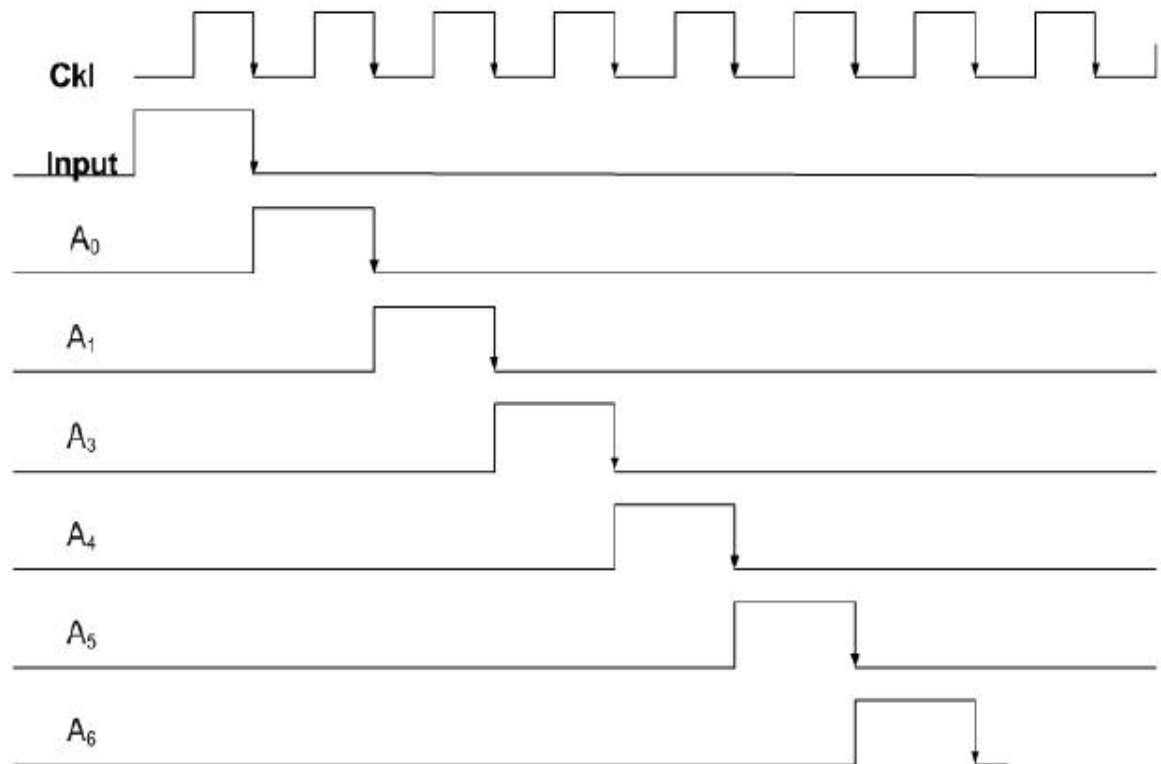
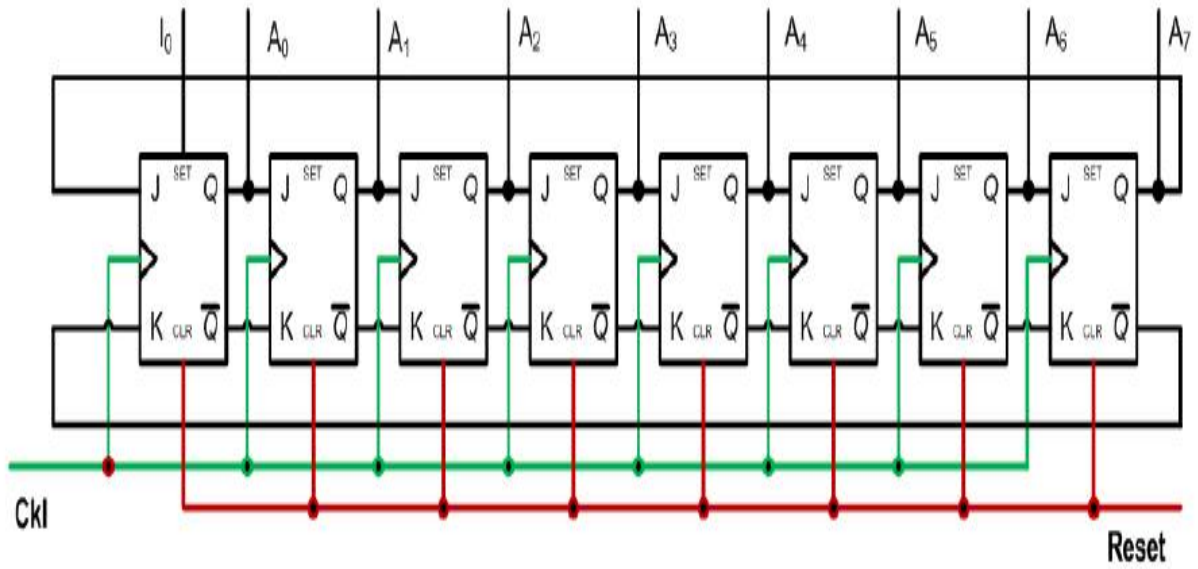


Πίνακας λειτουργίας του καταχωρητή ολίσθησης

Mode Control		
s_1	s_0	Register Operation
0	0	No change
0	1	Shift right
1	0	Shift left
1	1	Parallel load

Κυκλικός απαριθμητής

Με 8 flip – flop



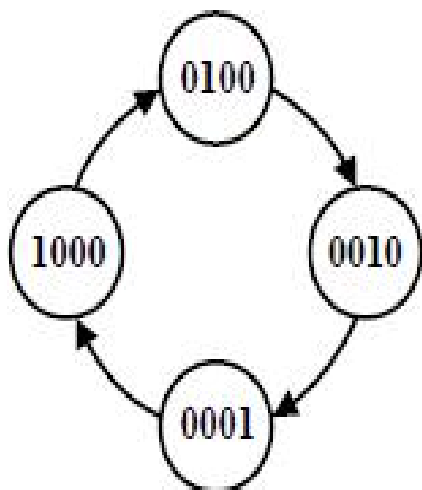
Κυκλικός απαριθμητής

Με 4 flip – flop

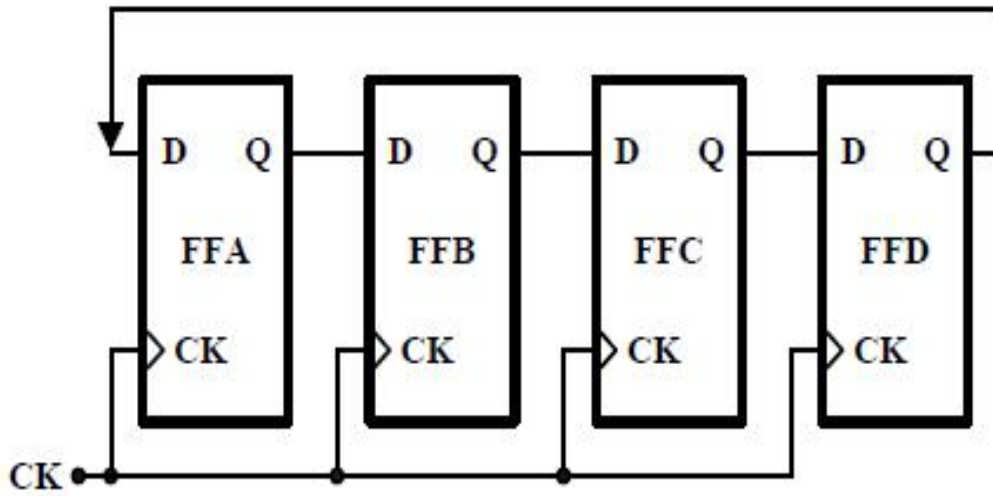
Πίνακας αληθείας

CK	Q _A	Q _B	Q _C	Q _D
0	1	0	0	0
1	0	1	0	0
2	0	0	1	0
3	0	0	0	1
4	1	0	0	0
.

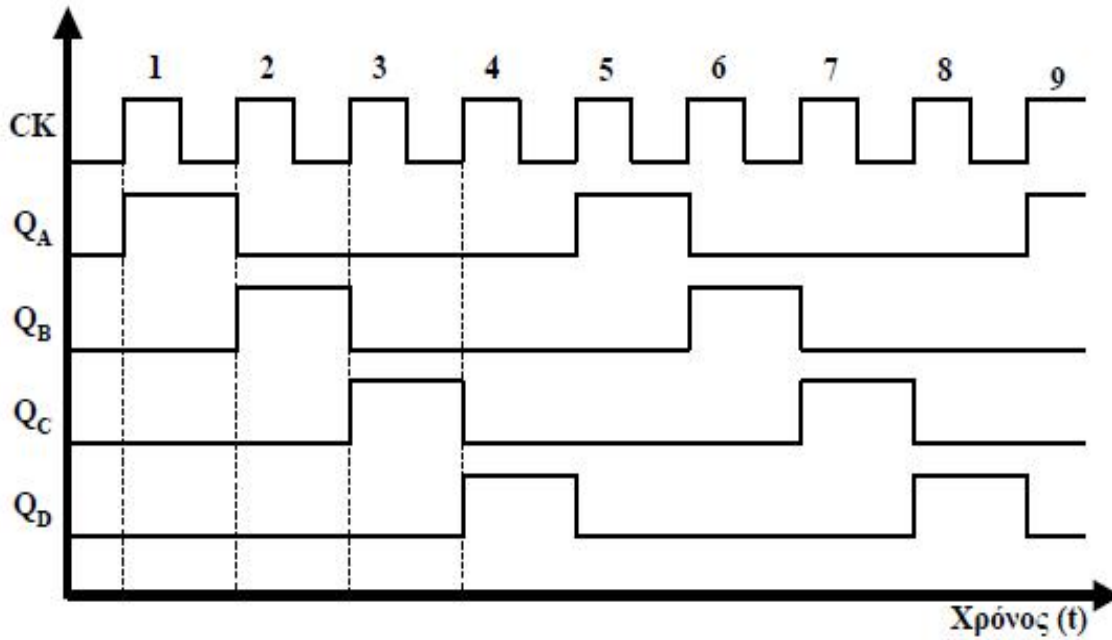
Διάγραμμα καταστάσεων



Λογικό κύκλωμα κυκλικού απαριθμητή

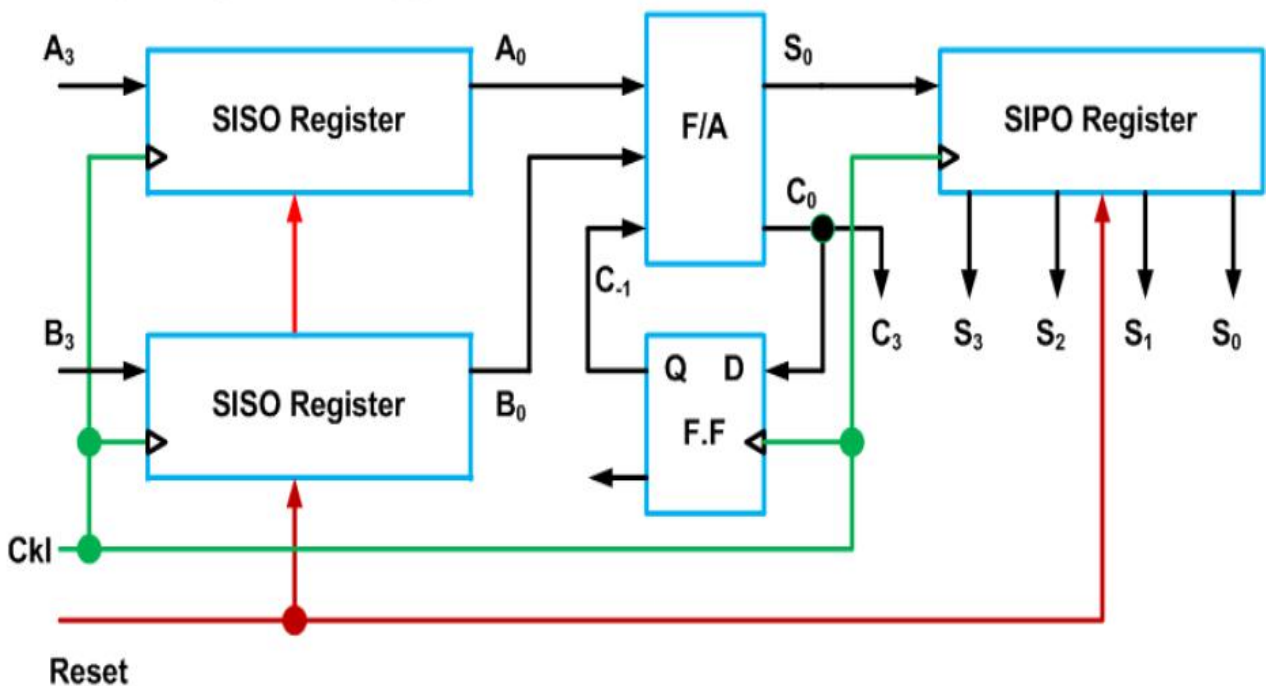


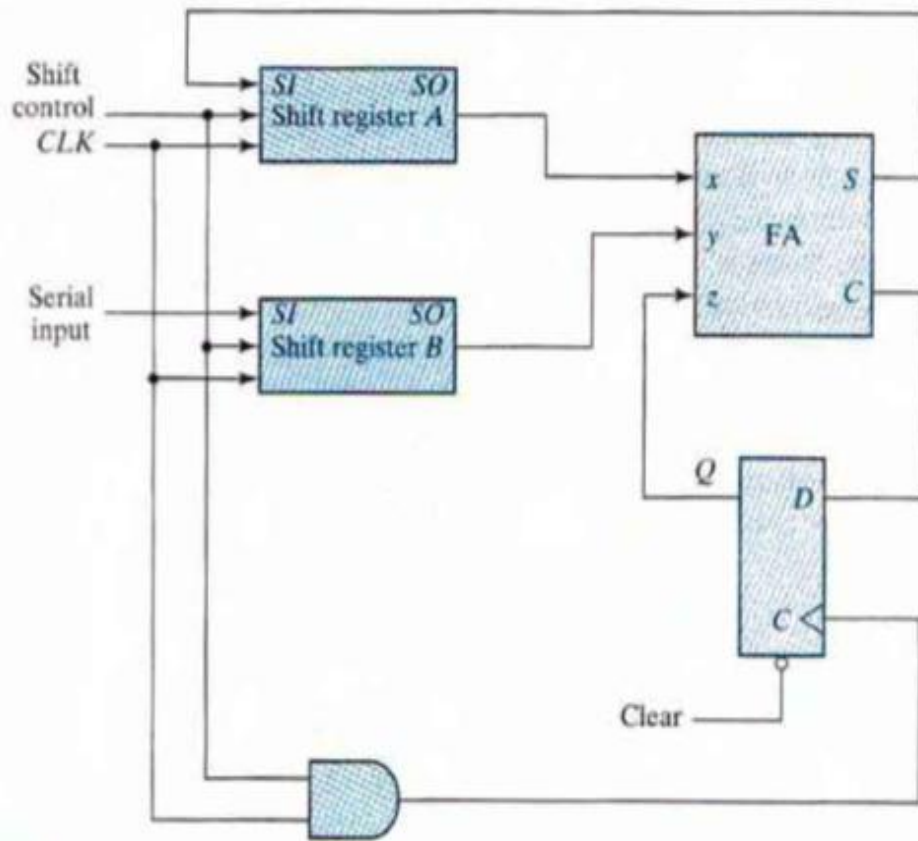
Κυματομορφές



Σειριακός Αθροιστής

Εδώ έχουμε ένα σειριακό αθροιστή , όπου δυο αριθμοί αποθηκεύονται σειριακά στους ολισθητές SISO και με τον παλμό του ρολογιού πάνε στον πλήρη αθροιστή (F/A) όπου προστίθονται τα δύο bit μαζί με το κρατούμενο από προηγούμενη άθροιση που έχει κρατηθεί από το D flip – flop για ένα παλμό ρολογιού. Το αποτέλεσμα θα πάει στον SIPO καταχωρητή , από όπου λαμβάνεται παράλληλα.





Serial adder

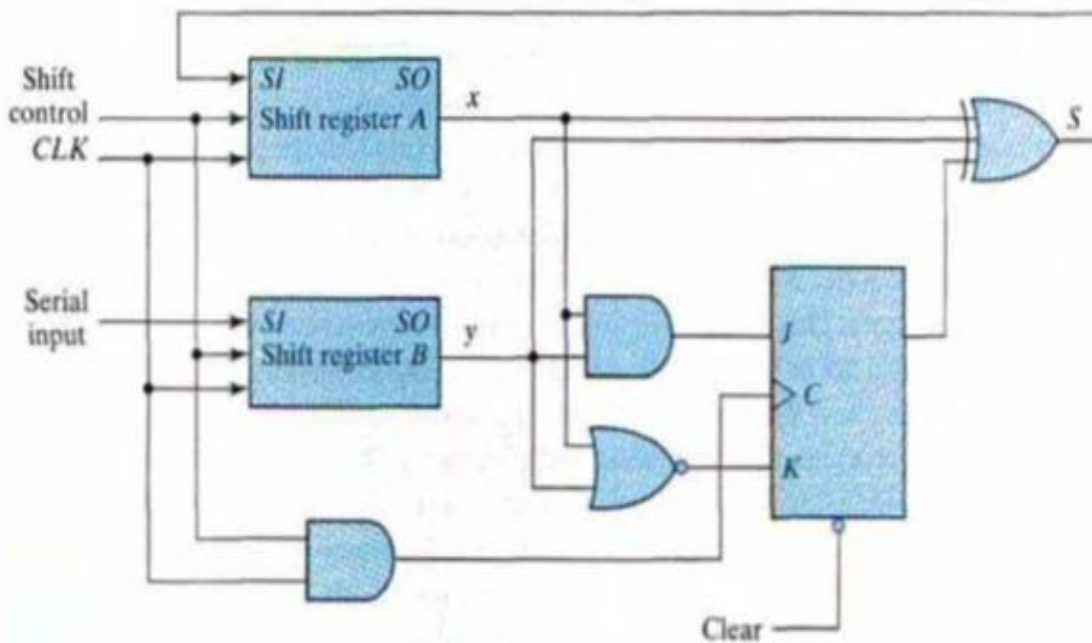
$$J_Q = xy$$

$$K_Q = x'y' = (x + y)'$$

$$S = x \oplus y \oplus Q$$

State Table for Serial Adder

Present State	Inputs		Next State	Output	Flip-Flop Inputs	
	Q	x y			Q	S
0	0	0	0	0	0	X
0	0	1	0	1	0	X
0	1	0	0	1	0	X
0	1	1	1	0	1	X
1	0	0	0	1	X	1
1	0	1	1	0	X	0
1	1	0	1	0	X	0
1	1	1	1	1	X	0



Second form of serial adder

VERILOG/VHDL CODE OF REGISTER (KATAXΩPHTH) SISO

4 BIT

```

entity SREG4 is
  port ( CLK    : in  std_logic ;
         DIN    : in  std_logic ;
         DOUT   : out std_logic ) ;
end SREG4 ;

```

```

architecture behavioral of SREG4 is

  begin
    process (CLK)
      variable REG : std_logic_vector(3 downto 0);
      begin
        if CLK'event and CLK='1' then
          REG := DIN & REG(3 downto 1);
        end if;
        DOUT <= REG(0);
      end process;
    end behavioral;

```

VERILOG/VHDL CODE OF REGISTER (KATAXΩPHTH) PIPO 4 BIT

```

entity PREG4 is
    port ( CLK,RESET,LOAD : in std_logic ;
           DIN   : in std_logic_vector(3 downto 0) ;
           DOUT  : out std_logic_vector(3 downto 0) ) ;
end PREG4 ;
    
```

```

architecture behavioral of PREG4 is
    
```

```

begin
    process (CLK,RESET,LOAD)
    begin
        if RESET='1' then
            DOUT <= "0000" ;
        elsif CLK'event and CLK='1' then
            if LOAD='1' then
                DOUT <= DIN;
            end if;
        end if;
    end process;

end behavioral;
    
```

VERILOG/VHDL CODE OF ASYNCHRONOUS 4 BIT BINARY COUNTER

ΠΙΝΑΚΑΣ

COUNT			
C(3)	C(2)	C(1)	C(0)
0	0	0	0
0	0	0	1
0	0	1	0
0	0	1	1
0	1	0	0
0	1	0	1
0	1	1	0
0	1	1	1
1	0	0	0
1	0	0	1
1	0	1	0
1	0	1	1
1	1	0	0
1	1	0	1
1	1	1	0
1	1	1	1

```

entity ACOUNTER4 is
    port ( CLK      : in  std_logic ;
          RESET_A  : in  std_logic ;
          COUNT    : inout std_logic_vector(3 downto 0) ) ;
end ACOUNTER4 ;

```

```

architecture behavioral of ACOUNTER4 is
    begin
        process (CLK,COUNT,RESET_A)
            begin
                if RESET_A='1' then
                    count <= "0000";
                else
                    if CLK'event and CLK='1' then
                        COUNT(0) <= not COUNT(0);
                    end if;
                    if COUNT(0)'event and COUNT(0)='0' then
                        COUNT(1) <= not COUNT(1);
                    end if;
                    if COUNT(1)'event and COUNT(1)='0' then
                        COUNT(2) <= not COUNT(2);
                    end if;
                    if COUNT(2)'event and COUNT(2)='0' then
                        COUNT(3) <= not COUNT(3);
                    end if;
                end if;
            end process;
        end behavioral;

```

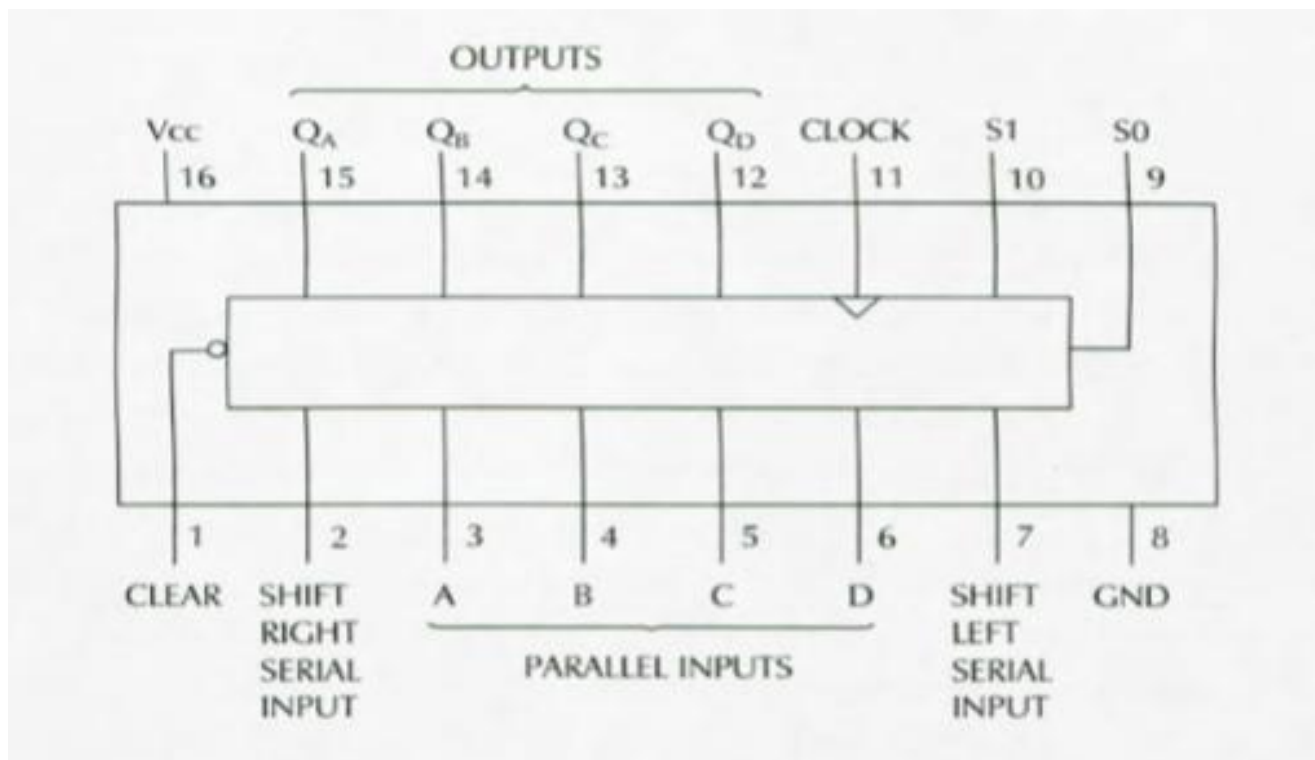
VERILOG/VHDL CODE OF SYNCHRONOUS 4 BIT BINARY COUNTER WITH COUNT, ENABLE, SYNCHRONOUS LOAD AND ASYNCHRONOUS RESET

```
entity SCOUNTER4 is
  port ( CLK,RESET_A : in std_logic ;
         CE,LOAD,DIR : in std_logic ;
         DIN : in INTEGER range 0 to 15 ;
         COUNT : inout INTEGER range 0 to 15 ) ;
end SCOUNTER4 ;
```

```
architecture behavioral of SCOUNTER4 is
```

```
begin
  process (CLK,RESET_A,LOAD,CE,DIR)
  begin
    if RESET='1' then
      COUNT <= 0 ;
    elsif CLK'event and CLK='1' then
      if LOAD='1' then
        COUNT <= DIN;
      else
        if CE='1' then
          if DIR='1' then
            COUNT <= COUNT + 1;
          else
            COUNT <= COUNT - 1;
          end if;
        end if;
      end if;
    end if;
  end process;
end behavioral;
```

Καταχωρητής ολίσθησης με το ολοκληρωμένο κύκλωμα 74194



Inputs						Outputs							
Clear	Mode		Clock	Serial		Parallel							
	S1	S0		Left	Right	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	QA0	QB0	QC0	QD0
H	H	H	↑	X	X	a	b	c	d	a	b	c	d
H	L	H	↑	X	H	X	X	X	X	H	QA _n	QB _n	QC _n
H	L	H	↑	X	L	X	X	X	X	L	QA _n	QB _n	QC _n
H	H	L	↑	H	X	X	X	X	X	QB _n	QC _n	QD _n	H
H	H	L	↑	L	X	X	X	X	X	QB _n	QC _n	QD _n	L
H	L	L	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

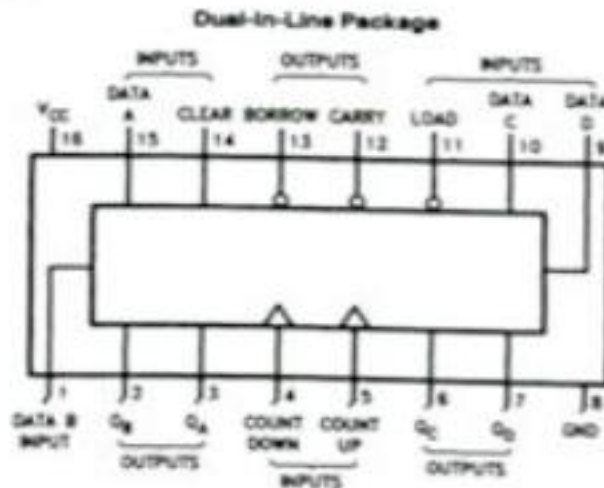
Mode (Λειτουργία)	S1	S0	QA(n+1)	QB(n+1)	QC(n+1)	QD(n+1)
Hold (Διατήρηση)	0	0	QA(n)	QB(n)	QC(n)	QD(n)
Shift Right (Ολίσθηση δεξιά)	0	1	SRSI	QA(n)	QB(n)	QC(n)
Shift Left (Ολίσθηση αριστερά)	1	0	QB(n)	QC(n)	QD(n)	SLSI
Load (Φόρτωση)	1	1	A	B	C	D

DATA SHEETS

DM74LS193

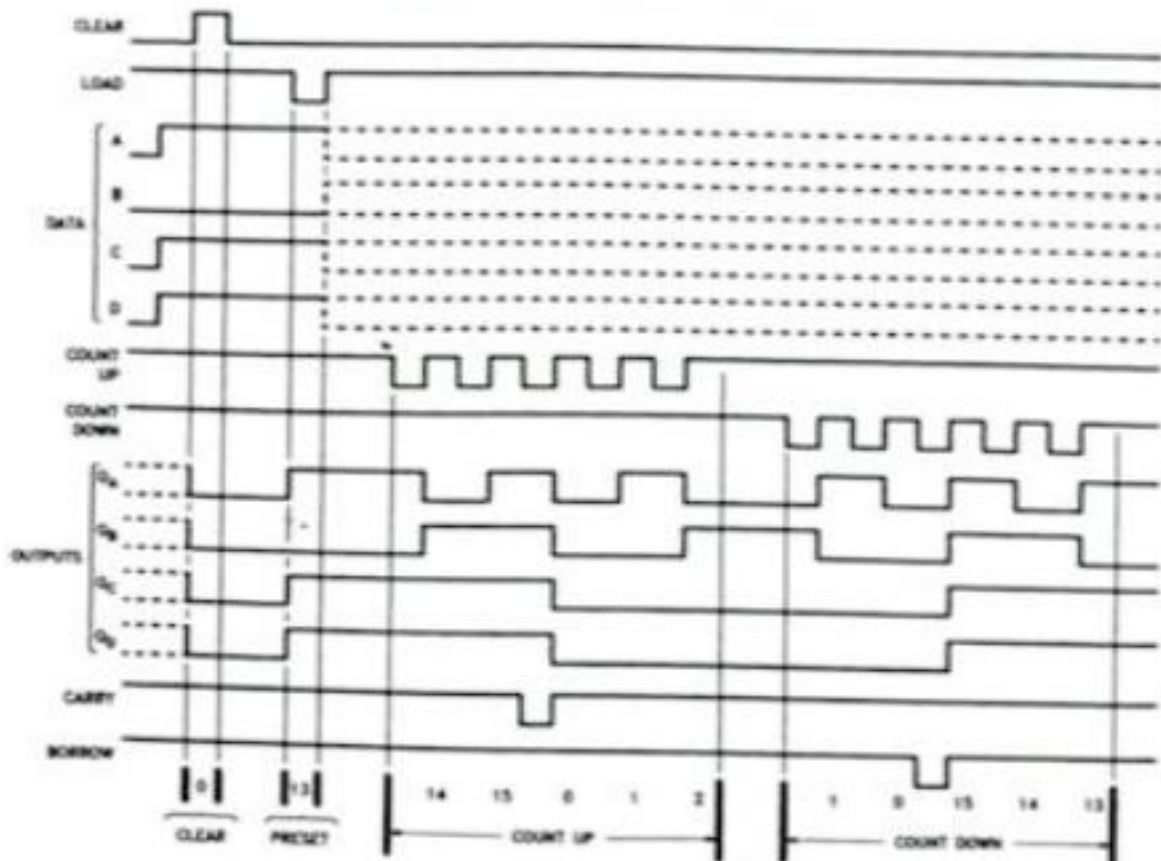
Synchronous 4-Bit Binary Counters with Dual Clock

Connection Diagram



Timing Diagrams

Typical Clear, Load, and Count Sequences

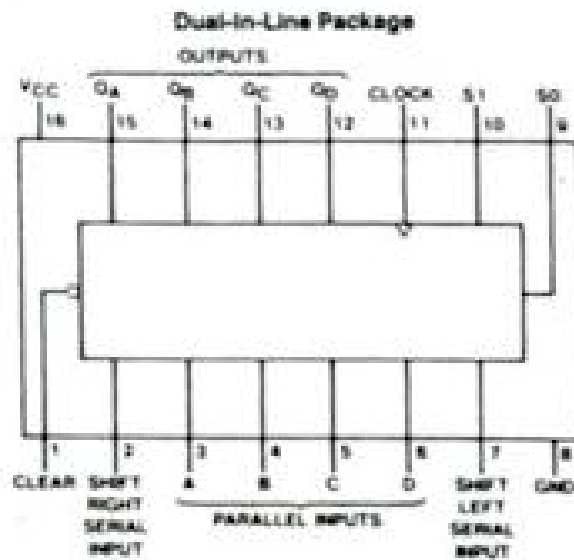


Note A: Clear overrides load, data, and count inputs.

Note B: When counting up, count-down input must be high; when counting down, count-up input must be high.

DM74LS194A 4-Bit Bidirectional Universal Shift Register

Connection Diagram



Function Table

Clear	Mode		Inputs							Outputs			
			Clock	Serial		Parallel				Q _a	Q _b	Q _c	Q _d
	S1	S0		Left	Right	A	B	C	D				
L	X	X	X	X	X	X	X	X	X	L	L	L	L
H	X	X	L	X	X	X	X	X	X	Q _{a0}	Q _{b0}	Q _{c0}	Q _{d0}
H	H	H	T	X	X	a	b	c	d	a	b	c	d
H	L	H	T	X	H	X	X	X	X	H	Q _{a1}	Q _{b1}	Q _{c1}
H	L	H	T	X	L	X	X	X	X	L	Q _{a1}	Q _{b1}	Q _{c1}
H	H	L	T	H	X	X	X	X	X	Q _{b1}	Q _{c1}	Q _{d1}	H
H	H	L	T	L	X	X	X	X	X	Q _{b1}	Q _{c1}	Q _{d1}	L
H	L	L	X	X	X	X	X	X	X	Q _{a0}	Q _{b0}	Q _{c0}	Q _{d0}

H = High Level (steady state), L = Low Level (steady state), X = Don't Care (any input, including transitional)

T = Transition from low to high level

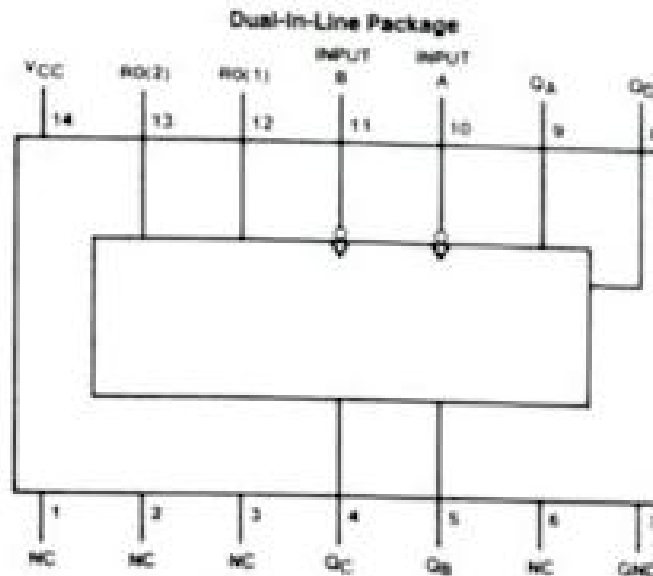
a, b, c, d = The level of steady state input at input A, B, C or D, respectively

Q_{a0}, Q_{b0}, Q_{c0}, Q_{d0} = The level of Q_a, Q_b, Q_c, or Q_d, respectively, before the indicated steady state input conditions were established.

Q_{a1}, Q_{b1}, Q_{c1}, Q_{d1} = The level of Q_a, Q_b, Q_c, respectively, before the most-recent T transition of the clock.

DM74LS293 4-Bit Binary Counter

Connection Diagram



Function Tables

Count Sequence (See Note C)

Count	Outputs			
	Q _D	Q _C	Q _B	Q _A
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	L	H	L
11	H	L	H	H
12	H	H	L	L
13	H	H	L	H
14	H	H	H	L
15	H	H	H	H

Note C: Output Q_D is connected to input B.

Reset/Count Truth Table

Reset Inputs		Outputs			
R0(1)	R0(2)	Q _D	Q _C	Q _B	Q _A
H	H	L	L	L	L
L	X	COUNT			
X	L	COUNT			

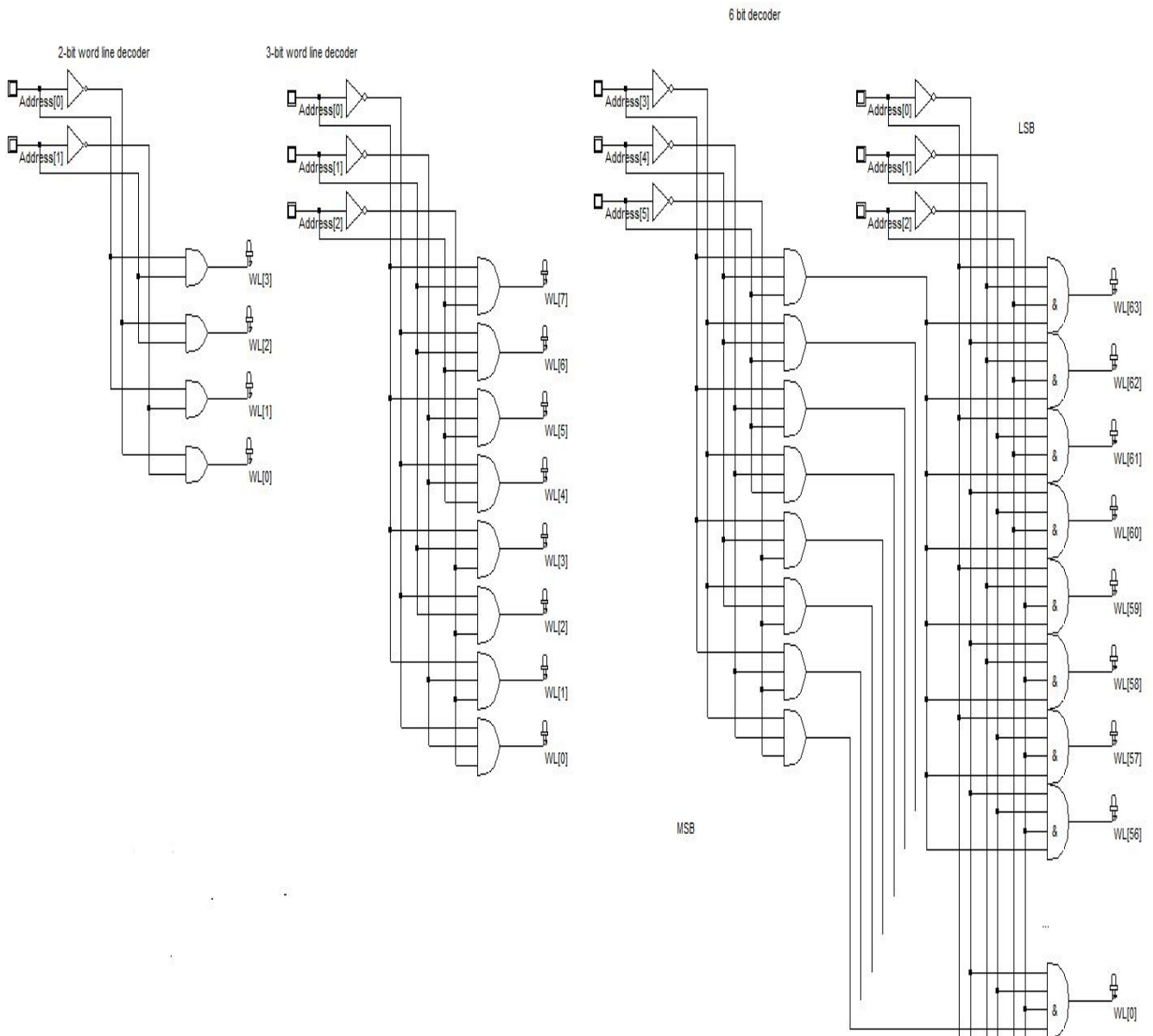
H = High Level, L = Low Level, X = Don't Care

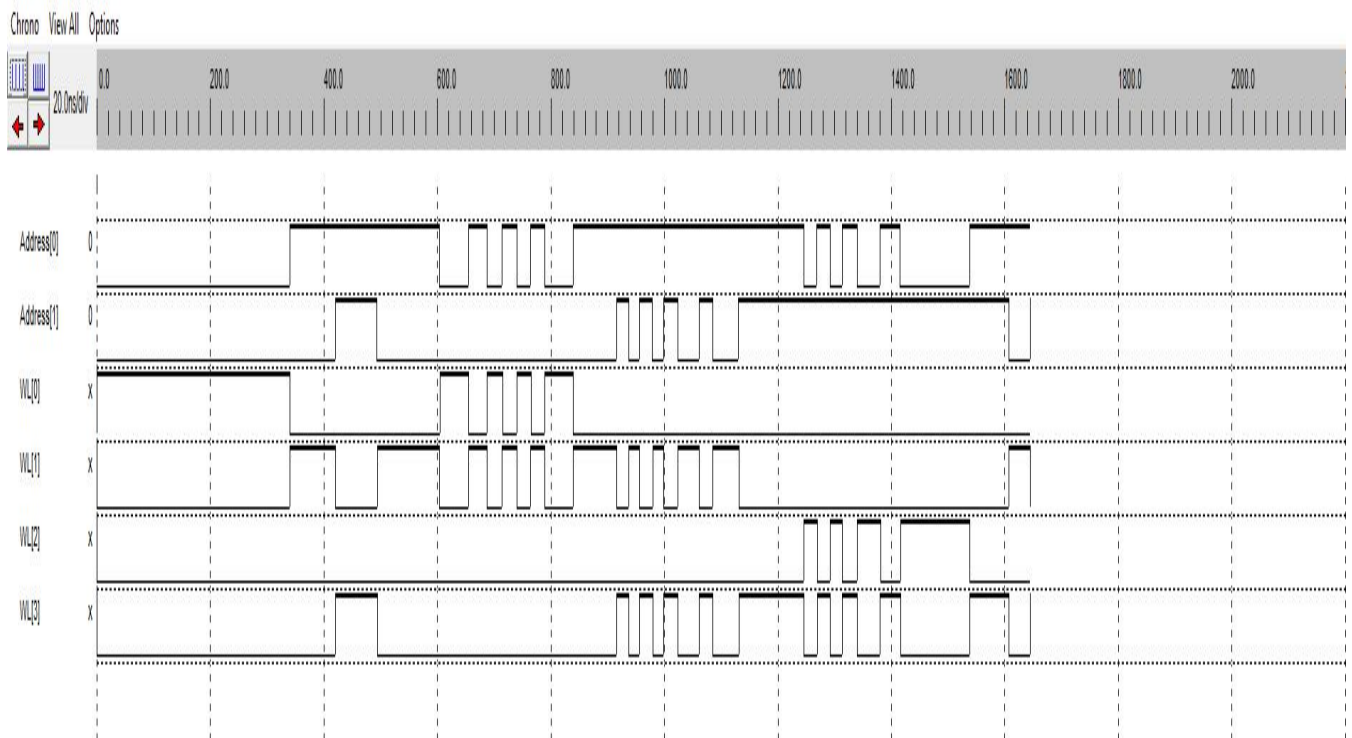
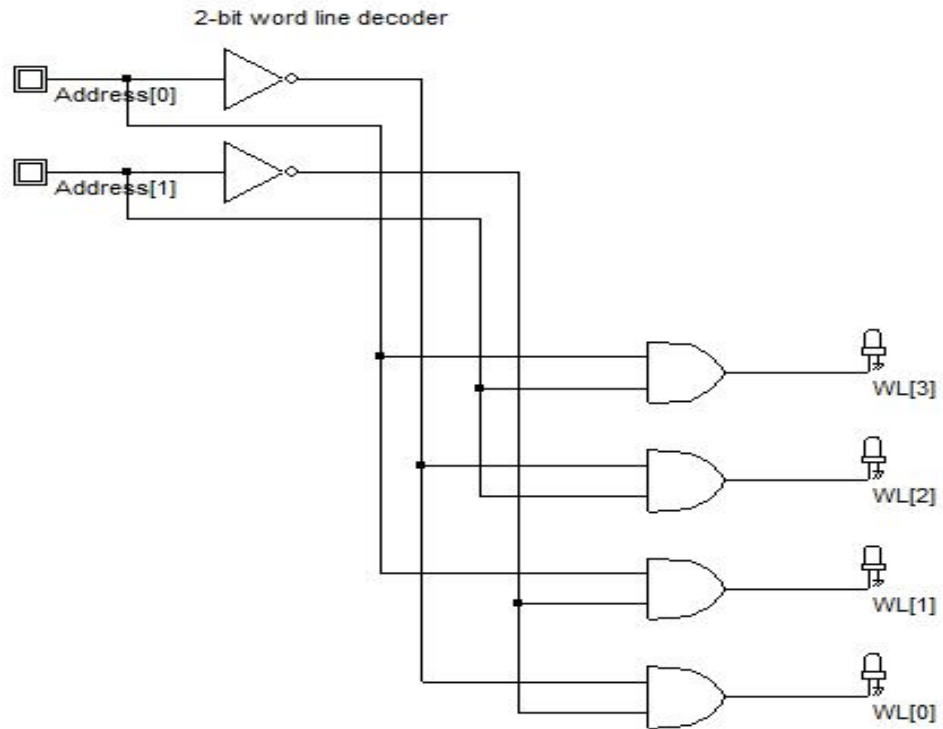
ΟΝΟΜΑΤΟΛΟΓΙΑ Ο.Κ.	
ΣΗΜΑΣΙΑ	ΚΩΔΙΚΟΣ
Κατασκευαστική Εταιρεία	SN (Texas Instruments) DM (Fairchild)
Περιοχή Θερμοκρασίας	74 (0° C - 70° C για εμπορικές εφαρμογές) 64 (-40° C - 85° C για βιομηχανικές εφαρμογές) 54 (-55° C - 125° C για στρατιωτικές εφαρμογές)
Τεχνολογία Κατασκευής	S (Schottky) LS (Low-power Schottky) ALS (Advanced Low-power Schottky) HC (High-speed CMOS TTL) HTC (High-speed CMOS TTL compatible) C (CMOS)
Αριθμός Ολοκληρωμένου Κυκλώματος	00 (4 πύλες NAND 2 εισόδων) 02 (4 πύλες NOR 2 εισόδων) 04 (6 πύλες NOT) 08 (4 πύλες AND 2 εισόδων) 32 (4 πύλες OR 2 εισόδων) 86 (4 πύλες XOR 2 εισόδων) 112 (2 J-K flip-flops) 138 (Αποκωδικοποιητής 3x8) 148 (Κωδικοποιητής προτεραιότητας 8x3) 151 (Πολυπλέκτης 8 εισόδων)
Προαιρετική κατάληξη τρόπου συσκευασίας	D/DW (SOIC – Small Outline Integrated Circuit) DB/DL (SSOP) DGG (TSSOP) FK (LCCC) N/P (PDIP – Plastic Dual In Package) NS (SOP)
Παράδειγμα	DM 74LS00P 4 πύλες NAND 2 εισόδων της εταιρείας Fairchild σε πλαστική συσκευασία

Αποκωδικοποιητές

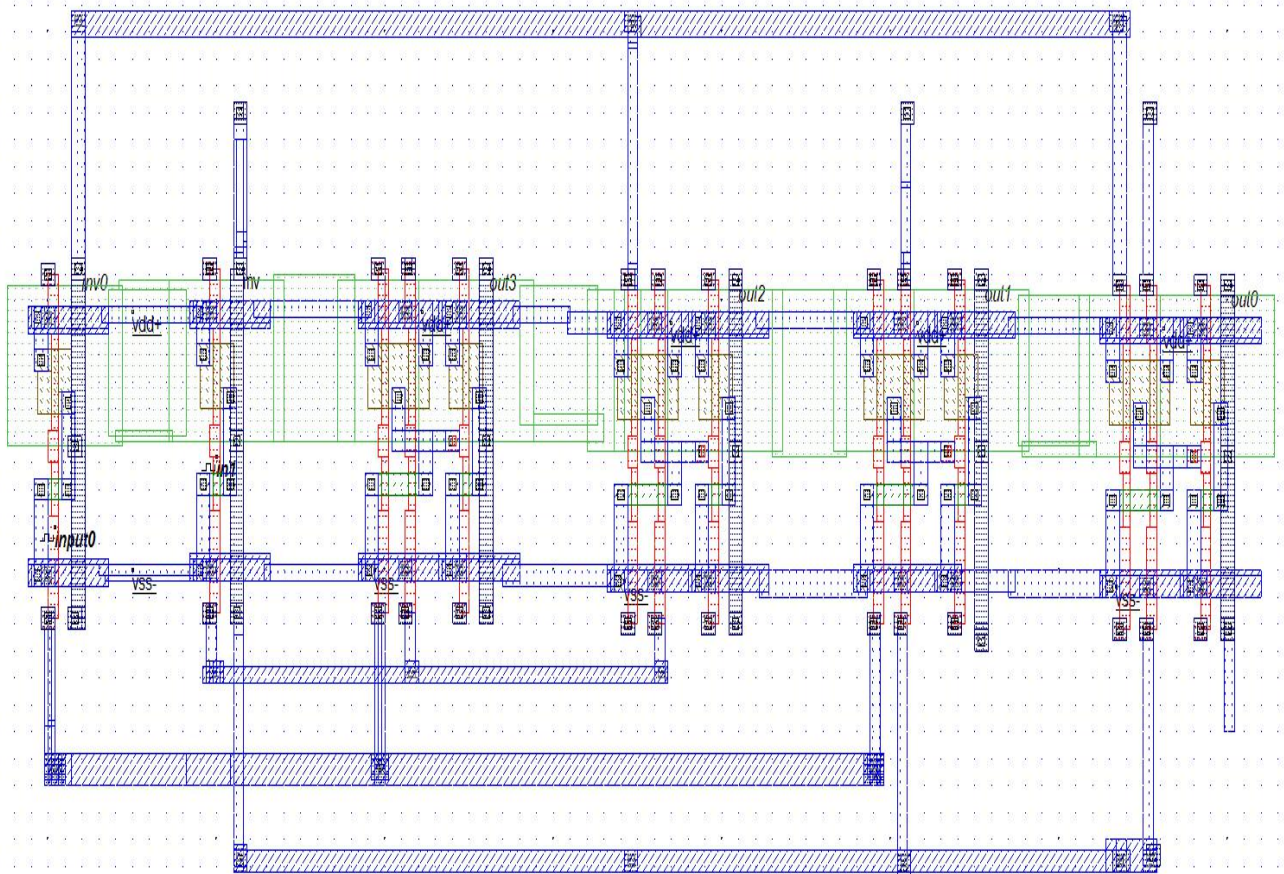
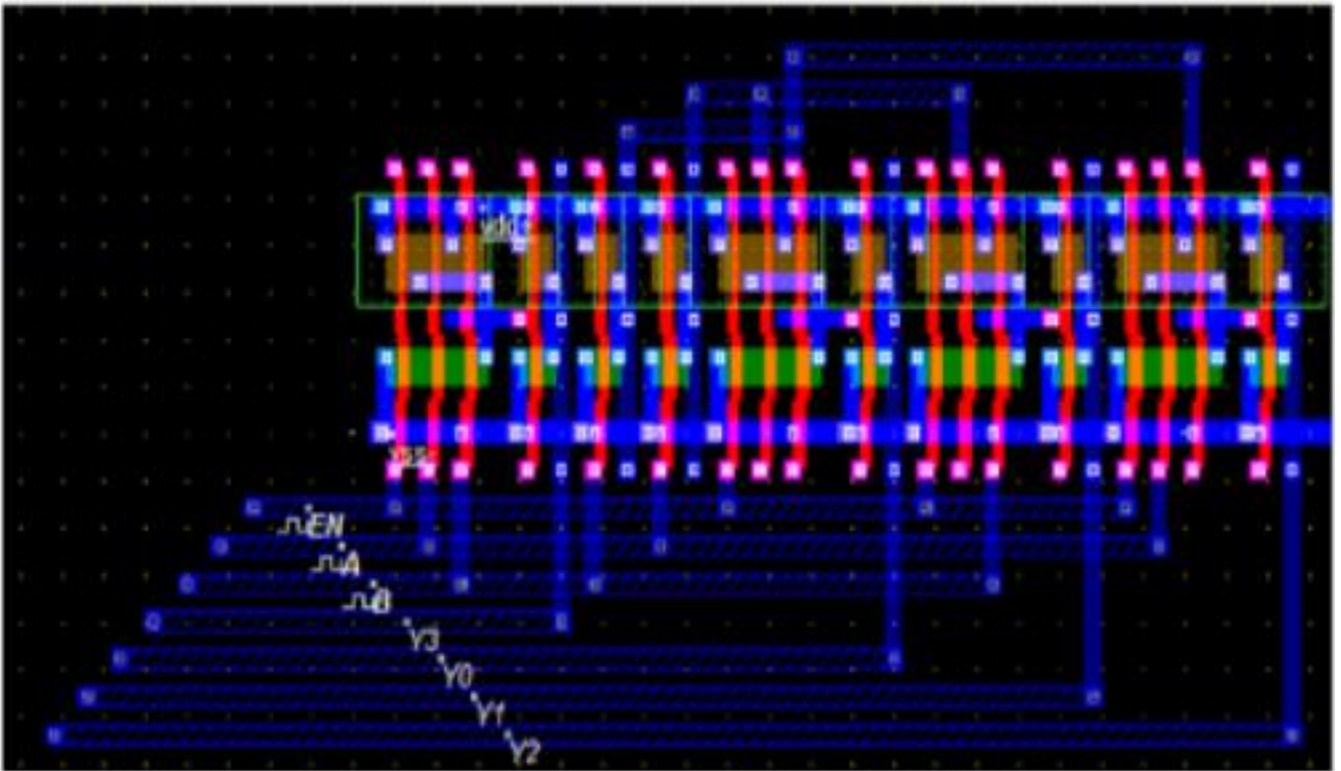
Είναι ένα κύκλωμα με n εισόδους και m εξόδους, έτσι έχουμε $m \leq 2^n$. Για κάθε συνδυασμό των n εισόδων, ο αποκωδικοποιητής επιλέγει μία από τις m εξόδους και παίρνουμε λογικό 1, ενώ οι υπόλοιπες παραμένουν σε λογικό 0. Είναι λοιπόν ένα κύκλωμα που μετατρέπει ένα δυαδικό κώδικα από την μορφή σε άλλη. Ενας αποκωδικοποιητής θα μπορούσε να χαρακτηριστεί ο 7 segment όπου μετατρέπει BCD κώδικα σε πληροφορία κατάλληλη για ενδείκτη 7 τμημάτων (7 segment).

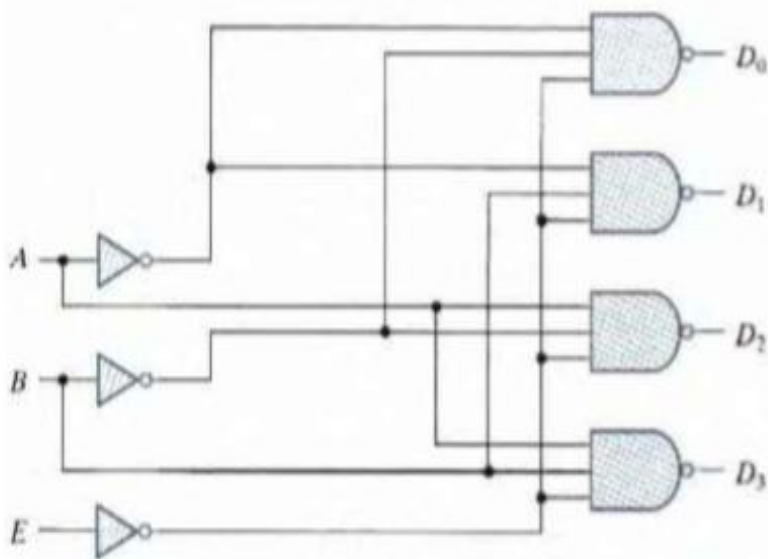
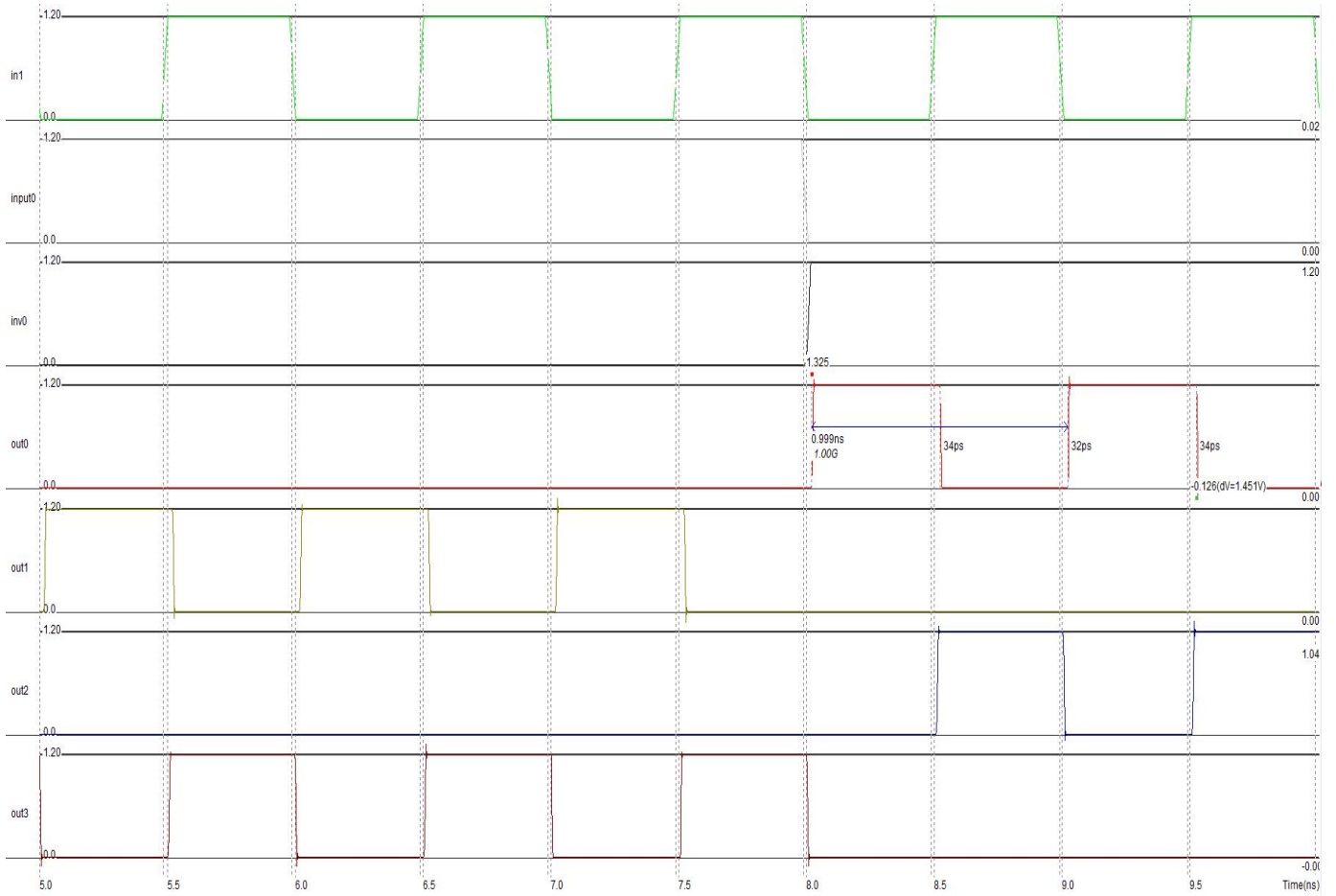
Παρακάτω βλέπουμε διάφορους αποκωδικοποιητές.





LAYOUT



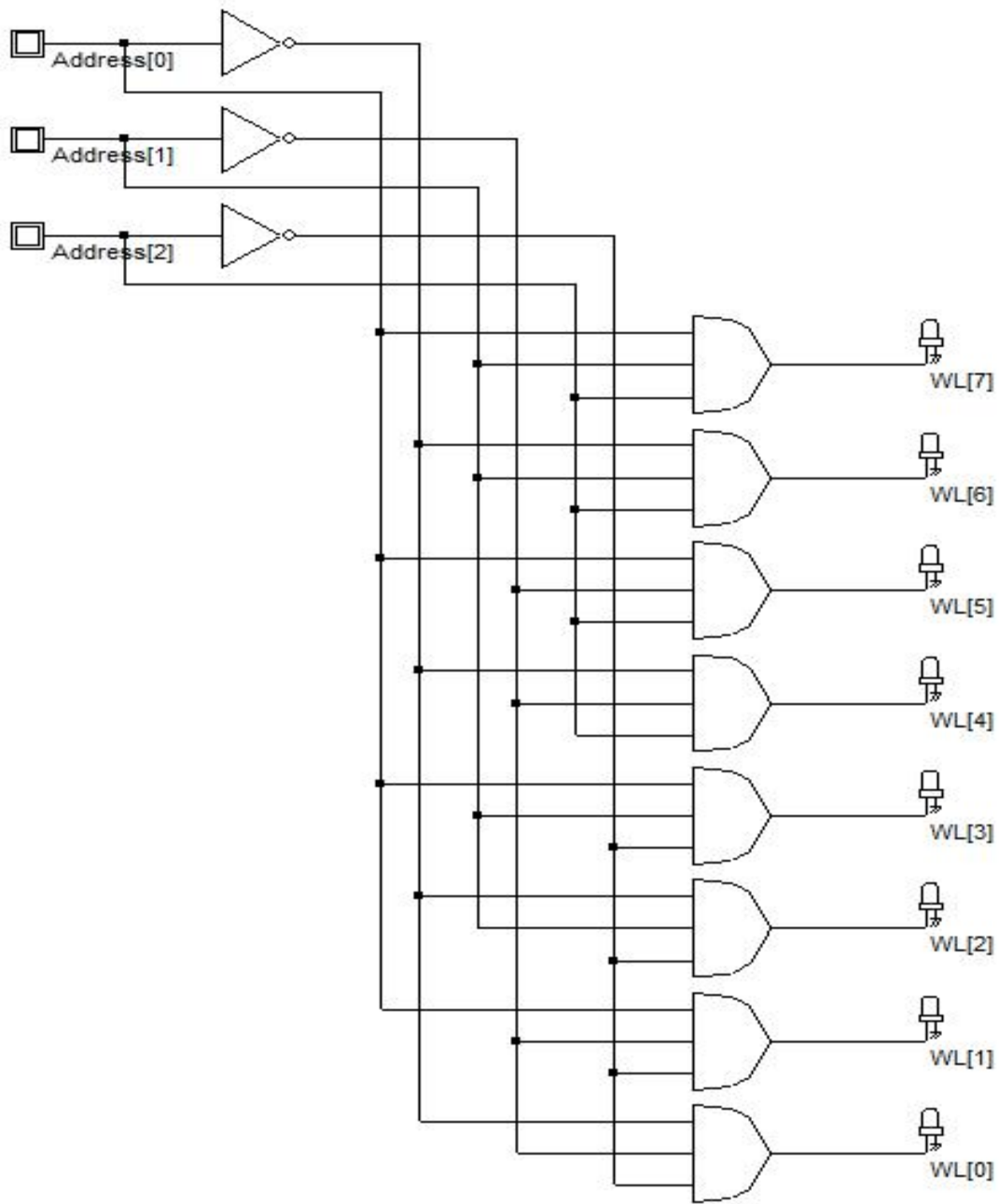


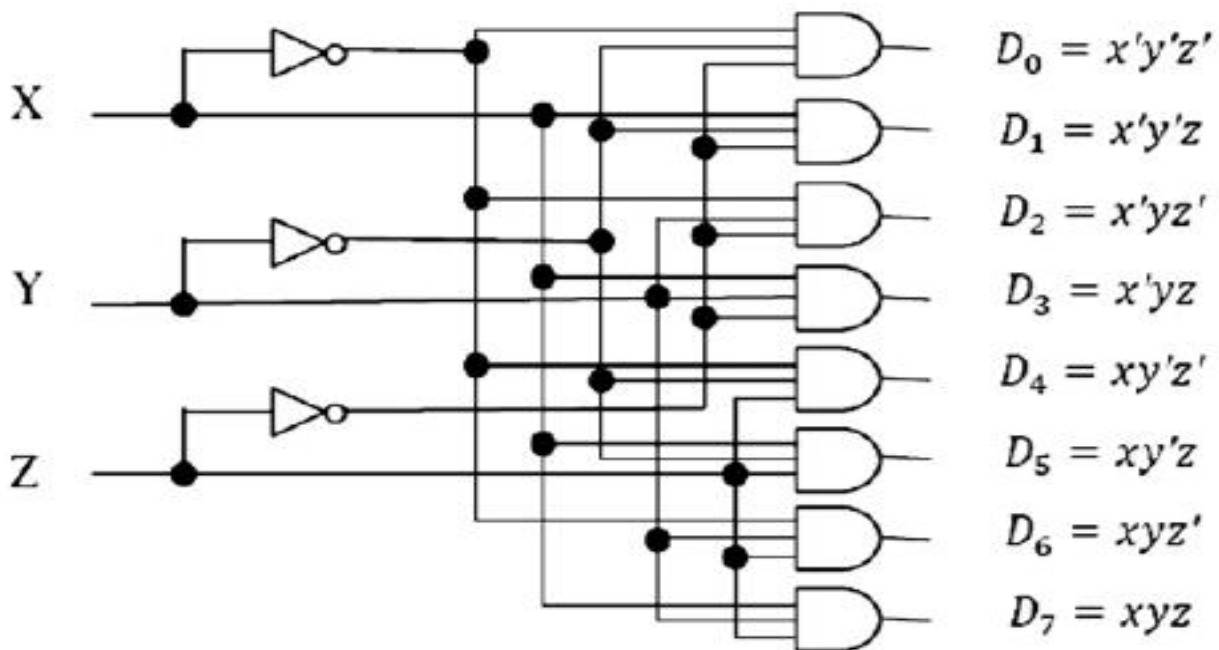
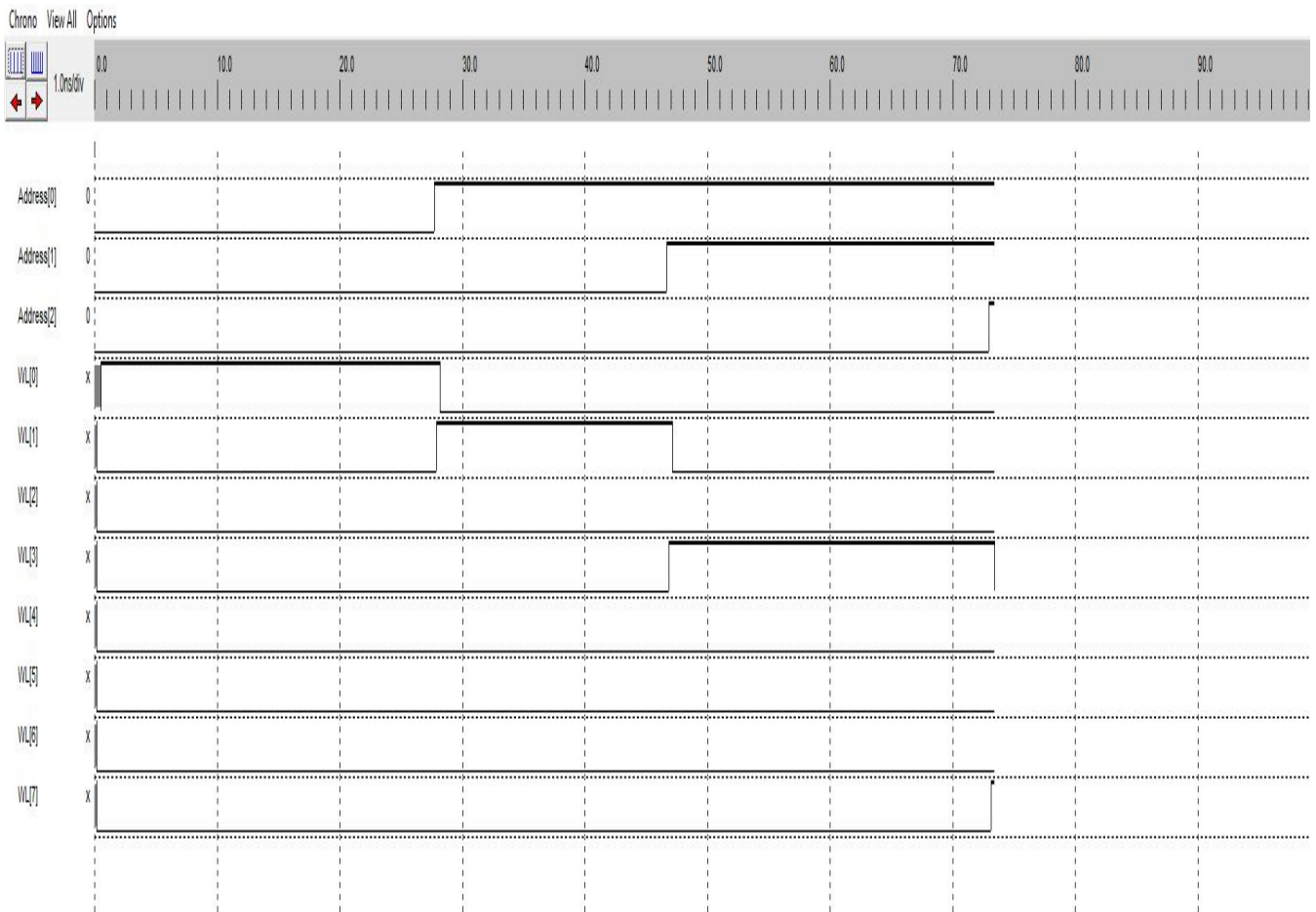
(a) Logic diagram

E	A	B	D_0	D_1	D_2	D_3
1	X	X	1	1	1	1
0	0	0	0	1	1	1
0	0	1	1	0	1	1
0	1	0	1	1	0	1
0	1	1	1	1	1	0

(b) Truth table

Two-to-four-line decoder with enable input

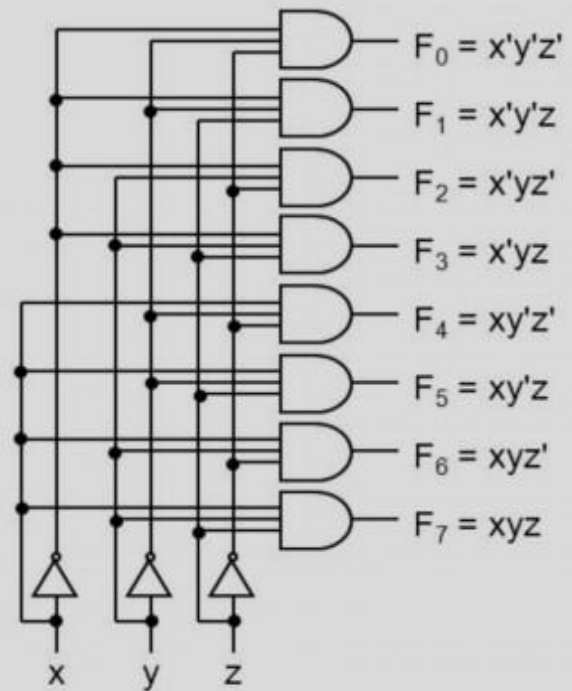
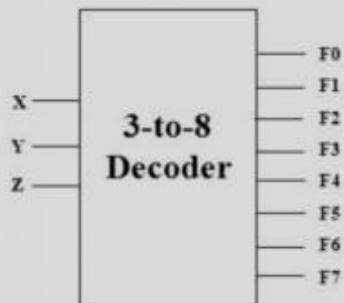




3-to-8 Binary Decoder

Truth Table:

x	y	z	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

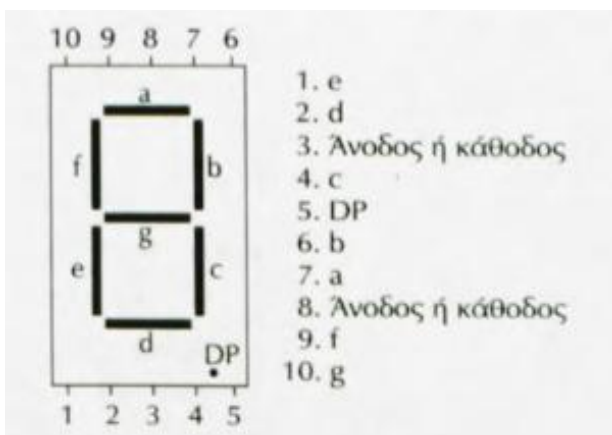


Αποκωδικοποιητές οδηγοί

Ενδείκτης 7 τμημάτων

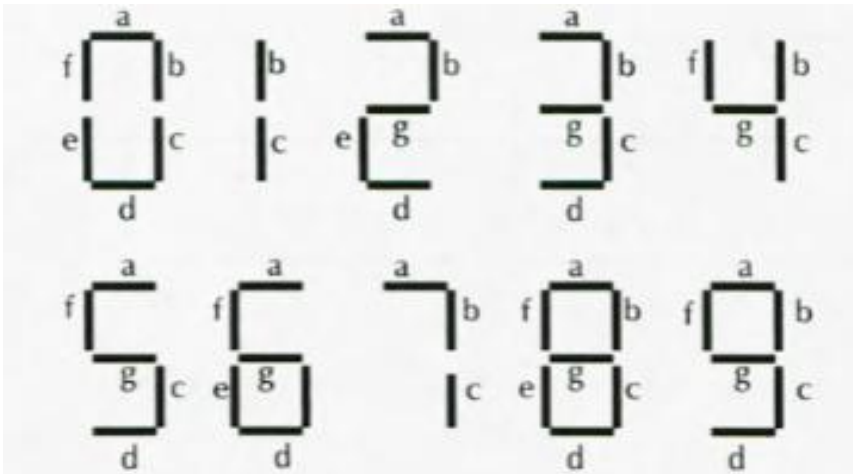
Αυτοί οι ενδείκτες χρησιμοποιούν 7 τμήματα (segments) για να αναπαραστήσουν τους δεκαδικούς αριθμούς από 0 έως και 9.

Έχουμε ενδείκτες που για να κατασκευαστούν τα τμήματά τους χρησιμοποιούνται δίοδοι εκπομπής φωτός (light emitting diodes) LED. Τα Led δουλεύουν ως εξής: όταν το υλικό τους διαρρέεται από ρεύμα εκπέμπεται φως. Ακόμα έχουμε τους ενδείκτες υγρών κρυστάλλων Liquid Crystal Display LCD που η λειτουργία τους βασίζεται στο εξής γεγονός λόγω της ιδιότητας του ειδικού υγρού κρυστάλλου ο οποίος κάτω υπό την επίδραση εναλλασσόμενου ηλεκτρικού πεδίου να διαδίδει διαφορετικά το φως. Οι ενδείκτες υγρών κρυστάλλων λόγω της χαμηλής κατανάλωσης ισχύος που έχουν χρησιμοποιούνται σε φορητές συσκευές. Παρακάτω στο σχήμα έχουμε έναν ενδείκτη υγρών κρυστάλλων επτά τμημάτων.



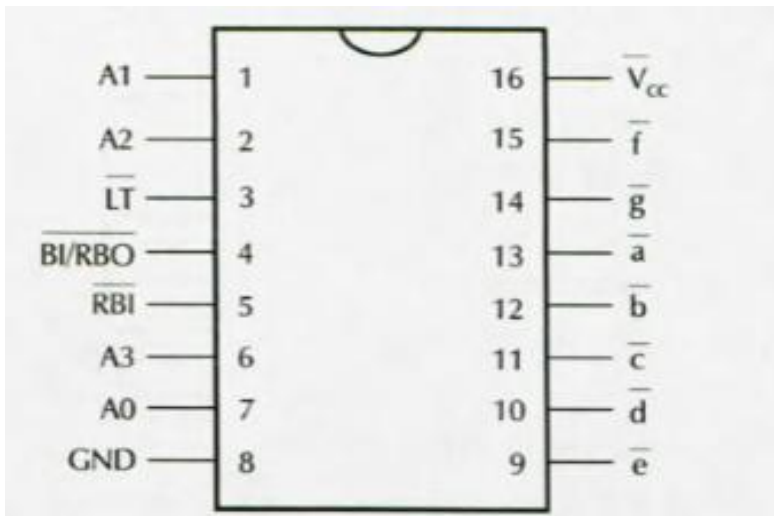
Οι δεκαδικοί αριθμοί σχηματίζονται όταν ανάβουν κάποια από τα τμήματα του ενδείκτη επτά τμημάτων. Εδώ θα παρουσιάσουμε τον τρόπο εμφάνισης των δεκαδικών ψηφίων από το 0 έως το 9.

Οι ακροδέκτες 7, 6, 4, 2, 1, 9 και 10 που αντιστοιχούν στα επτά τμήματα a, b, c, d, e, f και g του ενδείκτη. Οι ακροδέκτες 3 και 8 αντιστοιχούν στην κοινή άνοδο ή κάθοδο, που συνδέονται αντίστοιχα στην τροφοδοσία ή στην γείωση. Ο ακροδέκτης 5 αντιστοιχεί στην υποδιαστολή (D.P. - Decimal Point).



Τρόπος εμφάνισης των δεκαδικών ψηφίων 0-9 στον ενδείκτη επτά τμημάτων

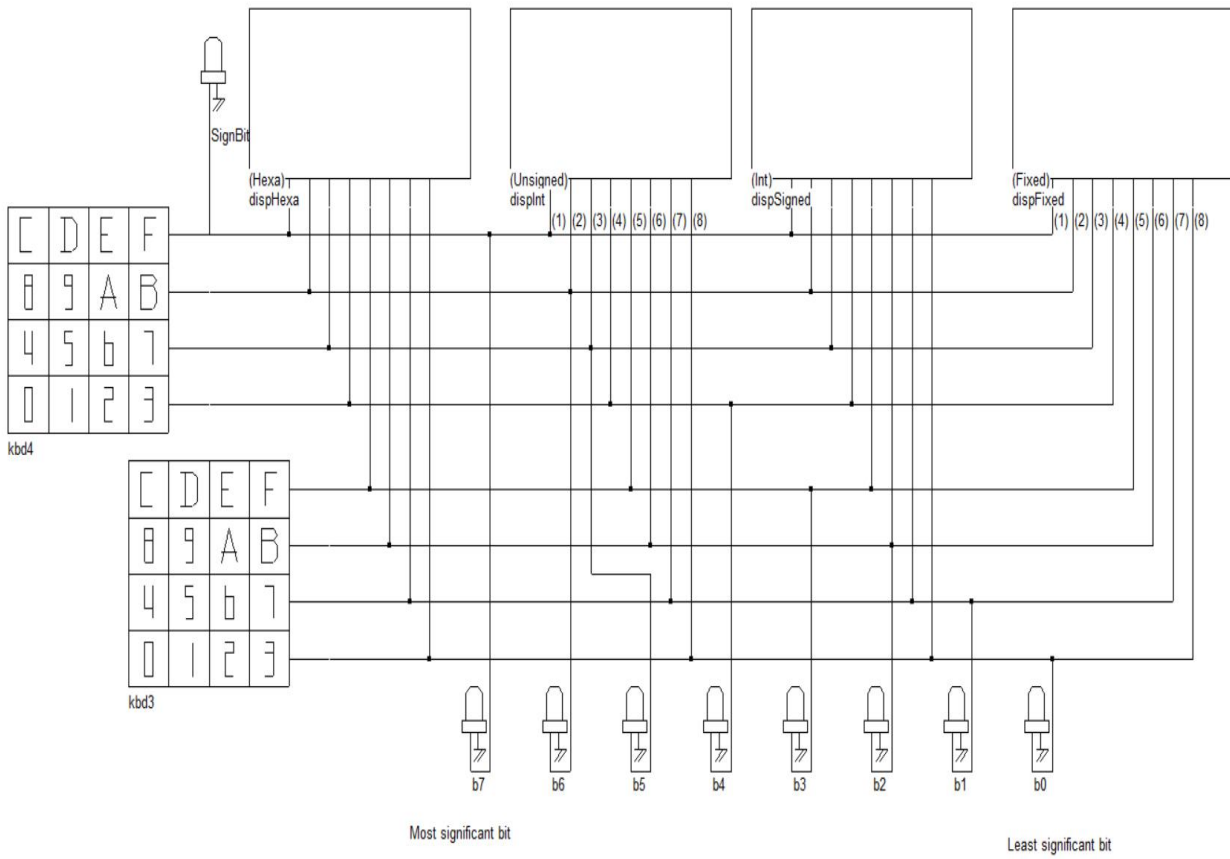
Ο αποκωδικοποιητής BCD σε 7 τμήματα ουσιαστικά χρησιμοποιείται για την οδήγηση ενδείκτη δεκαδικών ψηφίων, γιαυτό και λέγεται αποκωδικοποιητής οδηγός. Αποκωδικοποιητής BCD σε 7 τμήματα είναι το ολοκληρωμένο 7447 και 7448 το οποίο φαίνεται στο παρακάτω σχήμα.



Αυτό το ολοκληρωμένο 7447 οδηγεί display κοινής ανόδου (όλες οι ανόδοι των διόδων, με τις οποίες κατασκευάζονται τα τμήματα, είναι συνδεδεμένες μεταξύ τους και πρέπει να συνδεθούν στην VCC, ενώ οι καθόδοι συνδέονται στην έξοδο του ολοκληρωμένου κυκλώματος. Το ολοκληρωμένο 7448 όμως οδηγεί display κοινής καθόδου. Ο πίνακας αληθείας του ολοκληρωμένου κυκλώματος 7447 φαίνεται παρακάτω.

D	C	B	A	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	1
0	0	0	1	1	0	0	1	1	1	1
0	0	1	0	0	0	1	0	0	1	0
0	0	1	1	0	0	0	0	1	1	0
0	1	0	0	1	0	0	1	1	0	0
0	1	0	1	0	1	0	0	1	0	0
0	1	1	0	1	1	0	0	0	0	0
0	1	1	1	0	0	0	1	1	1	1
1	0	0	0	0	0	0	0	0	0	0
1	0	0	1	0	0	0	1	1	0	0
1	0	1	0	1	1	1	0	0	1	0
1	0	1	1	1	1	0	0	1	1	0
1	1	0	0	1	0	1	1	1	0	0
1	1	0	1	0	1	1	0	1	0	0
1	1	1	0	1	1	1	0	0	0	0
1	1	1	1	1	1	1	1	1	1	1

Αν κάποια έξοδος του ολοκληρωμένου κυκλώματος (a - g) είναι λογικό '0' τότε το αντίστοιχο τμήμα του ενδείκτη δεκαδικών ψηφίων ανάβει, ενώ αν είναι η έξοδος του ολοκληρωμένου λογικό '1' το αντίστοιχο τμήμα του ενδείκτη μένει σβηστό.

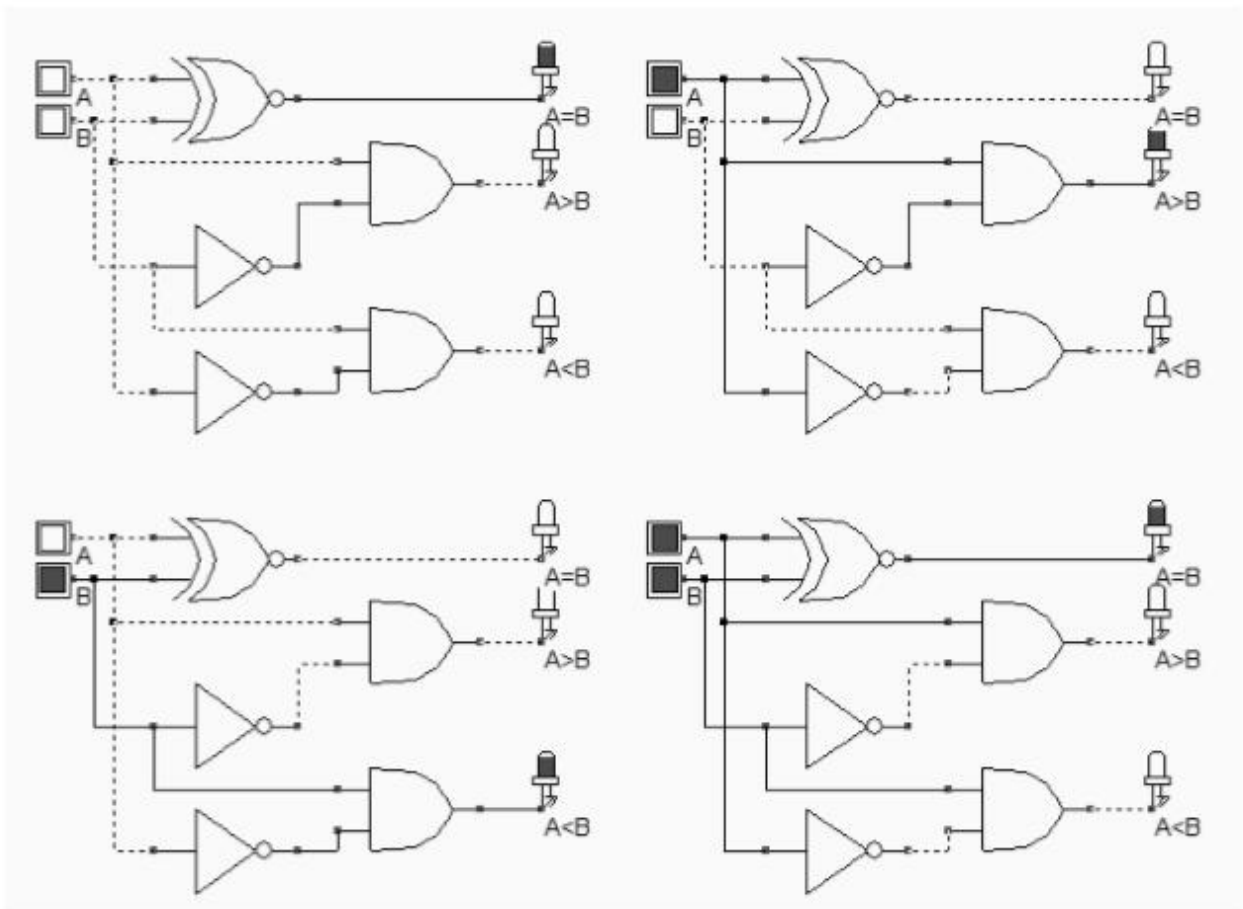


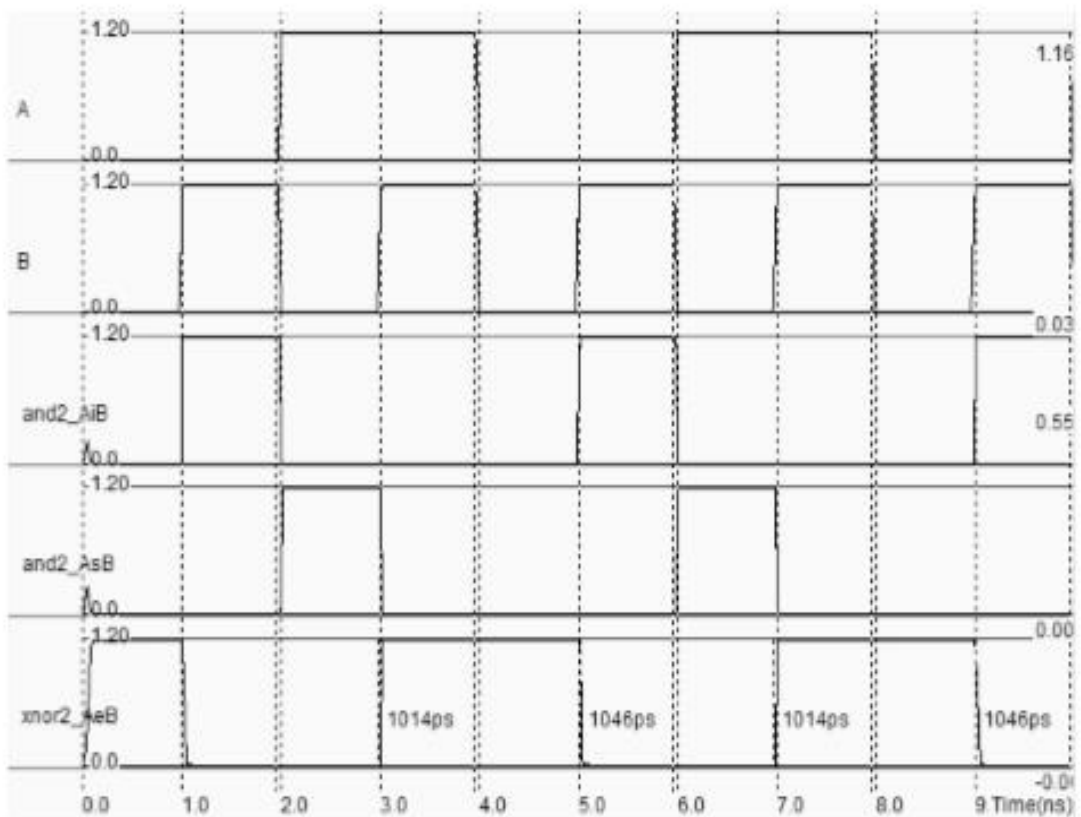
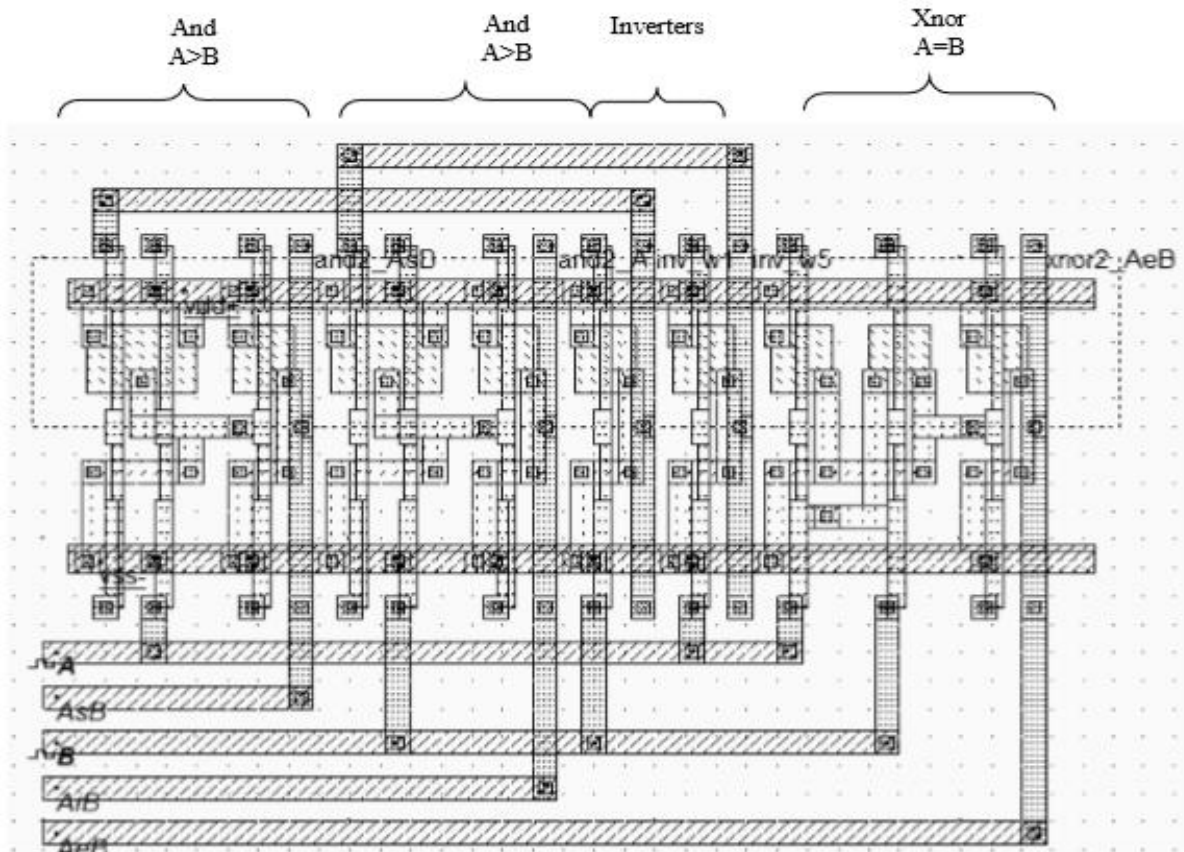
Συγκριτής

Στον συγκριτή έχουμε για εισόδους δυο αριθμούς X ή A και Y ή B, και η έξοδος Z ή C είναι ίση με λογικό 1, όταν έχουμε την εξής ανισότητα $X \geq Y$ και όταν ισχύει η εξής ανισότητα $X \leq Y$ τότε η έξοδος είναι λογικό 0.

A	B	A>B	A<B	A=B
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

Η ισότητα $A = B$ επιτυγχάνεται με πύλη XNOR, ενώ οι ανισότητες $A > B$, $A < B$ επιτυγχάνονται με χρήση AND και NOT πυλών.





Ας υποθέσουμε ότι θέλουμε να συγκρίνουμε δυο αριθμούς , για παράδειγμα:

$$A = 1001101011100101$$

$$B = 1000101101010100$$

Το σύστημα θα σαρώσει τα ψηφία και των δυο αριθμών απο αριστερά προς τα δεξιά (απο το πιο σημαντικό (MSB) μέχρι να φθάσει στο λιγότερο σημαντικό ψηφίο (LSB)), εάν ισχύει κάποια ανισότητα της μορφής $A > B$ τότε η σύγκριση θα γίνει απο αριστερά προς τα δεξιά ώσπου να βρει την θέση όπου δεν θα είναι ίσα.

Για 4 bit σύστημα ισχύει το εξής:

$$A = A_3A_2A_1A_0$$

$$B = B_3B_2B_1B_0$$

Τα γράμματα απο πάνω αντιπροσωπεύουν κάποιους αριθμούς ,εάν είναι δυαδικοί αριθμοί τότε θα είναι 0 ή 1. Θα συγκρίνει σε ζευγάρια τους απο πάνω αριθμούς . Η ισότητα κάθε ζευγαριού εκφράζεται λογικά με μια XNOR, όπως φαίνεται παρακάτω.

$$x_i = A_iB_i + A_i'B_i' \quad \text{for } i = 0, 1, 2, 3$$

Το x_i θα είναι 1, όταν το ζευγάρι των bits στην θέση i είναι ίσο (και τα δυο να είναι 1 ή 0) . Που είναι η ισότητα $A = B$. Αυτή η δυαδική μεταβλητή είναι ίση με 1 εάν οι δυο αυτοί αριθμοί A και B είναι ίσοι ,διαφορετικά θα είναι ίσο με το 0. Για να υπάρχει μια ισότητα, όλες οι x_i μεταβλητές θα πρέπει να είναι λογικό 1, που ουσιαστικά είναι λειτουργία AND για όλες τις μεταβλητές.

$$(A = B) = x_3x_2x_1x_0$$

Η δυαδική μεταβλητή $(A = B)$ είναι ίση με λογικό 1 ,εάν όλα τα ζευγάρια των ψηφίων των δυο αριθμών είναι ίσα.

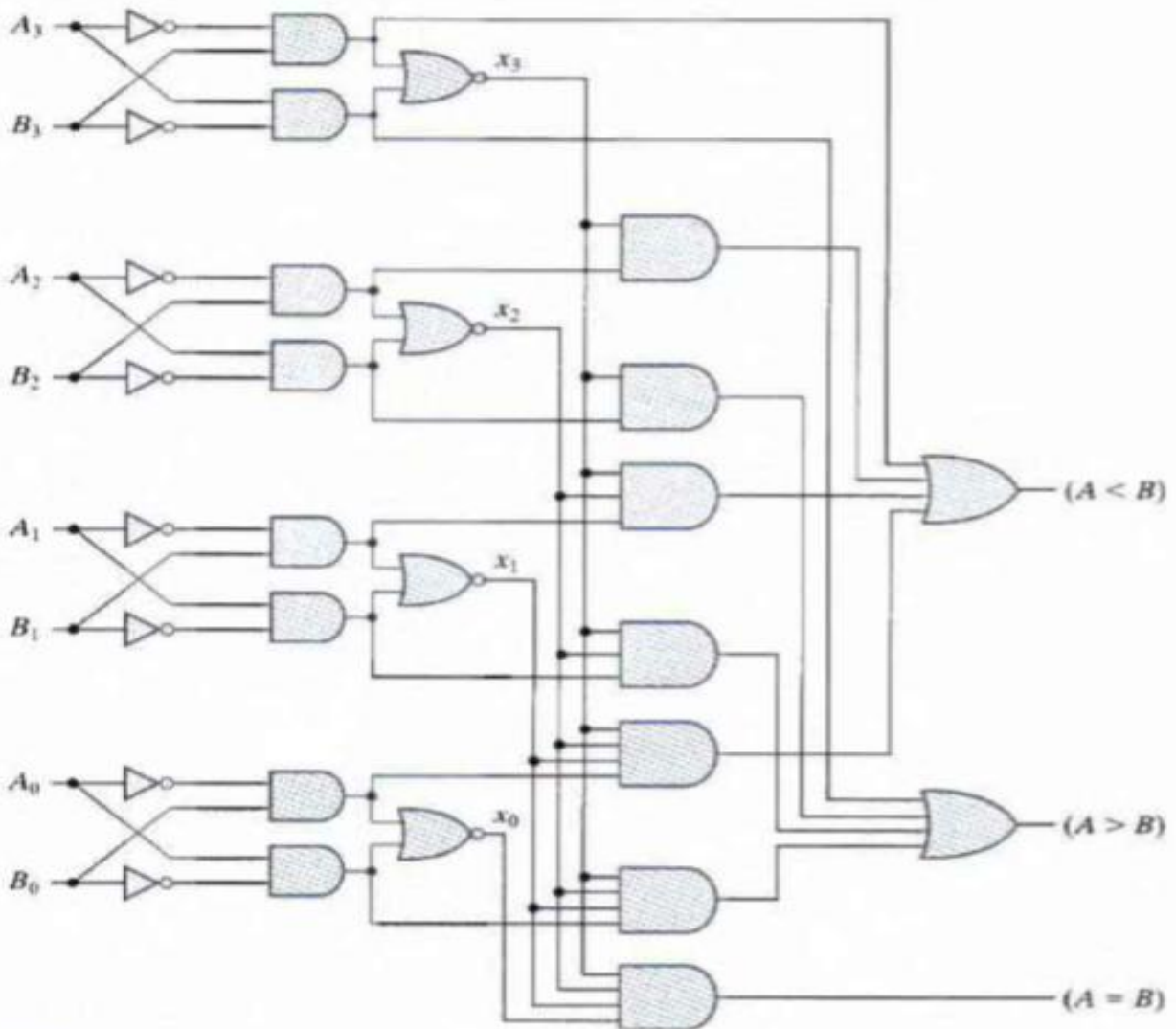
Για να προσδιορίσεις εάν το A είναι μικρότερο ή μεγαλύτερο απο το B ,θα πρέπει να δούμε τα ζευγάρια των σημαντικών ψηφίων που θα ξεκινάνε απο

την πιο σημαντική θέση. Εάν δυο ψηφία ενός ζευγαριού είναι ίσα, τότε πάμε στο επόμενο λιγότερο σημαντικό ζευγάρι ψηφίων. Η σύγκριση θα συνεχίσει μέχρι να φθάσουμε σε ανισότητα. Εάν το A είναι λογικό 1 και το B είναι λογικό 0, τότε έχουμε την ανισότητα της μορφής $A > B$. Εάν ισχύει το ανάποδο τότε έχουμε την ανισότητα της μορφής $A < B$. Εκφράζεται παρακάτω από τις ακόλουθες Boolean συναρτήσεις.

$$(A > B) = A_3B'_3 + x_3A_2B'_2 + x_3x_2A_1B'_1 + x_3x_2x_1A_0B'_0$$

$$(A < B) = A'_3B_3 + x_3A'_2B_2 + x_3x_2A'_1B_1 + x_3x_2x_1A'_0B_0$$

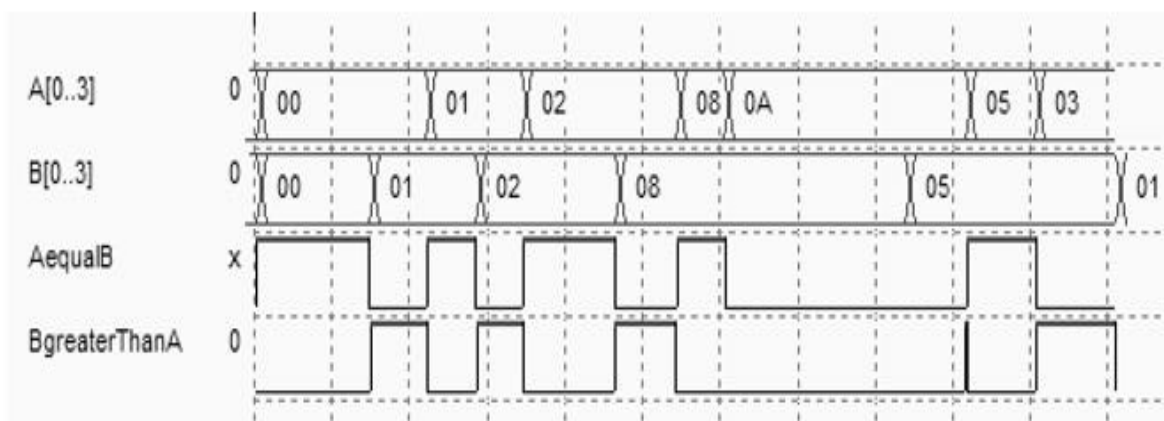
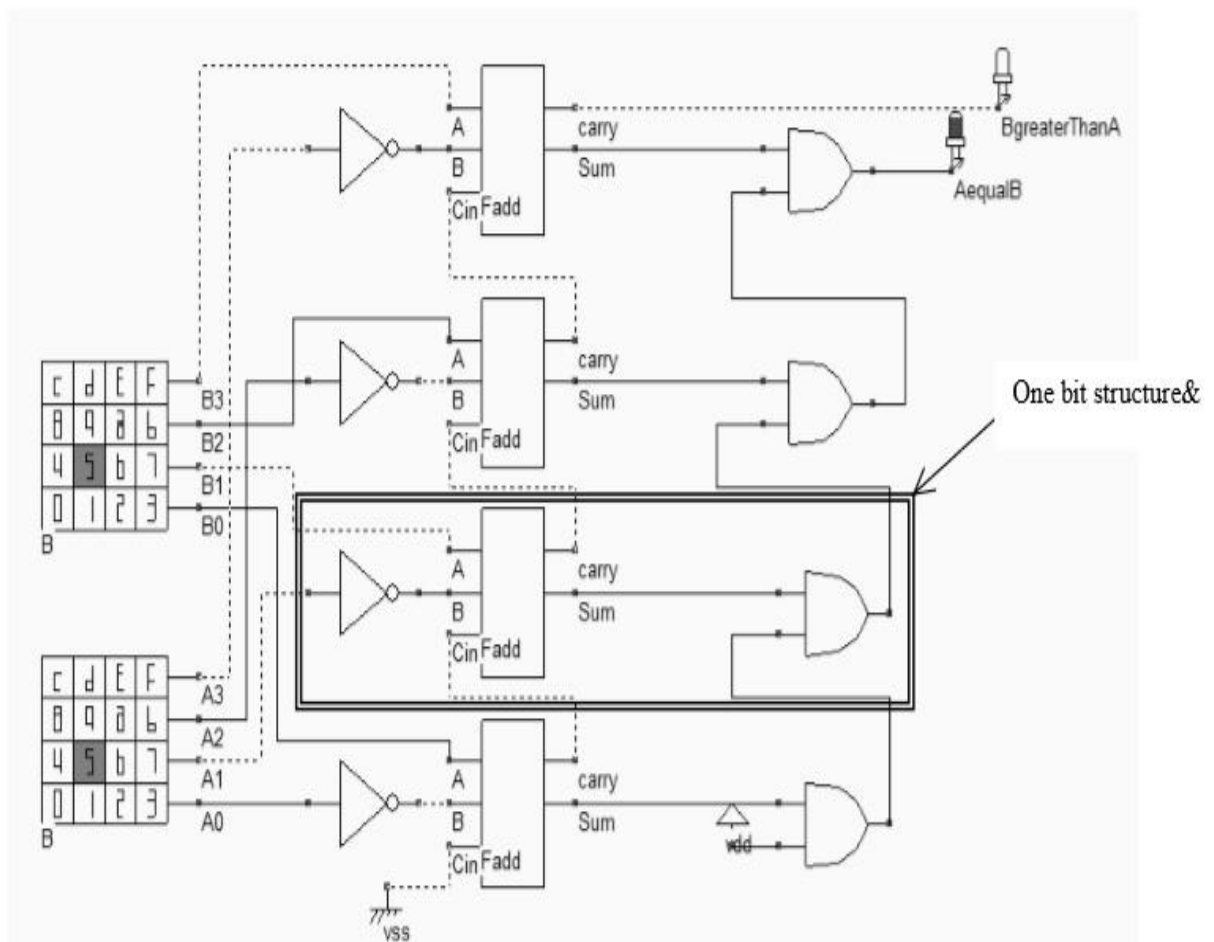
Τα σύμβολα $(A > B)$ και $(A < B)$ είναι δυαδικές μεταβλητές εξόδου που είναι ίσες με 1 όταν και τα αντίστοιχα $A > B$ και $A < B$ είναι επίσης.



Four-bit magnitude comparator

Ενας συγκριτής n - bit φαίνεται παρακάτω που κάνει χρήση κυκλωμάτων άθροισης. Τα κυκλώματα άθροισης είναι τροποποιημένα ώστε να λειτουργούν σαν κυκλώματα σύγκρισης, υπολογίζοντας την Boolean συνάρτηση $A \oplus B$. Η λειτουργία ισότητας γίνεται με απλές πύλες AND.

4 bit συγκριτής

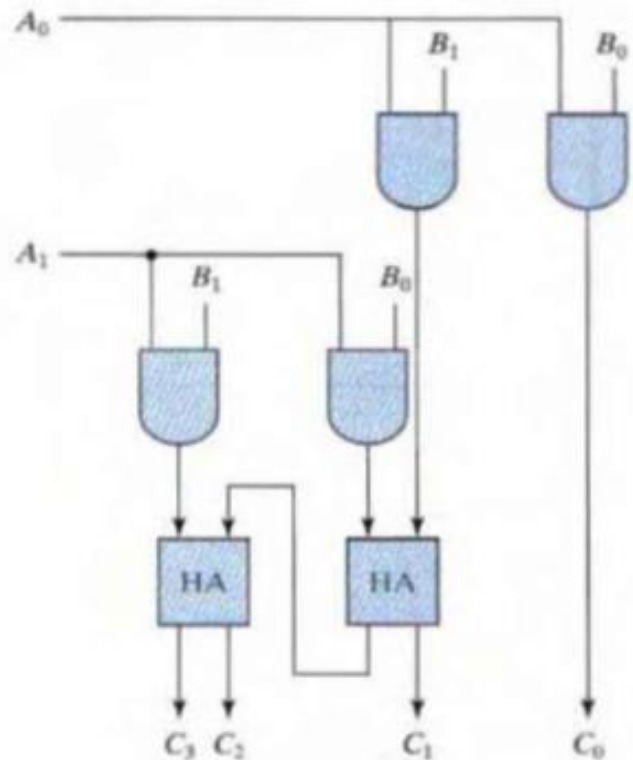
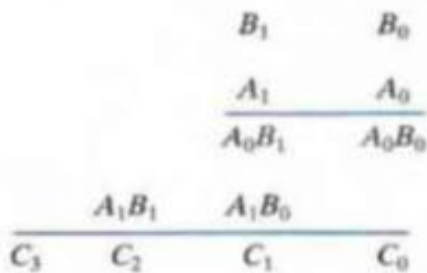


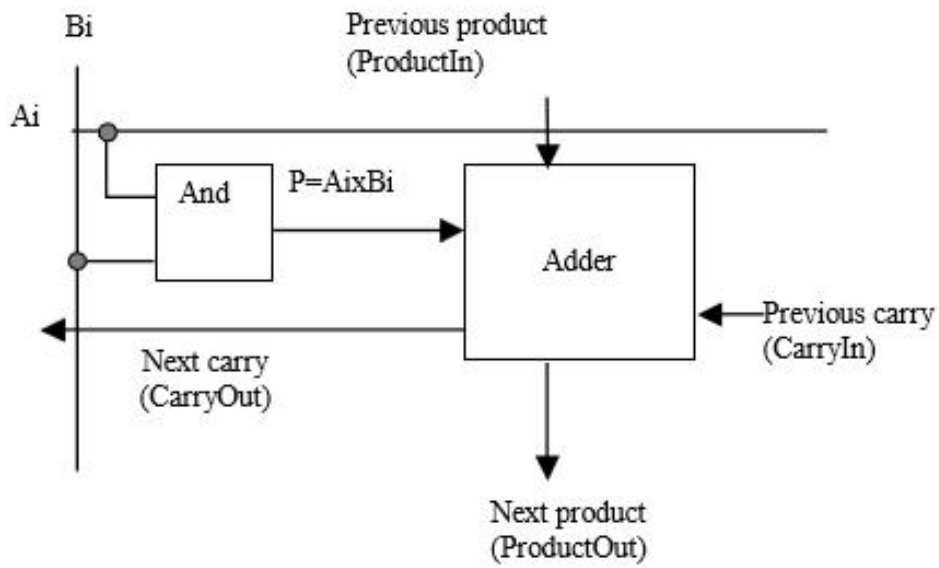
Δυαδικός πολλαπλασιαστής

Ο πολλαπλασιασμός δυαδικών αριθμών γίνεται με τον ίδιο τρόπο που γίνεται και ο δεκαδικός πολλαπλασιασμός. Ο πολλαπλασιαστέος πολλαπλασιάζεται από κάθε bit του πολλαπλασιαστή, ξεκινώντας από το λιγότερο σημαντικό bit. Άρα πάμε ζευγάρι από δεξιά προς στα αριστερά. Δηλαδή πολλαπλασιάζουμε για παράδειγμα το A_0 με B_0 και έχουμε ένα μερικό αποτέλεσμα, μετά πάμε πιο αριστερά στο άλλο ζευγάρι $A_0 B_1$ και πάλι έχουμε ένα μερικό αποτέλεσμα. Το τελικό αποτέλεσμα θα είναι το άθροισμα των μερικών αποτελεσμάτων

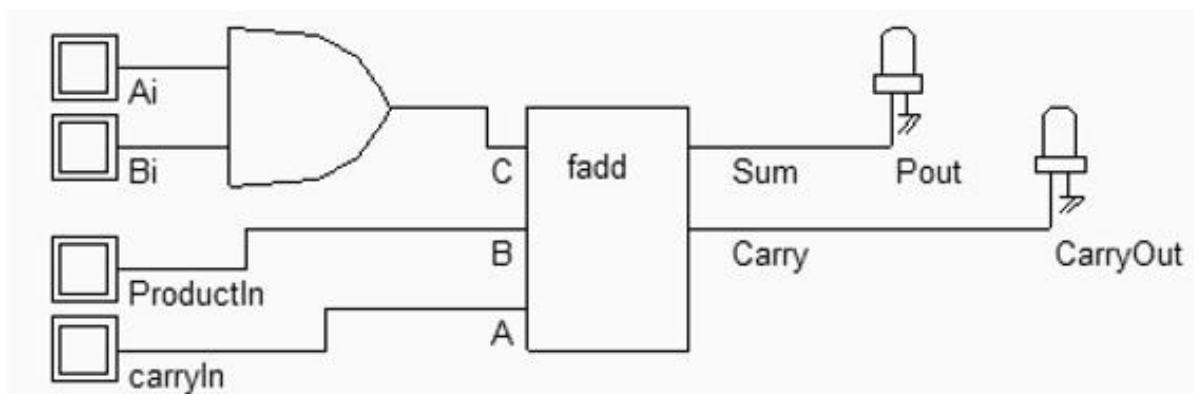
Πιο αναλυτικά ο πολλαπλασιασμός γίνεται ως εξής όπως φαίνεται και παρακάτω: A_0 με B_0 μετά A_0 με B_1 μετά A_1 με B_0 και μετά A_1 με B_1 όπως φαίνονται και στο σχήμα παρακάτω. Τελικό αποτέλεσμα $C_3 C_2 C_1 C_0$. Ο πολλαπλασιασμός των δυο bit όπως A_0 με B_0 θα βγάλει 1 εάν και τα δυο είναι 1, λογική AND, αλλιώς θα δώσει λογικό 0.

Εδώ στο σχήμα τα μερικά αποτελέσματα γίνονται κρατούμενα, δηλαδή το $C_0 = A_0 * B_0$, μετά για το κρατούμενο C_1 , αφού πρώτα ολισθήσει αριστερά για το ζευγάρι $A_0 B_1$ και γίνει και το ζευγάρι $A_1 B_0$ πάμε στον ημιαθροιστή που θα προστεθούν τα δυο ζευγάρια, δηλαδή τα εξής: $A_0 B_1 A_1 B_0$ για να βγει το κρατούμενο C_1 . Το ίδιο θα γίνει και για το κρατούμενο C_2, C_3 .





Multiplier				
$A_i \times B_i$	ProductIn	CarryIn	CarryOut	ProductOut
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

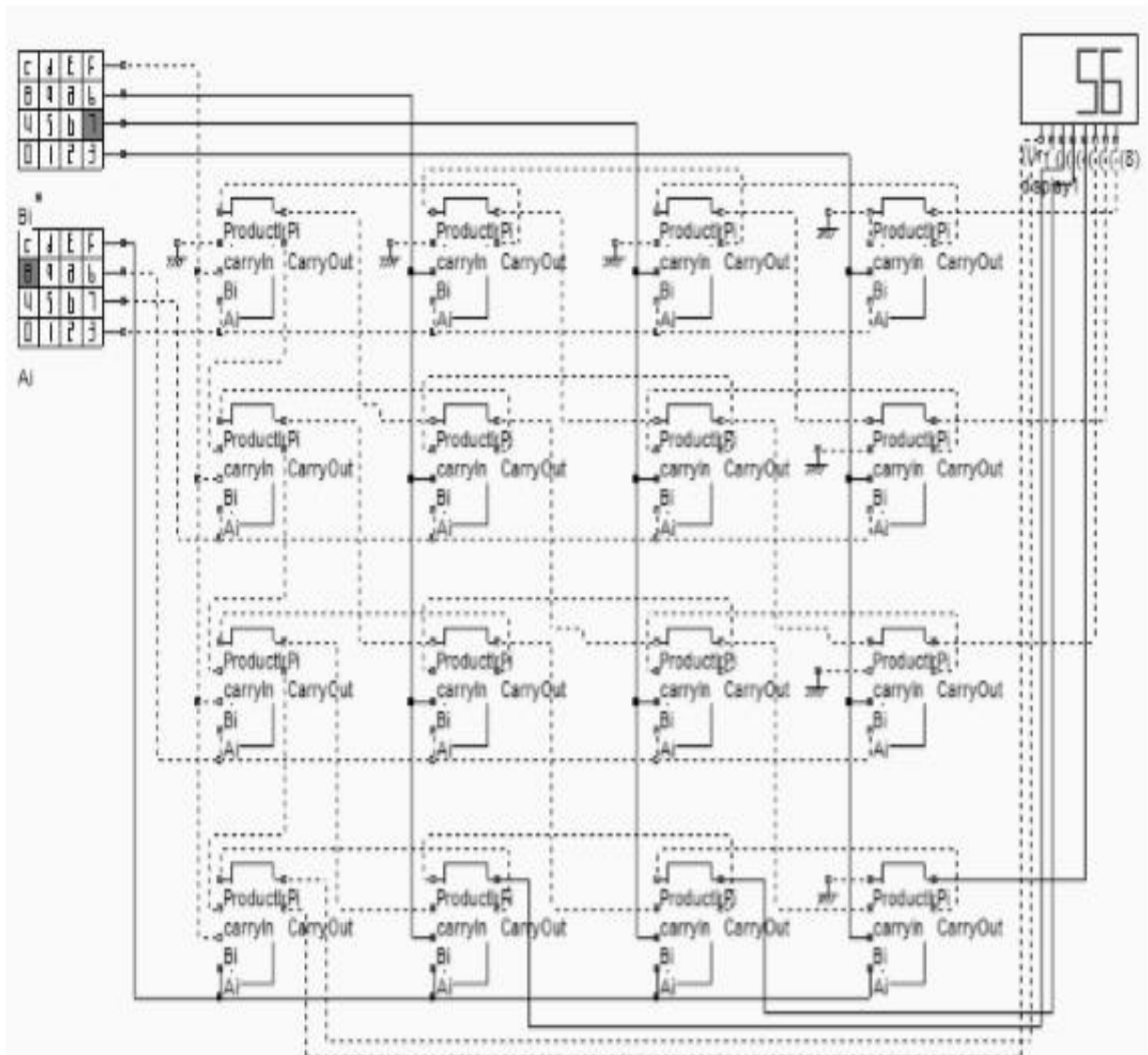


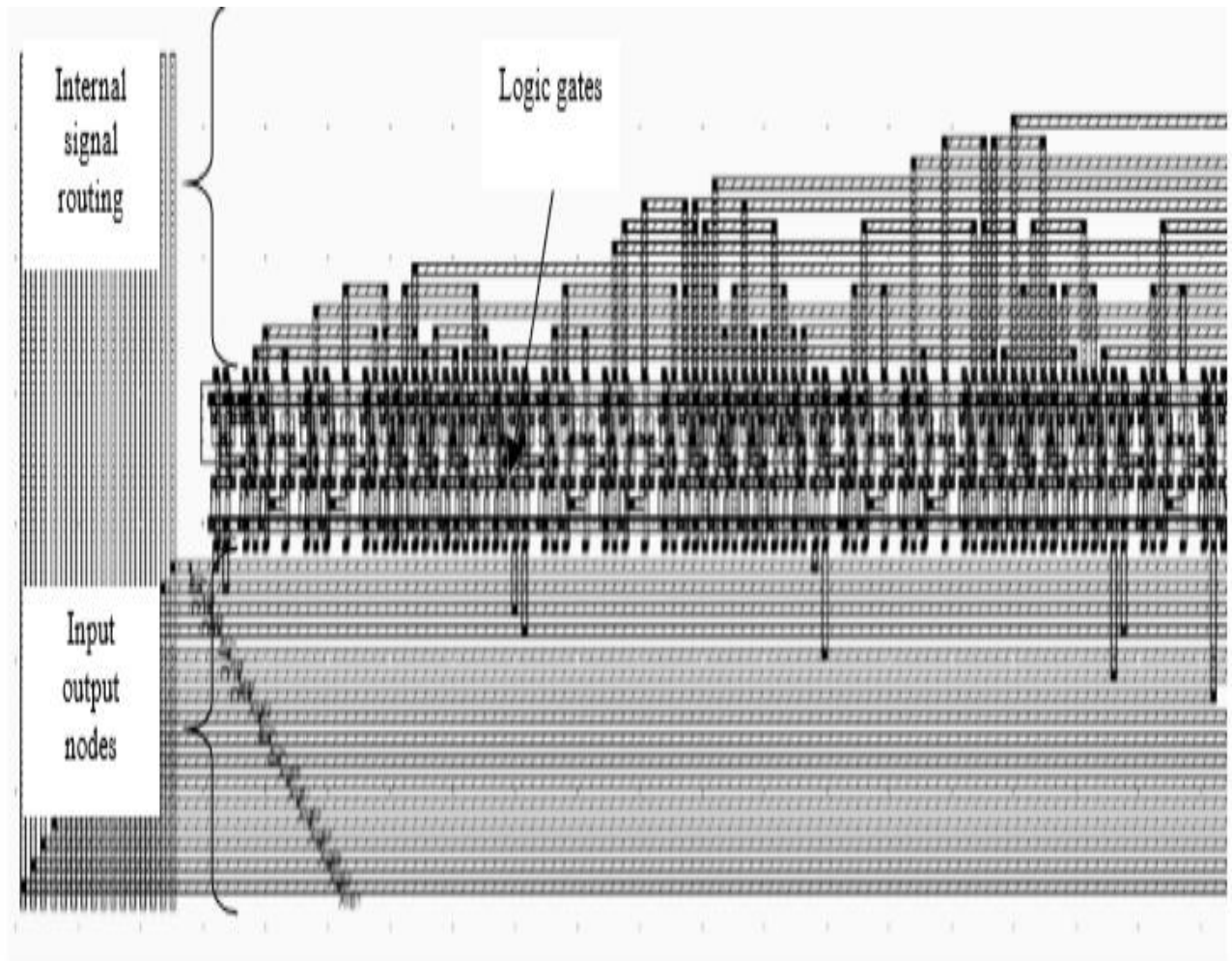
Πολλαπλασιασμός δυαδικών αριθμών

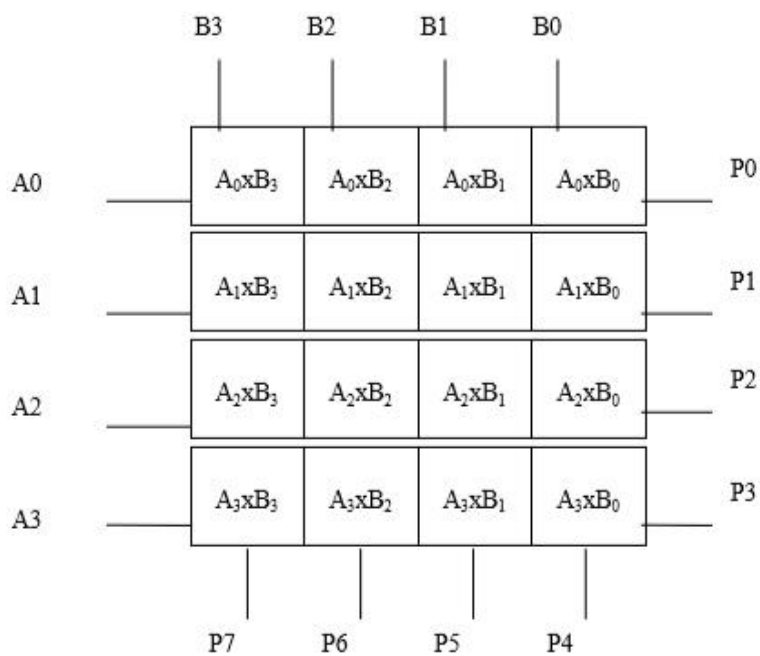
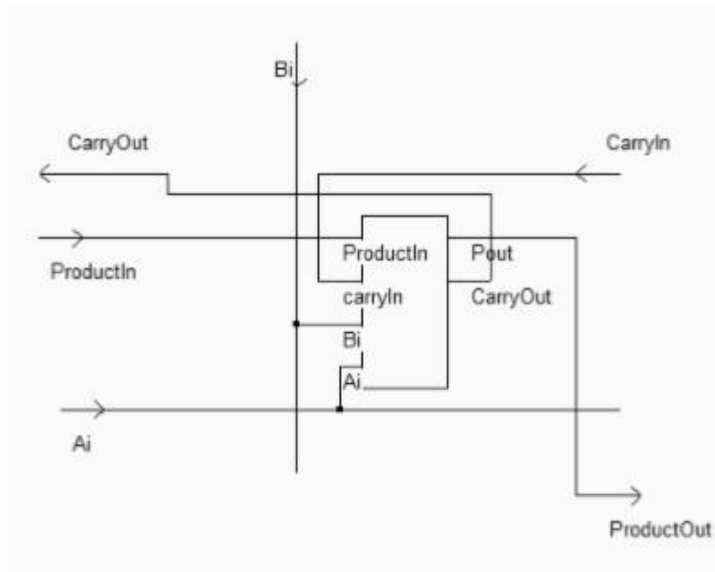
				1	1	0	1	Πολλαπλασιαστέος
		x	0	1	1	0	0	Πολλαπλασιαστής
			0	0	0	0	0	Μερικό γινόμενο
			1	1	0	1		Μερικό γινόμενο
			1	0	1			Μερικό γινόμενο
+	0	0	0	0				Μερικό γινόμενο
	1	0	0	1	1	1	0	Γινόμενο

1010111	Πολλαπλασιαστέος	87
x 1011	Πολλαπλασιαστής	x11
1010111		87
1010111	Μερικά γινόμενα	87
0000000		87
1010111		87
1110111101	← Γινόμενο	→ 957

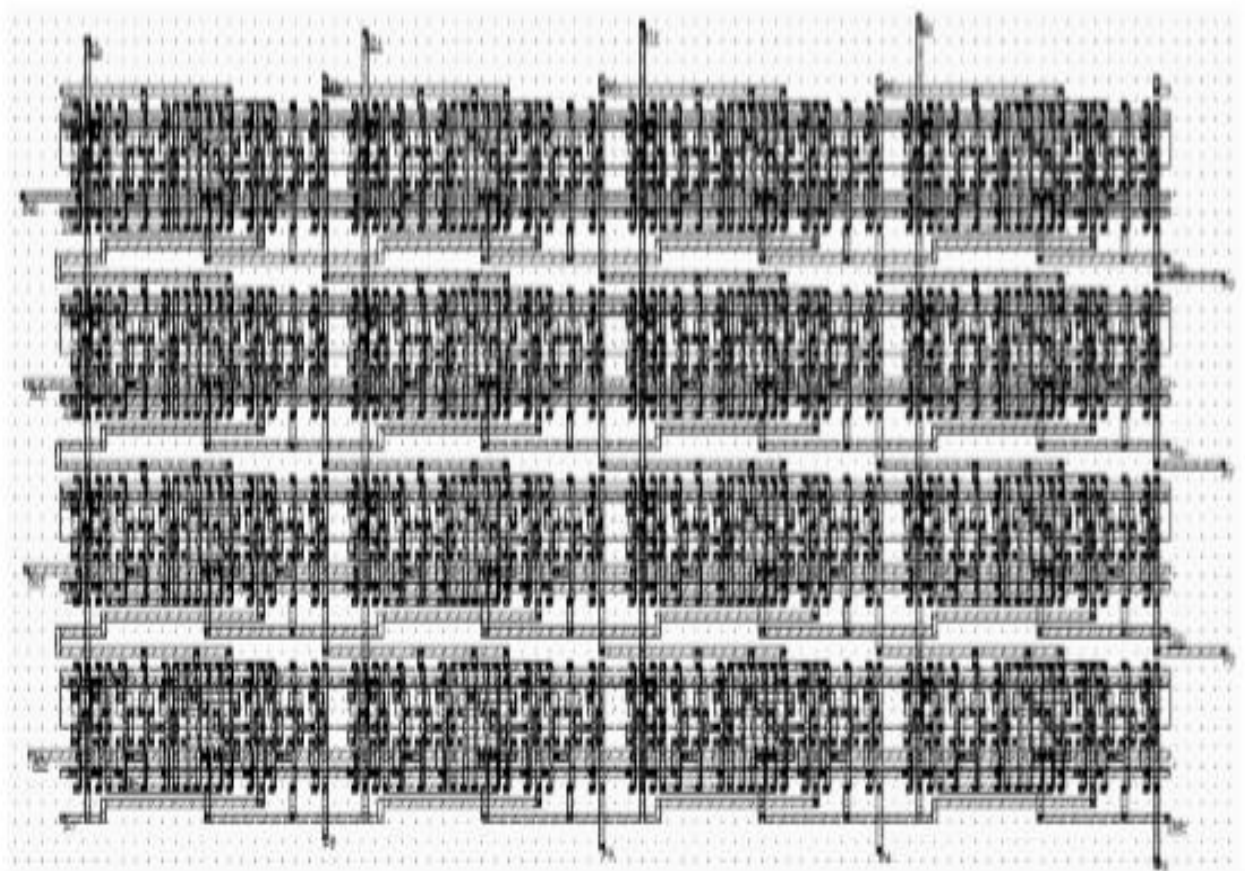
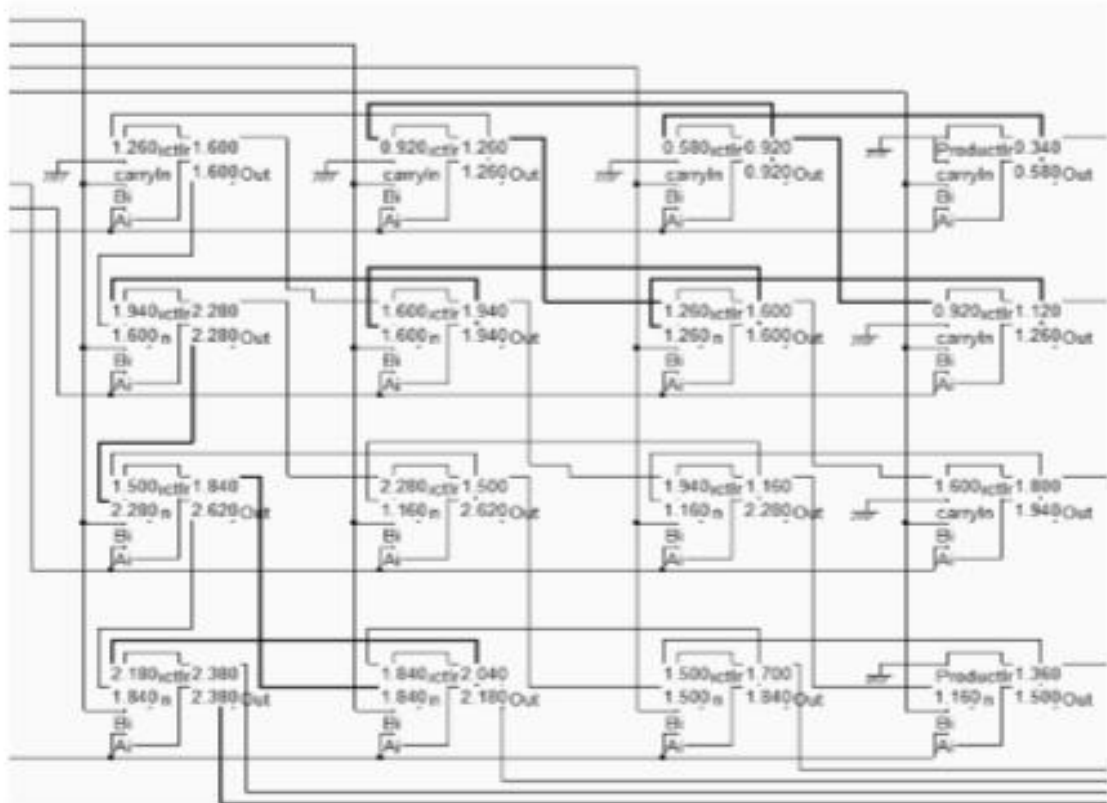
4 χ 4 πολλαπλασιαστής

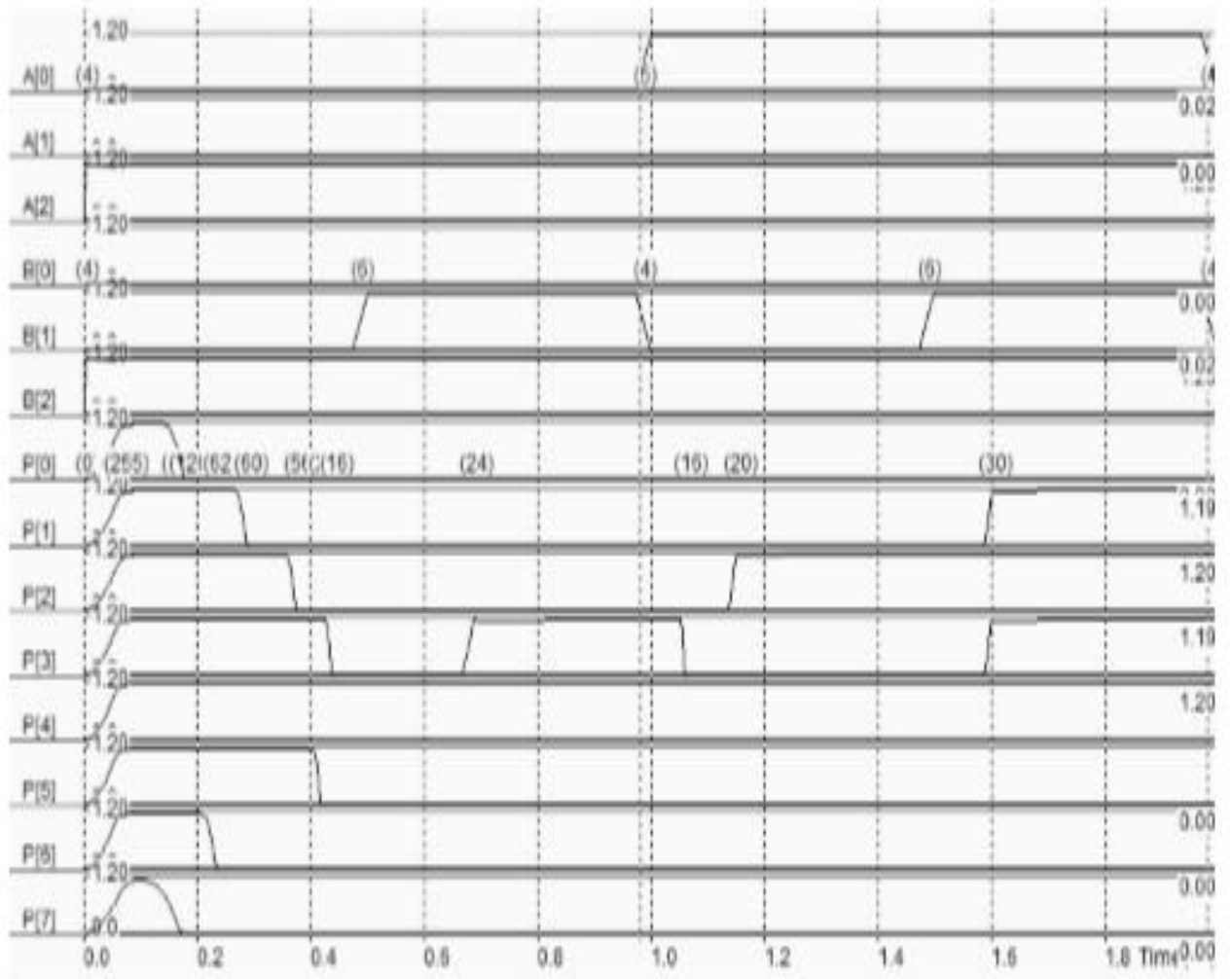




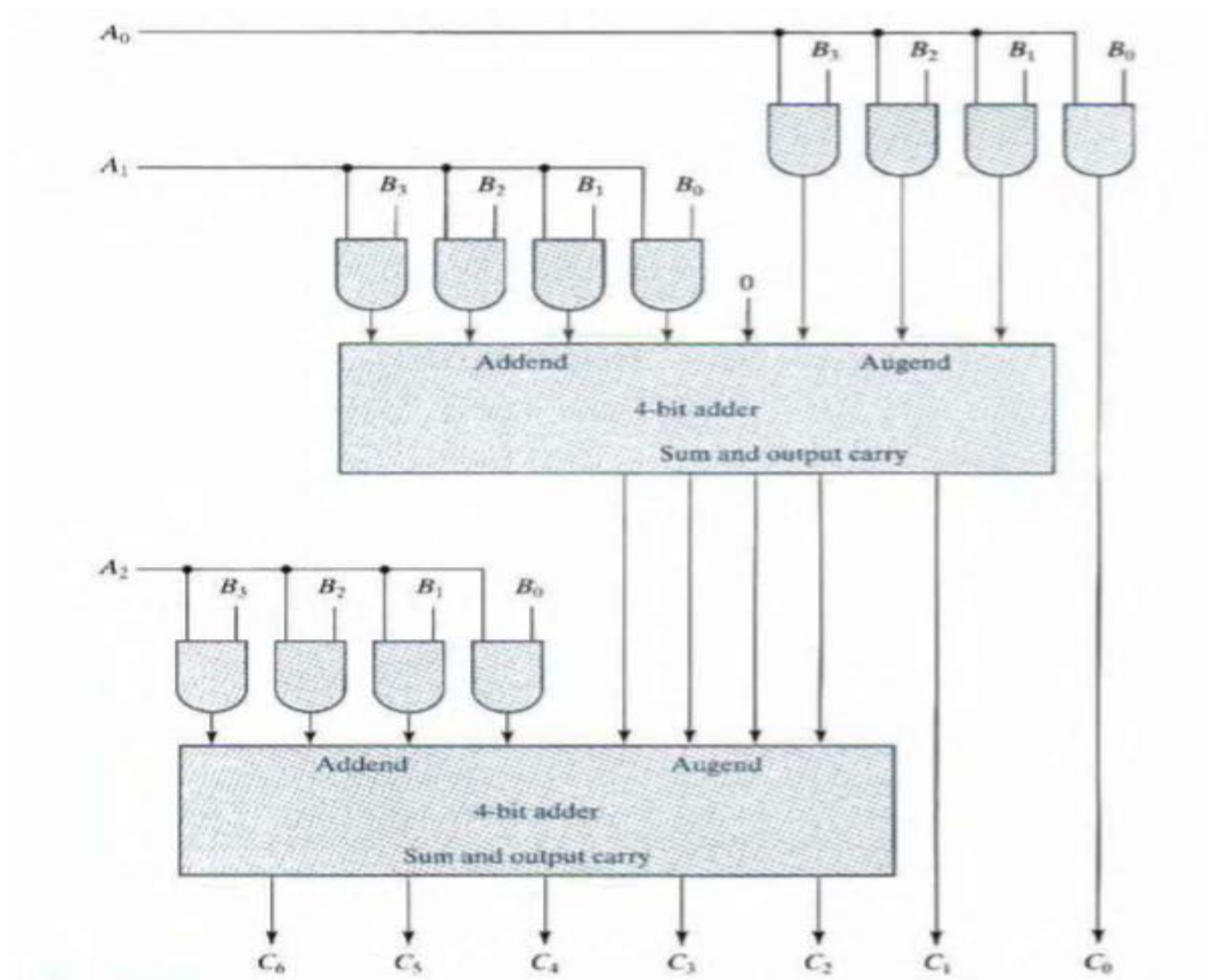


Floor planning of the 4x4 bit multiplier





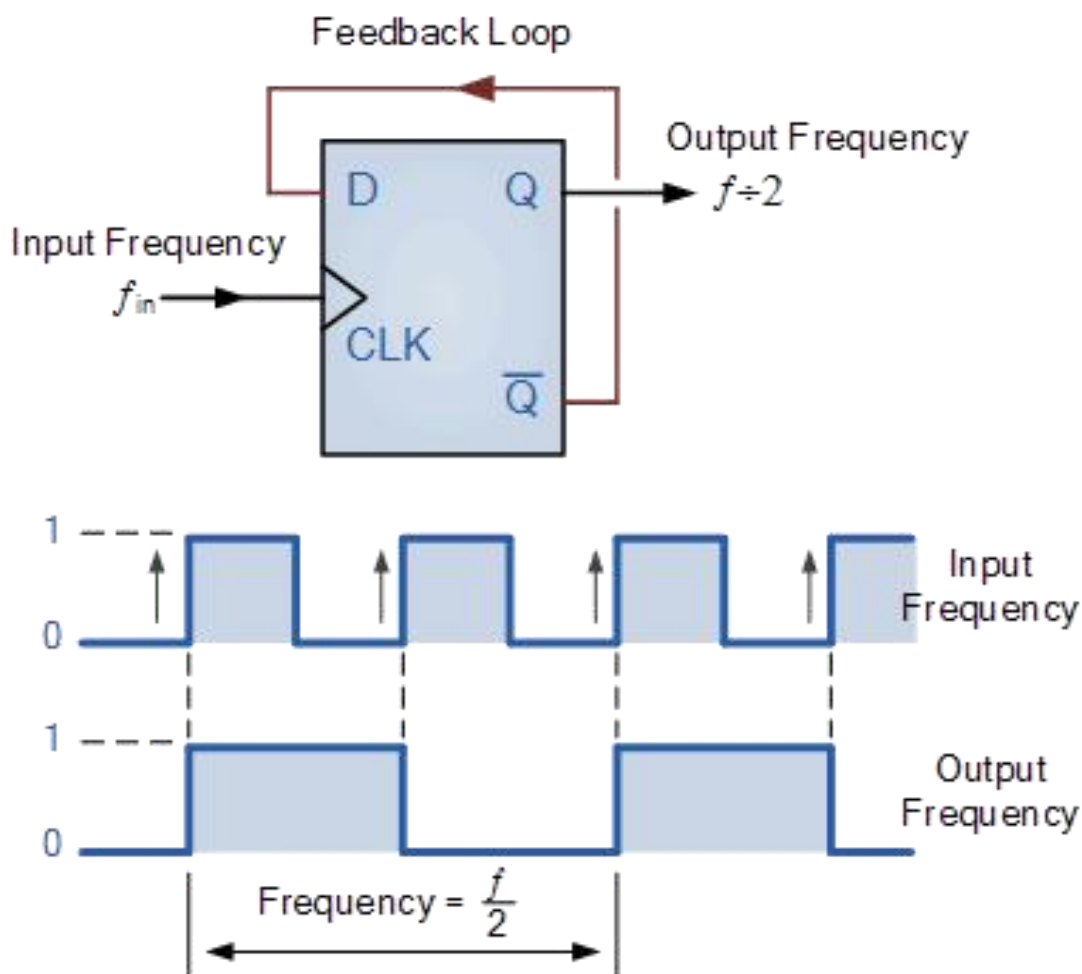
Παρακάτω έχουμε ένα πιο σύνθετο πολλαπλασιαστή 4 bits.

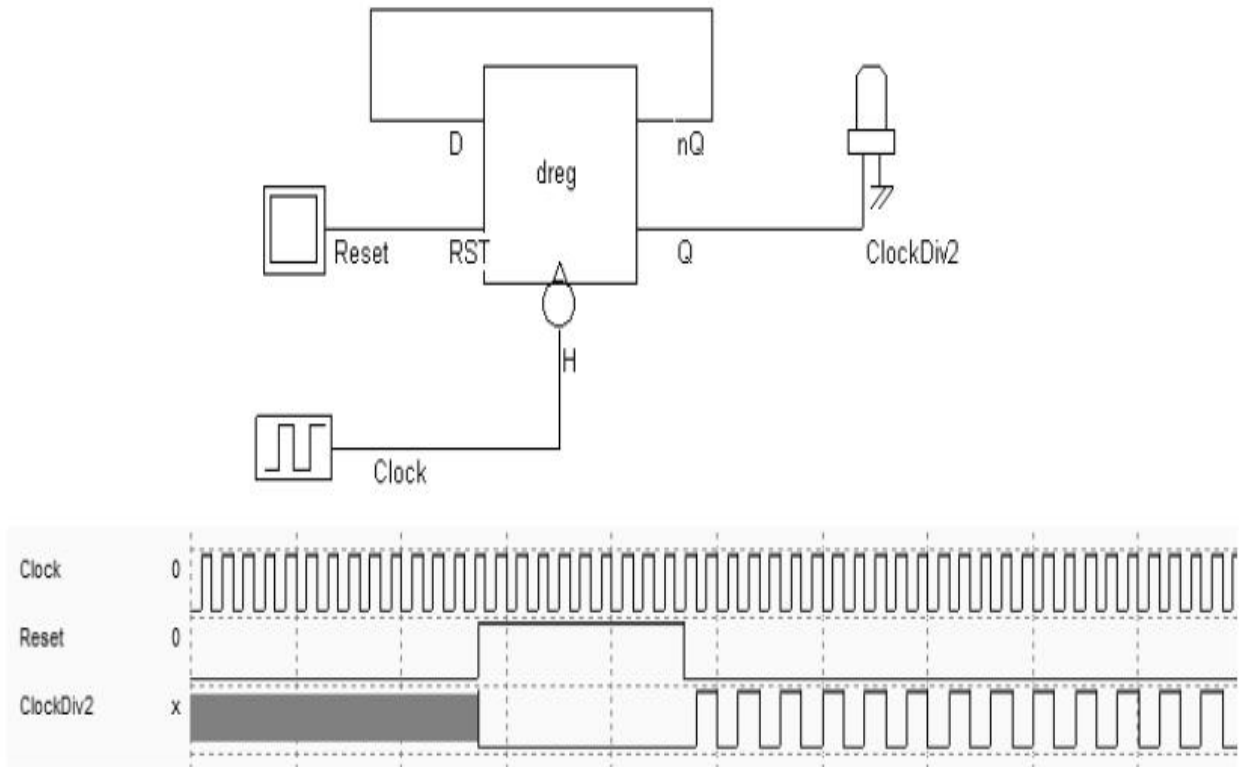


Διαιρέτης

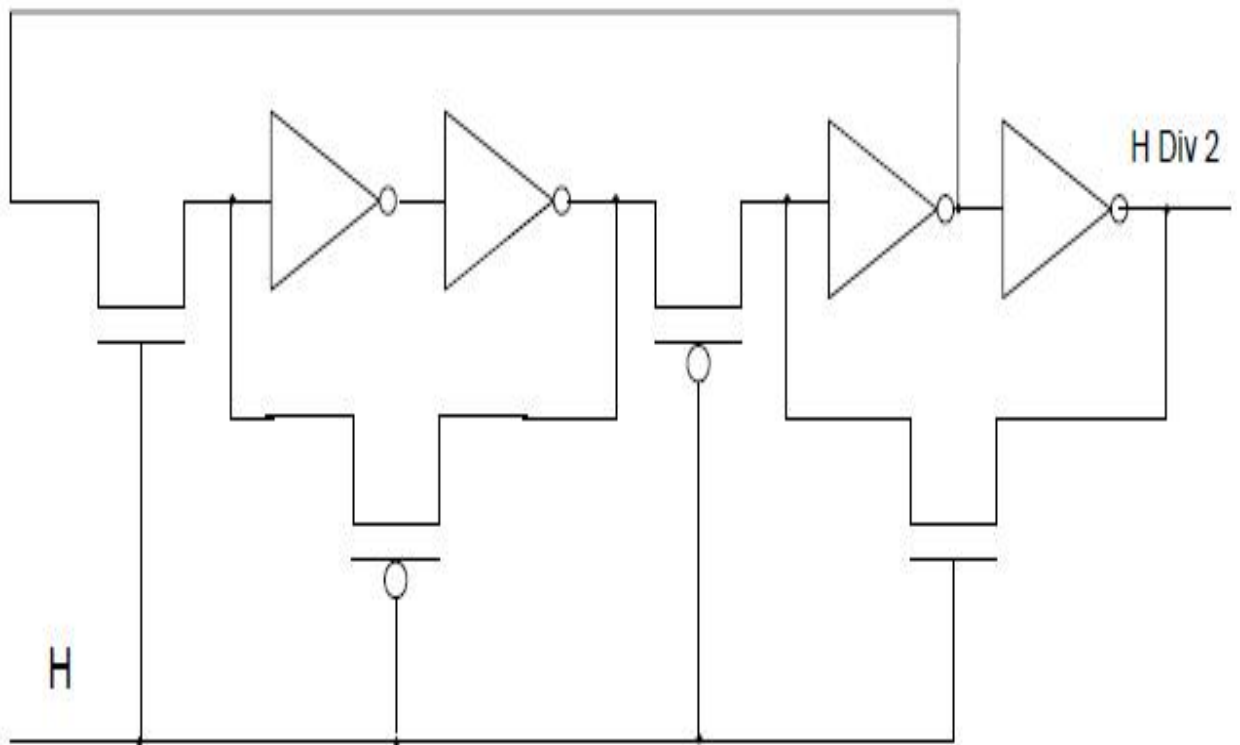
Η διαίρεση είναι μια πολύ σημαντική λειτουργία στα ψηφιακά συστήματα. Ο προκαθορισμένος τελεστής “/” (διαίρεση) δέχεται μόνο διαιρέτες που είναι δυνάμεις των δύο, είναι σαν ένα τελεστή “ολίσθησης”.

Ο διαιρέτης συχνότητας έχει τη δυνατότητα να πολλαπλασιάζει την περίοδο του ρολογιού που εμφανίζεται στην είσοδό του. Μπορεί να έχουμε διαιρέτη με μία ή δυο βαθμίδες ή και με περισσότερες . Η κάθε βαθμίδα διαιρεί τη συχνότητα του ρολογιού που εφαρμόζεται στην είσοδο της με το συντελεστή 2.



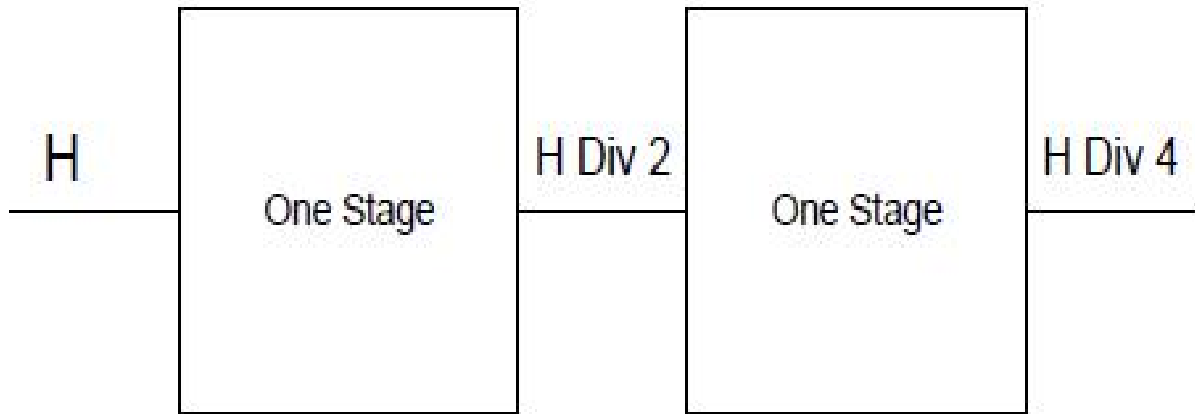


Κύκλωμα διαιρέτη συχνότητας

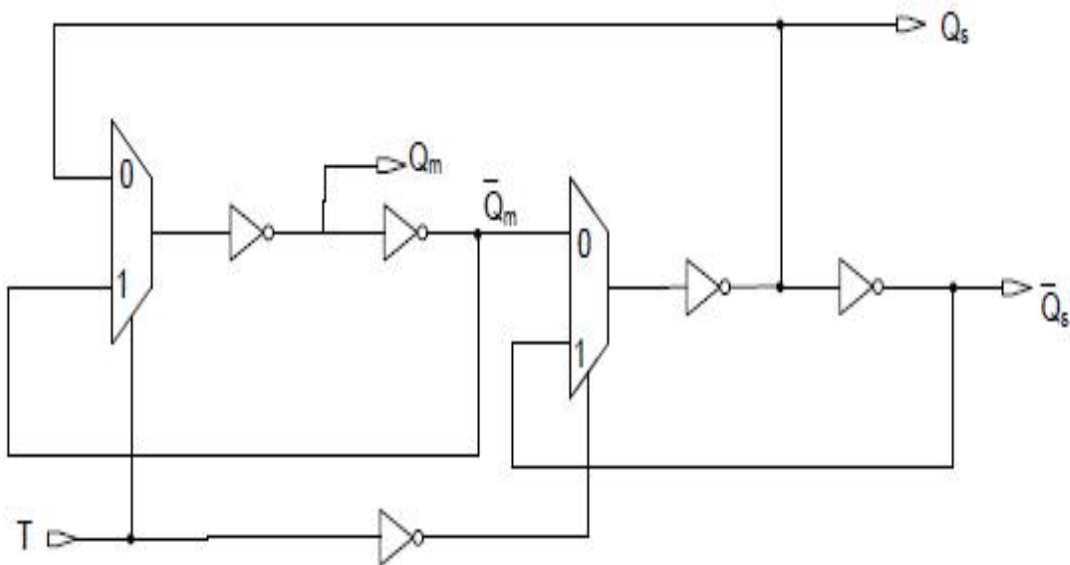


Διαιρέτης συχνότητας δυο βαθμίδων

Η διασύνδεση των δυο βαθμίδων γίνεται ως εξής , το σήμα εξόδου της πρώτης βαθμίδας είναι το ρολόι εισόδου της δεύτερης βαθμίδας.



Αυτή η δομή και η λειτουργία του διαιρέτη συχνότητας , βασίζεται στο T Master – Slave flip – flop του παρακάτω σχήματος CMOS ακμοπυροδοτούμενο με πολυπλέκτη

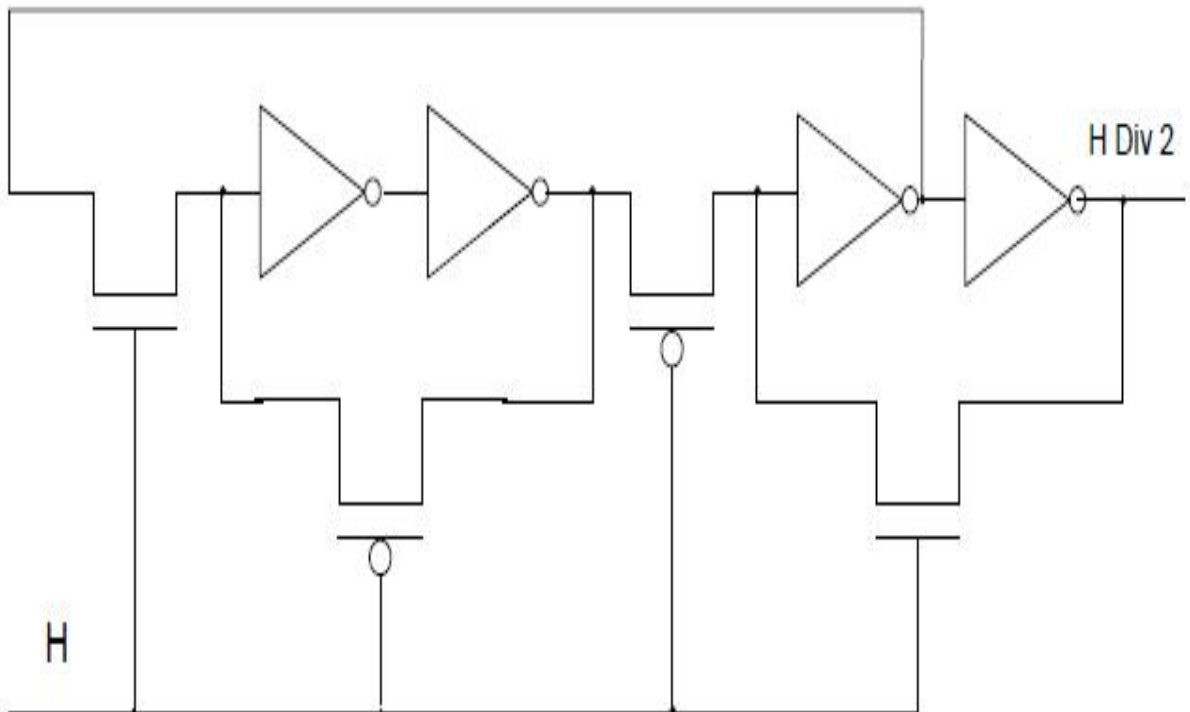


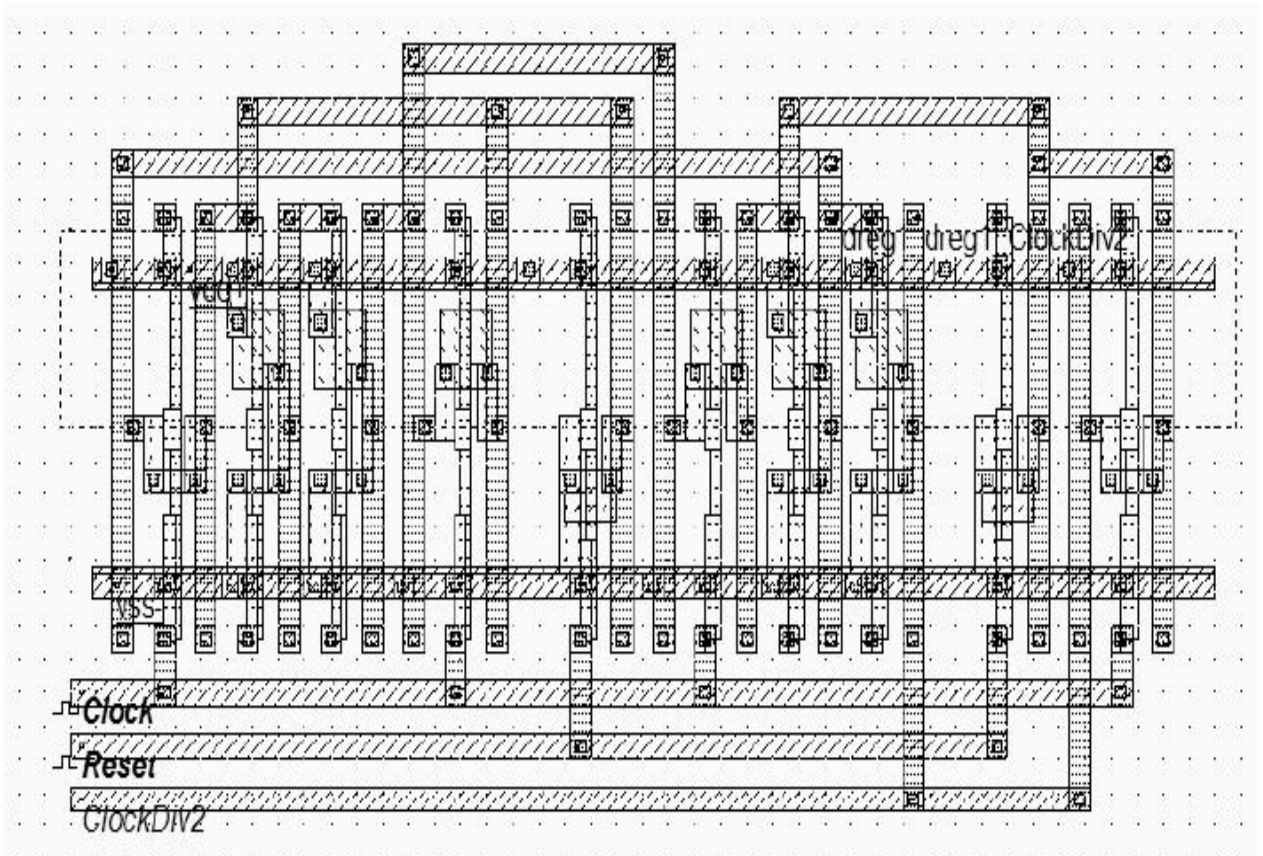
Που και αυτή η δομή έχει την δυνατότητα να διαιρεί τη συχνότητα του σήματος εισόδου δια 2.

Η λειτουργία του παρακάτω διαιρέτη είναι η εξής: όταν $H = 0$ τα nMOS τρανζίστορ δεν άγουν , ενώ τα pMOS άγουν, εγκλωβίζοντας έτσι την τρέχουσα τιμή (λογικό 1) στην ανάδραση του αριστερού τμήματος του διαιρέτη που είναι οι δυο αντιστροφείς (inverters) το master κομμάτι. Το δεξιό τμήμα του διαιρέτη

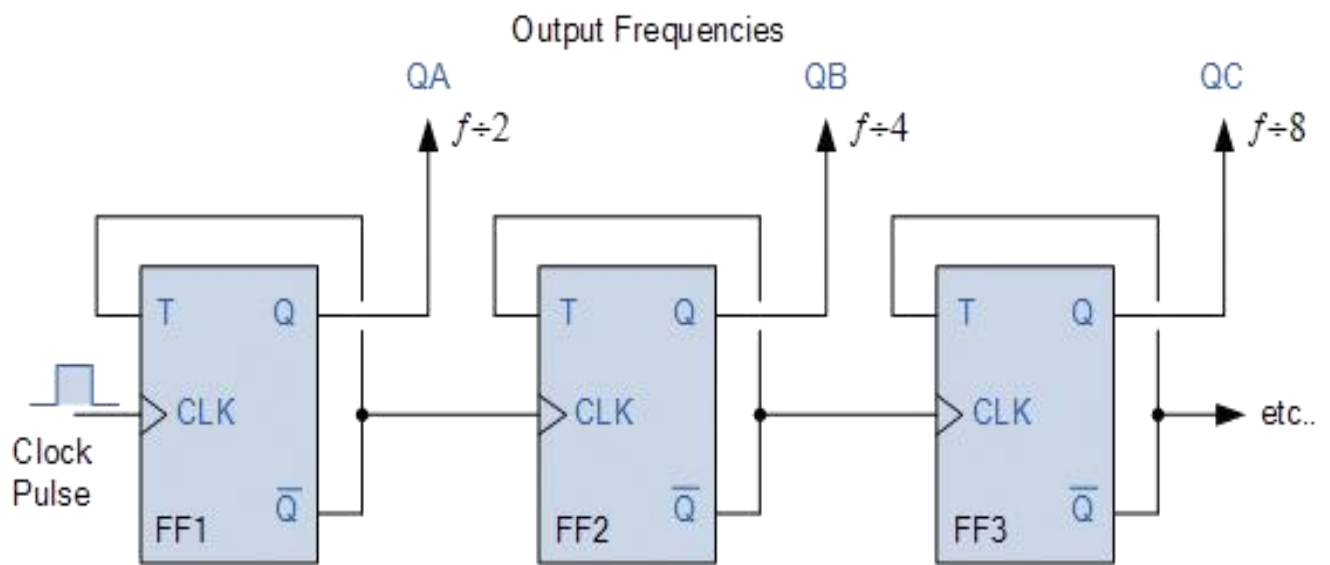
που είναι οι άλλοι δυο αντιστροφείς (inverters) δηλαδή το slave κομμάτι, θα βγάλει στην έξοδο “H Div 2” την τρέχουσα λογική τιμή, από την άλλη όμως προετοιμάζει αλλαγή στη λογική στάθμη του διαιρέτη συχνότητας (λειτουργία toggle), όταν μεταδοθεί η αντίστροφη λογική τιμή στο αριστερό τμήμα του διαιρέτη που είναι οι δυο αντιστροφείς, μέσω της ανάδρασης.

Όταν το $H = 1$, τότε η τρέχουσα λογική τιμή που βρίσκεται στην έξοδο του δεξιού τμήματος του διαιρέτη, που έχει τους άλλους δυο αντιστροφείς, συνεχίζει να μεταδίδεται για δεύτερη ημιπερίοδο του σήματος H, αλλά η αντίστροφη λογική τιμή μπαίνει στο αριστερό τμήμα του διαιρέτη, που έχει τους δυο πρώτους αντιστροφείς, αλλάζοντας έτσι την αποθηκευμένη τιμή. Όταν όμως γίνει το $H = 0$, τότε η νέα αυτή τιμή θα εγκλωβιστεί στο αριστερό τμήμα του διαιρέτη, που έχει τους δυο πρώτους αντιστροφείς, και θα μεταδοθεί στην έξοδο “H Div 2” για δυο ημιπερίοδους του H. Όλα αυτά μας οδηγούν στον διπλασιασμό της περιόδου του σήματος εισόδου ή αλλιώς την διαίρεση δια δύο της συχνότητάς του. Ο διαιρέτης με δυο βαθμίδες μας κάνει τετραπλασιασμό της περιόδου του σήματος εισόδου, αφού η κάθε βαθμίδα διπλασιάζει την περίοδο του σήματος στην είσοδό του.





Διαίρετης συχνότητας τριών βαθμίδων

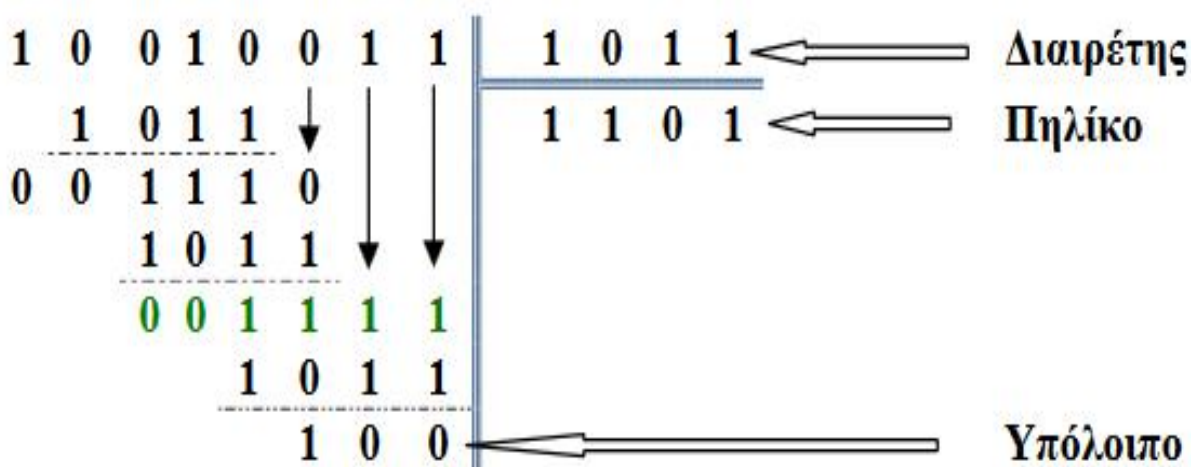


Διαίρεση δυαδικών αριθμών

Η διαίρεση δυαδικών αριθμών είναι επίσης μια δύσκολη διαδικασία αλλά πιο πολύπλοκη από τον πολλαπλασιασμό. Περιλαμβάνει επαναλαμβανόμενες ολισθήσεις και πρόσθεση ή αφαίρεση. Παρακάτω έχουμε ένα παράδειγμα διαίρεσης δυαδικών αριθμών, είναι ουσιαστικά είναι όπως γίνεται η διαίρεση με δεκαδικούς αριθμούς.

Η διαίρεση βασίζεται σε αυτόν τον πίνακα της αφαίρεσης

Μειωτέος X	Αφαιρετέος Y	Διαφορά Δ	Δανεικό B
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0



Για αρχή βλέπουμε ότι ο $1011 > 1001$ οπότε κατεβάζουμε και το επόμενο δυαδικό ψηφίο, άρα έχουμε 10010 , και αφαιρούμε τον διαιρέτη (1011). Στο τέλος μετά την γραμμή γράφουμε το αποτέλεσμα της αφαίρεσης.

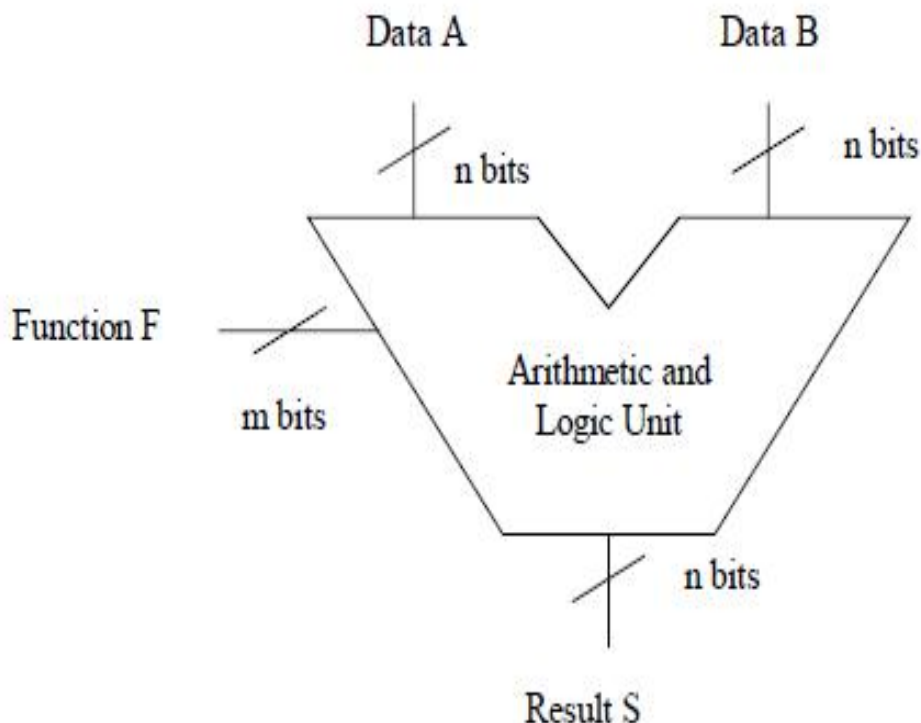
ΔΕΚΑΔΙΚΟ	ΔΥΑΔΙΚΟ	ΟΚΤΑΔΙΚΟ	ΔΕΚΑΕΞΑΔΙΚΟ
0	0	0	0
1	1	1	1
2	10	2	2
3	11	3	3
4	100	4	4
5	101	5	5
6	110	6	6
7	111	7	7
8	1000	10	8
9	1001	11	9
10	1010	12	A
11	1011	13	B
12	1100	14	C
13	1101	15	D
14	1110	16	E
15	1111	17	F
16	10000	20	10
17	10001	21	11
18	10010	22	12
19	10011	23	13
20	10100	24	14

Δεκαδικός	Παράσταση προσήμου	Συμπλήρωμα ως προς 1	Συμπλήρωμα ως προς 2
7	0111	0111	0111
6	0110	0110	0110
5	0101	0101	0101
4	0100	0100	0100
3	0011	0011	0011
2	0010	0010	0010
1	0001	0001	0001
0	0000	0000	0000
-0	1000	1111	—
-1	1001	1110	1111
-2	1010	1101	1110
-3	1011	1100	1101
-4	1100	1011	1100
-5	1101	1010	1011
-6	1110	1001	1010
-7	1111	1000	1001
-8	—	—	1000

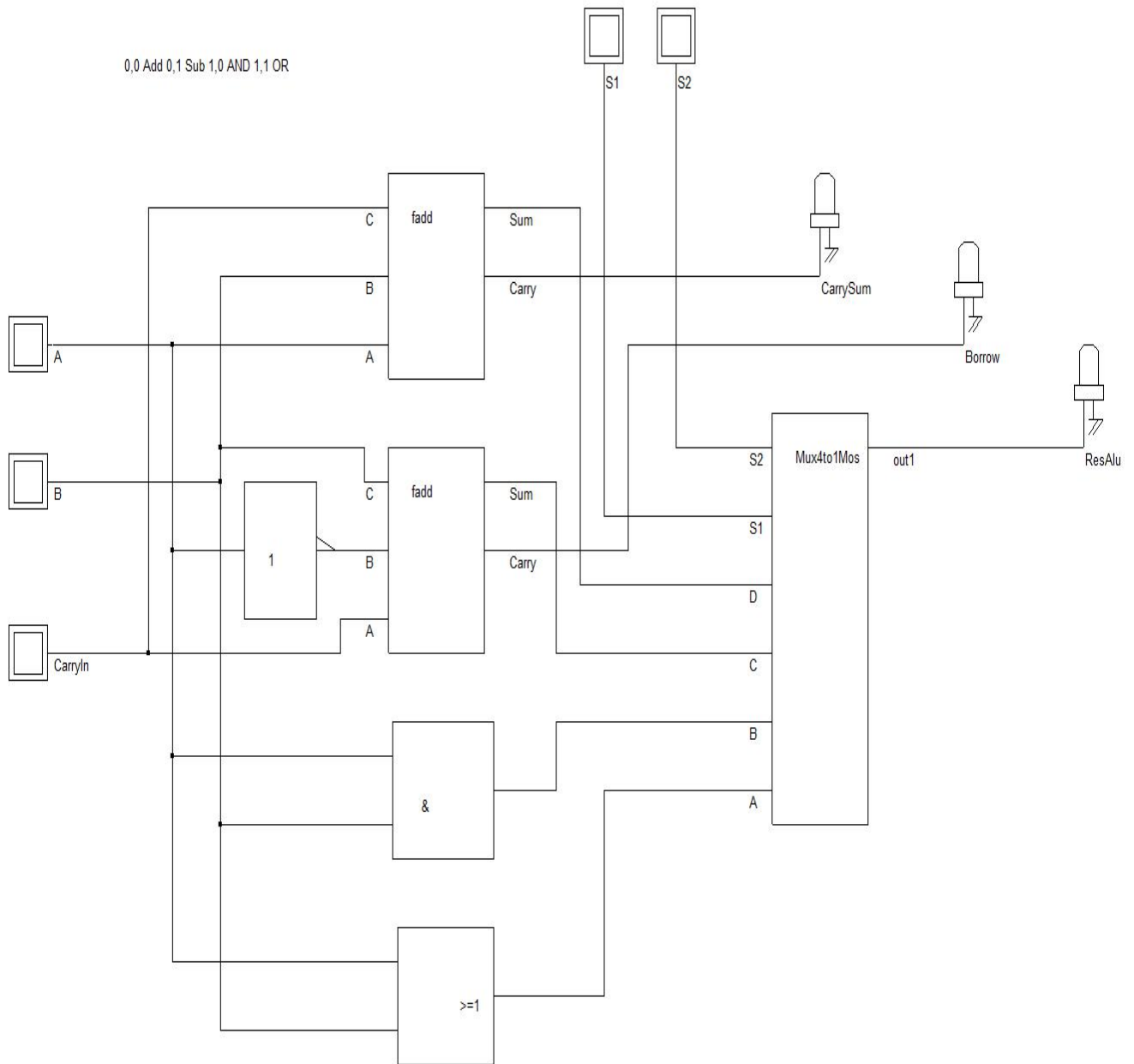
Αριθμητική – λογική μονάδα

Η αριθμητική λογική μονάδα (ALU) είναι ένα υποκύκλωμα του μικροεπεξεργαστή που αποτελεί την βασική μονάδα ενός υπολογιστικού συστήματος. Εκτελεί αριθμητικές και λογικές πράξεις. Η πληροφορία που πρόκειται να εκτελεστεί βρίσκεται στους καταχωρητές. Η ALU παίρνει την πληροφορία από τους καταχωρητές και εκτελεί μια δεδομένη λειτουργία, όπως καθορίζεται από τις διαδικασίες ελέγχου. Μια τυπική αριθμητική λογική μονάδα μπορεί να κάνει προσθέσεις και αφαιρέσεις μπορούν όμως να κάνουν επιπλέον πολλαπλασιασμούς και διαιρέσεις. Από λογικές πράξεις μπορούν να κάνουν τα εξής: AND, OR, XOR, XNOR, NOT που δίνουν την δυνατότητα στον μικροεπεξεργαστή να παίρνει αποφάσεις, για παράδειγμα όπως σύγκριση (μικρότερο από, ίσο, μεγαλύτερο από), θετικοί αριθμοί, αρνητικοί αριθμοί, κ.λ.π.

Εδώ στο σχήμα έχουμε την πληροφορία από τους καταχωρητές A και B θα κάνει μια δεδομένη λειτουργία όπως καθορίζεται από τις διαδικασίες ελέγχου F και το αποτέλεσμα θα το πάρουμε από το S.



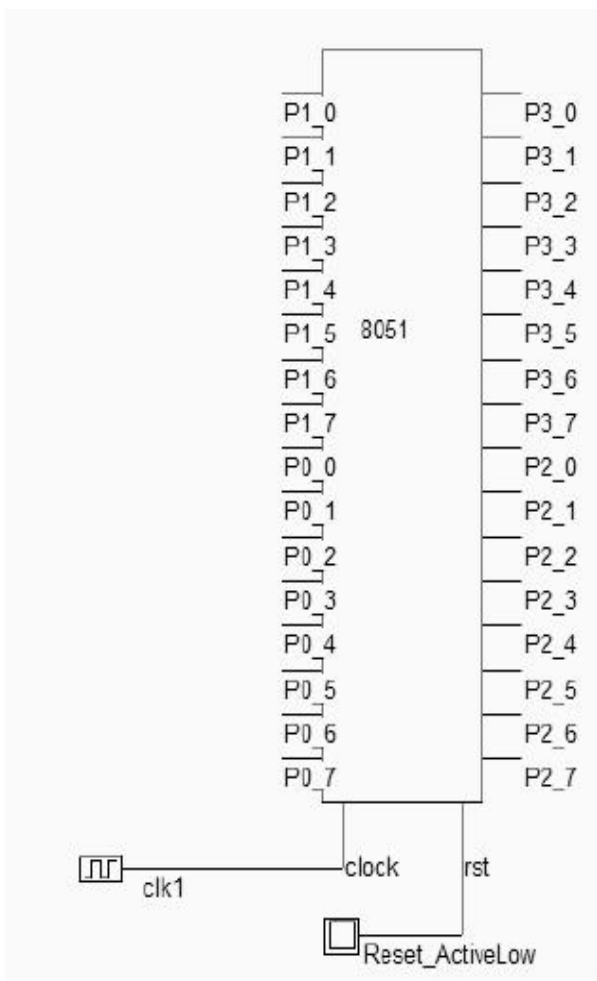
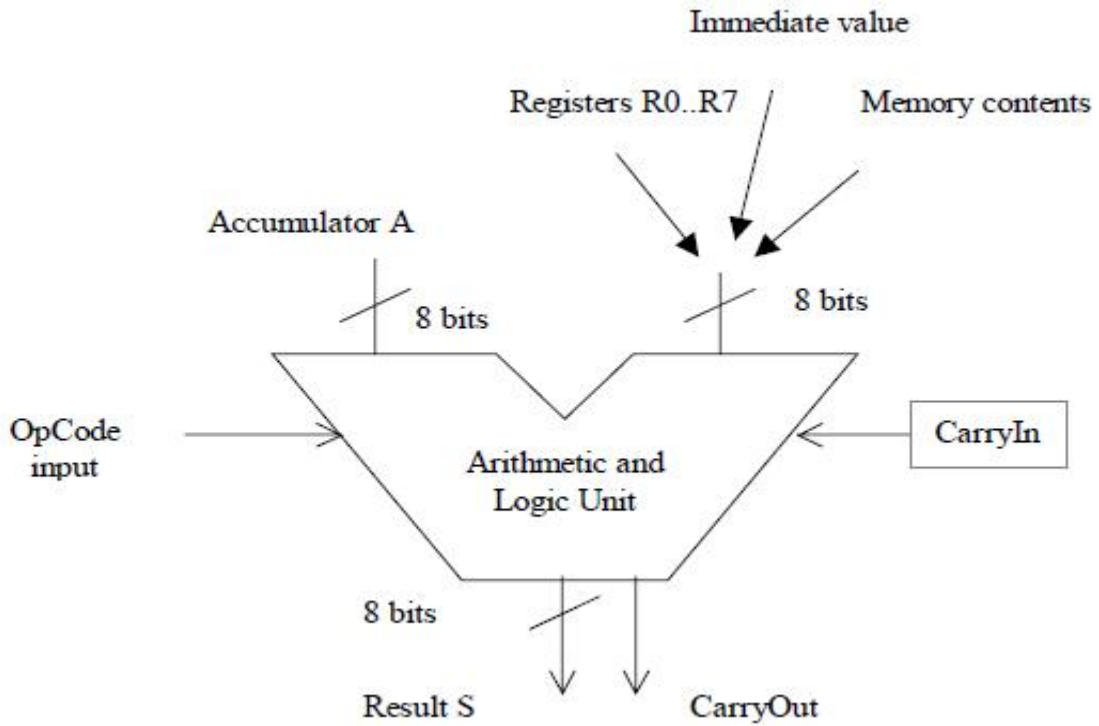
Μια τυπική σχεδίαση αριθμητικής λογικής μονάδας είναι η εξής παρακάτω. Η μονάδα ελέγχου κατασκευάζεται από ένα πολυπλέκτη 4 προς 1.



Εχουμε 4 λειτουργίες: and , or, πρόσθεση και αφαίρεση. Οι λογικές λειτουργίες and και or γίνονται με χρήση βασικών λογικών πυλών. Η πρόσθεση και η αφαίρεση γίνεται χρησιμοποιώντας τα σύμβολα ADDER του χρήστη.

Αν δούμε την αριθμητική λογική μονάδα ενός μικροελεγκτή όπως ο 8051 που υποστηρίζει έναν μεγάλο αριθμό εντολών με μέγεθος δεδομένων 8 bit. Εχουμε παρακάτω ένα πίνακα από εντολές ,εκτός πίνακα είναι οι εντολές του πολλαπλασιασμού και διαίρεσης.

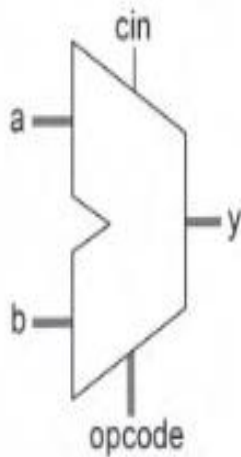
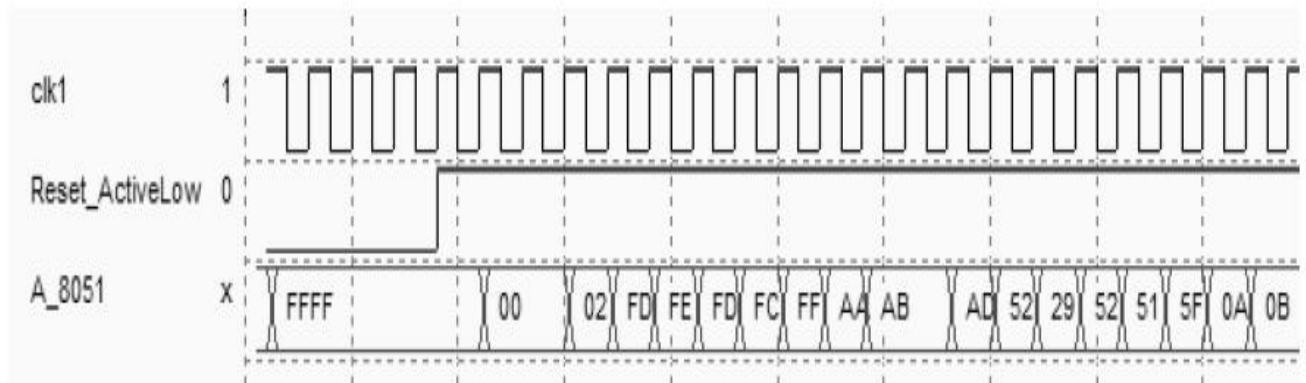
Mnemonic	Type	Description
CLR	Clear	Clear the accumulator
CPL	Complement	Complements the accumulator, a bit or a memory contents. All the bits will be reversed.
ADD	Addition	Add the operand to the value of the accumulator, leaving the resulting value in the accumulator.
SUBB	Subtractor	Subtracts the operand to the value of the accumulator, leaving the resulting value in the accumulator.
INC	Increment	Increment the content of the accumulator, the register or the memory.
DEC	Decrement	Decrement the content of the accumulator, the register or the memory.
XRL	XOR operator	Exclusive OR operation between the accumulator and the operand, leaving the resulting value in the accumulator.
ANL	AND operator	AND operation between the accumulator and the operand, leaving the resulting value in accumulator.
ORL	OR operator	OR operation between the accumulator and the operand, leaving the resulting value in accumulator.
RR	Rotate right	Shifts the bits of the accumulator to the right. The bit 0 is loaded into bit 7.
RL	Rotate left	Shifts the bits of the accumulator to the left. The bit 7 is loaded into bit 0.



```

8051 µc
Code | Assembly | Symbols |
MOV A,#0 // A gets 0
MOV R0,#55H // Register R0 <= 0x55
L1 ADD A,#2 // Add 2 to accumulator
CPL A // Complement
RR A // Rotate right
RL A // Rotate left
DEC A // Decrease A
ORL A,#0F // Or with 0x0F
XRL A,R0 // Xor accumulator and R0
INC A // Increment A
AJMP L1 // Jump to beginning
    
```

Assembly



Unit	Instruction	Operation	opcode
Logic	Transfer a	$y = a$	0000
	Complement a	$y = \text{NOT } a$	0001
	Transfer b	$y = b$	0010
	Complement b	$y = \text{NOT } b$	0011
	AND	$y = a \text{ AND } b$	0100
	NAND	$y = a \text{ NAND } b$	0101
	OR	$y = a \text{ OR } b$	0110
	NOR	$y = a \text{ NOR } b$	0111
Arithmetic	Increment a	$y = a + 1$	1000
	Increment b	$y = b + 1$	1001
	Add a and b	$y = a + b$	1010
	Sub b from a	$y = a - b$	1011
	Sub a from b	$y = -a + b$	1100
	Add negative	$y = -a - b$	1101
	Add with 1	$y = a + b + 1$	1110
	Add with carry	$y = a + b + \text{cin}$	1111

```

1  -----
2  LIBRARY ieee;
3  USE ieee.std_logic_1164.all;
4  USE ieee.std_logic_unsigned.all;
5  -----
6  ENTITY alu IS
7      PORT (a, b: IN STD_LOGIC_VECTOR(7 DOWNTO 0);
8            cin: IN STD_LOGIC;
9            opcode: IN STD_LOGIC_VECTOR(3 DOWNTO 0);
10           y: OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
11 END alu;
12 -----
13 ARCHITECTURE alu OF alu IS
14 BEGIN
15     WITH opcode SELECT
16         -----logic part:-----
17         y <= a WHEN "0000",
18             NOT a WHEN "0001",
19             b WHEN "0010",
20             NOT b WHEN "0011",
21             a AND b WHEN "0100",
22
23             a NAND b WHEN "0101",
24             a OR b WHEN "0110",
25             a NOR b WHEN "0111",
26         -----arithmetic part:-----
27             a+1 WHEN "1000",
28             b+1 WHEN "1001",
29             a+b WHEN "1010",
30             a-b WHEN "1011",
31             0-a+b WHEN "1100",
32             0-a-b WHEN "1101",
33             a+b+1 WHEN "1110",
34             a+b+cin WHEN OTHERS;
35 END alu;
36 -----

```

$opcode = "0100" \rightarrow y = a \text{ AND } b = "00010001" (= 17)$

$opcode = "0110" \rightarrow y = a \text{ OR } b = "01010001" (= 81)$

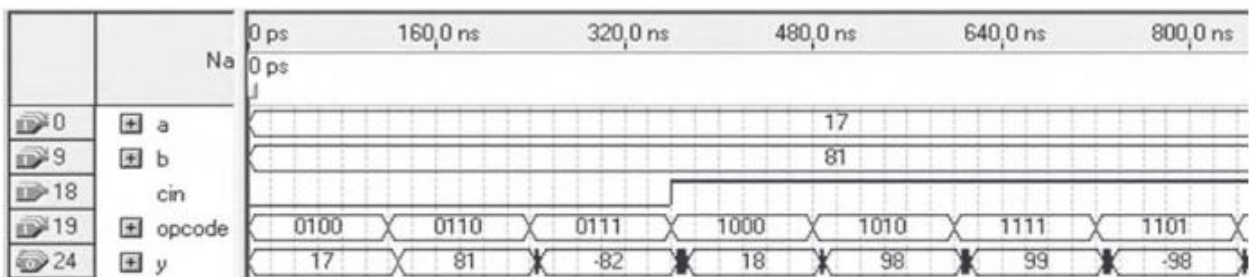
$opcode = "0111" \rightarrow y = a \text{ NOR } b = "10101110" (= 174, \text{ or } -82 \text{ in signed notation})$

$opcode = "1000" \rightarrow y = a + 1 = "00010010" (= 18)$

$opcode = "1010" \rightarrow y = a + b = "01100010" (= 98)$

$opcode = "1111" \rightarrow y = a + b + cin = "01100011" (= 99)$

$opcode = "1101" \rightarrow y = -a - b = "10011110" (= -98, \text{ or } 158 \text{ in unsigned notation})$



Κώδικας VHDL για τον 8051

```
entity ALU_8051 is
port (op_code   : in  UNSIGNED (3 downto 0);
      source_a  : in  UNSIGNED (7 downto 0);
      source_b  : in  UNSIGNED (7 downto 0);
      carry_in  : in  STD_LOGIC;
      result_s  : out UNSIGNED (7 downto 0);
      carry_out : in  STD_LOGIC;
end ALU_8051;
```

```

architecture of ALU_8051 is
begin
  case op_code is
    when CLR => result_s <= "00000000";
    when CPL => result_s(7 downto 0) <= not source_a(7 downto 0);

    when ADD => DO_ADD(source_a,source_b, carry_in, result_s,carry_out);

    when SUBB => DO_SUBB(source_a,source_b, carry_in, result_s,carry_out);

    when INC => DO_ADD(source_a, "00000001",'0' , result_s,carry_out);

    when DEC => DO_SUBB(source_a, "00000001",'0' , result_s,carry_out);

    when XRL => result_s(7 downto 0) <=
      source_a(7 downto 0) xor source_b(7 downto 0);

    when ANL => result_s(7 downto 0) <=
      source_a(7 downto 0) and source_b(7 downto 0);

    when ORL => result_s(7 downto 0) <=
      source_a(7 downto 0) or source_b(7 downto 0);

    when RL => result_s(0) <= source_a(7);
      result_s(7 downto 1) <= source_a(6 downto 0);

    when RR => result_s(7) <= source_a(0);
      result_s(6 downto 0) <= source_a(7 downto 1);

    when others => carry_out <= '-';
  end case;
end process;

```

```
Result_1 := "0" & source_a (6 downto 0);  
Result_2 := "0" & source_b (6 downto 0);  
Result_3 := "0000000" & carry_in;  
Result_s := Result_1+ Result_2+ Result_3;
```

VERILOG CODE ΓΙΑ ALU

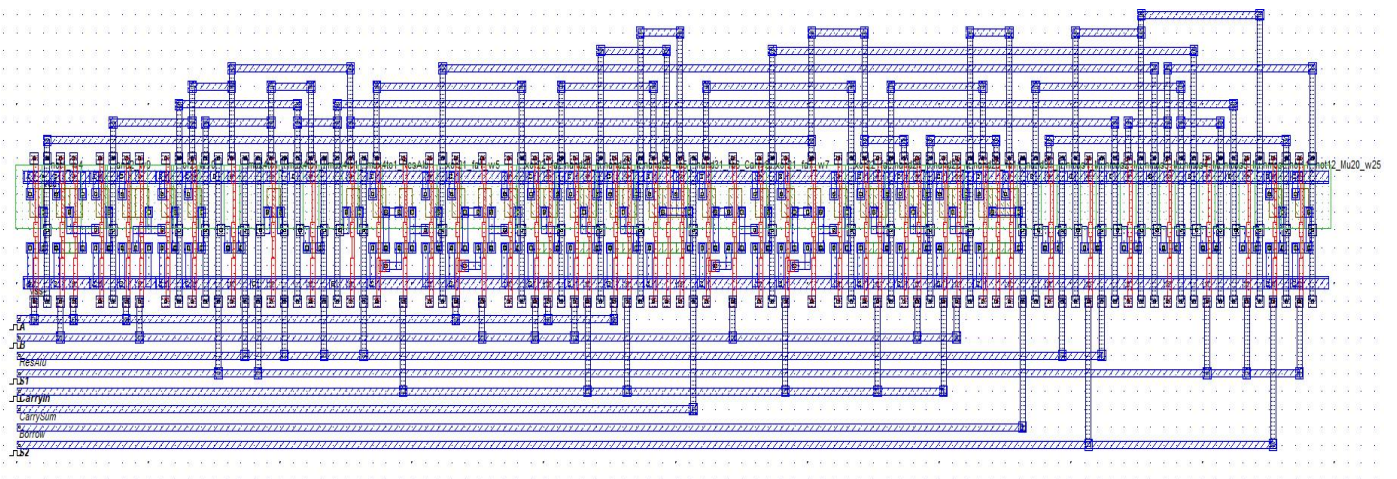
```

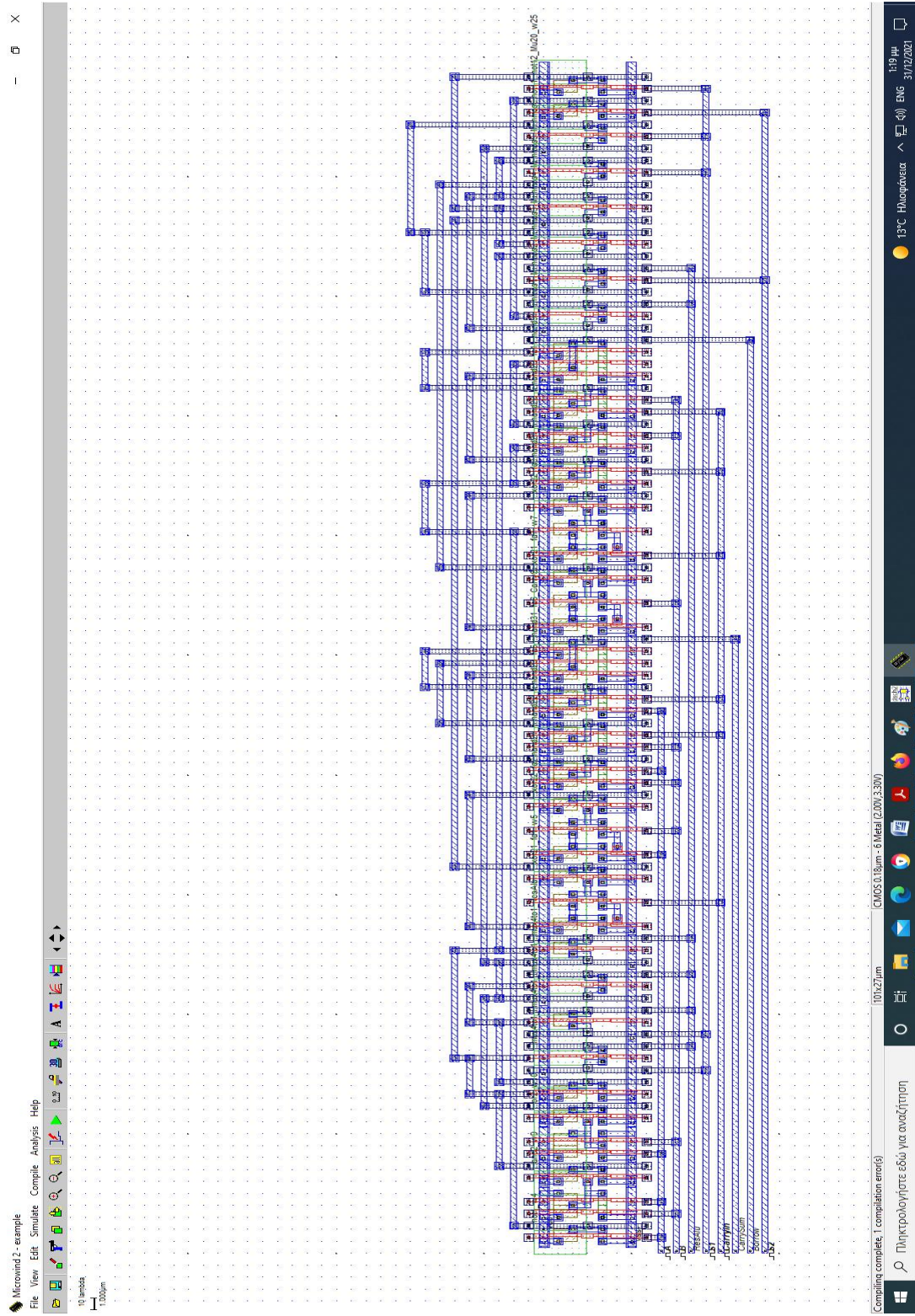
module Alulbit( A,B,CarryIn,S1,S2,CarrySum,Borrow,ResAlu);
  input A,B,CarryIn,S1,S2;
  output CarrySum,Borrow,ResAlu;
  wire w14,w15,w16,w17,w18,w19,w20,w21;
  wire w22,w23,w24,w25;
  not #(121) not1(w4,A);
  and #(207) and2(w9,B,A);
  or #(207) or2(w10,A,B);
  mux #(121) mux4to1(ResAlu,S1,w10,w9,S2,w7,w5);
  xor #(10) xor21_fa1(w5,w14,CarryIn);
  xor #(10) xor22_fa2(w14,A,B);
  nand #(10) nand21_fa3(w15,B,A);
  nand #(10) nand22_fa4(w16,B,CarryIn);
  nand #(10) nand23_fa5(w17,A,CarryIn);
  nand #(10) nand31_fa6(CarrySum,w15,w16,w17);
  xor #(10) xor21_fa7(w7,w18,B);
  xor #(10) xor22_fa8(w18,CarryIn,w4);
  nand #(10) nand21_fa9(w19,w4,CarryIn);
  nand #(10) nand22_fa10(w20,w4,B);
  nand #(10) nand23_fa11(w21,CarryIn,B);
  nand #(10) nand31_fa12(Borrow,w19,w20,w21);
  nmos #(17) nmos1_Mul3(ResAlu,w22,w23); //
  nmos #(17) nmos2_Mul4(ResAlu,w24,S2); //
  nmos #(17) nmos3_Mul5(w24,w9,w25); //
  nmos #(17) nmos4_Mul6(w22,w5,w25); //
  nmos #(17) nmos5_Mul7(w22,w7,S1); //
  nmos #(17) nmos6_Mul8(w24,w10,S1); //
  not #(10) not11_Mul9(w23,S2);
  not #(17) not12_Mu20(w25,S1);
endmodule

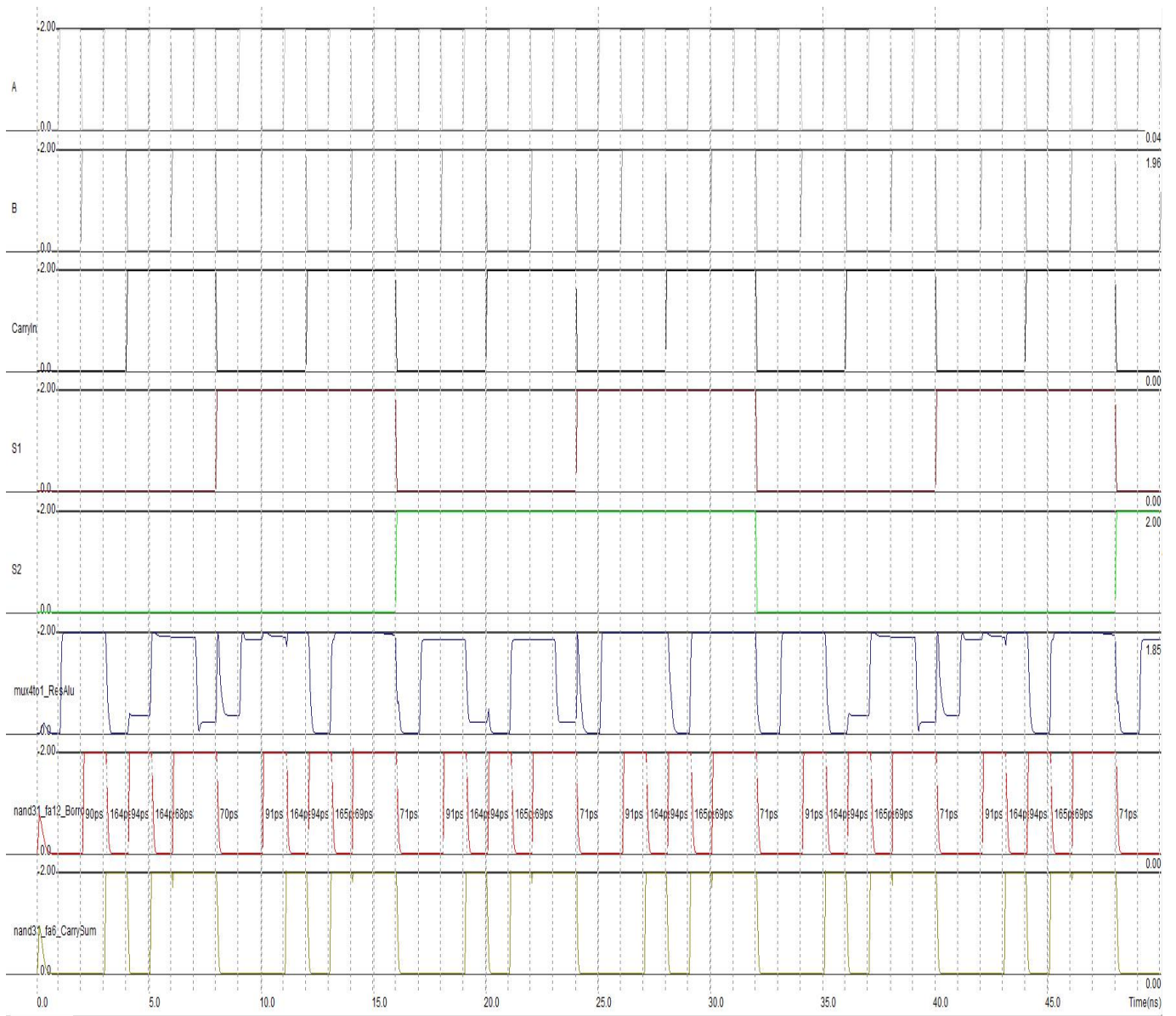
// Simulation parameters in Verilog Format
always
#1000 A=~A;
#2000 B=~B;
#4000 CarryIn=~CarryIn;
#8000 S1=~S1;
#16000 S2=~S2;

// Simulation parameters
// A CLK 10 10
// B CLK 20 20
// CarryIn CLK 40 40
// S1 CLK 80 80
// S2 CLK 160 160

```







SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381 ARITHMETIC LOGIC UNITS/FUNCTION GENERATORS

SDLS168 – JANUARY 1981 – REVISED MARCH 1988

PIN DESIGNATIONS

DESIGNATION	PIN NOS.	FUNCTION
A3, A2, A1, A0	17, 19, 1, 3	WORD A INPUTS
B3, B2, B1, B0	16, 18, 2, 4	WORD B INPUTS
S2, S1, S0	7, 6, 5	FUNCTION-SELECT INPUTS
C_n	15	CARRY INPUT FOR ADDITION, INVERTED CARRY INPUT FOR SUBTRACTION
F3, F2, F1, F0	12, 11, 9, 8	FUNCTION OUTPUTS
\bar{P} ('LS381A, 'S381 ONLY)	14	ACTIVE-LOW CARRY PROPAGATE OUTPUT
\bar{G} ('LS381A, 'S381 ONLY)	13	ACTIVE-LOW CARRY GENERATE OUTPUT
C_{n+4} ('LS382A ONLY)	14	RIPPLE-CARRY OUTPUT
OVR ('LS382A ONLY)	13	OVERFLOW OUTPUT
VCC	20	SUPPLY VOLTAGE
GND	10	GROUND

- Fully Parallel 4-Bit ALUs in 20-Pin Package for 0.300-Inch Row Spacing
- Ideally Suited for High-Density Economical Processors
- 'LS381A and 'S381 Feature \bar{G} and \bar{P} Outputs for Look-Ahead Carry Cascading
- 'LS382A Features Ripple Carry (C_{n+4}) and Overflow (OVR) Outputs
- Arithmetic and Logic Operations Selected Specifically to Simplify System Implementation:
 - A Minus B
 - B Minus A
 - A Plus B
 - and Five Other Functions

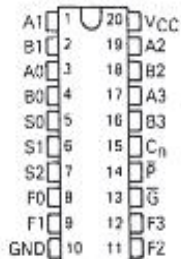
description

The 'LS381A, 'S381 and 'LS382A are low-power Schottky and Schottky TTL arithmetic logic units (ALUs)/function generators that perform eight binary arithmetic/logic operations on two 4-bit words as shown in the function table. The exclusive-OR, AND, or OR function of the two Boolean variables is provided without the use of external circuitry. Also, the outputs can be cleared (low) or preset (high) as desired. The 'LS381A and 'S381 provide two cascade outputs (\bar{P} and \bar{G} for expansion utilizing SN54S182/SN74S182 look-ahead carry generators. The 'LS382 provides a C_{n+4} output to ripple the carry to the C_n input of the next stage. The 'LS382A detects and indicates two's complement overflow condition via the OVR output. The overflow output is logically equivalent to $C_{n+3} \oplus C_{n+4}$. When the 'LS382A is cascaded to handle word lengths longer than four bits in length, only the most significant overflow (OVR) output is used.

The SN54' family is characterized for operation over the full military temperature range of -55°C to 125°C . The SN74' family is characterized for operation from 0°C to 70°C .

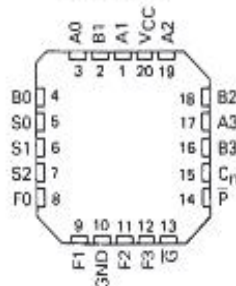
SN54LS381A, SN54S381
... J OR W PACKAGE
SN74LS381A, SN74S381
... DW OR N PACKAGE

(TOP VIEW)



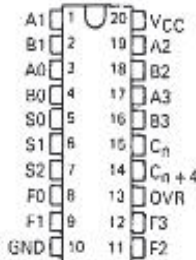
SN54LS381A, SN54S381
... FK PACKAGE

(TOP VIEW)



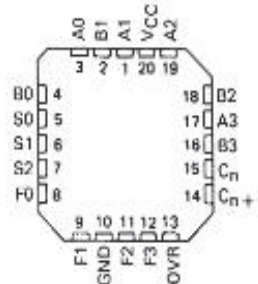
SN54LS382A ...
J OR W PACKAGE
SN74LS382A ...
DW OR N PACKAGE

(TOP VIEW)



SN54LS382A ... FK PACKAGE

(TOP VIEW)



FUNCTION TABLE

SELECTION	ARITHMETIC/LOGIC		
S2 S1 S0	OPERATION		
L L L	CLEAR		
L L H	B MINUS A		
L H L	A MINUS B		
L H H	A PLUS B		
H L L	$A \oplus B$		
H L H	$A + B$		
H H L	AB		
H H H	PRESET		

H = high level, L = low level

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1988, Texas Instruments Incorporated

SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381 ARITHMETIC LOGIC UNITS/FUNCTION GENERATORS

SDLS168 – JANUARY 1981 – REVISED MARCH 1988

function table

Certain differences exist in the \bar{G} , \bar{P} ('LS381A, 'S381) and OVR, C_{n+4} ('LS382A) function table compared with similar parts from other technologies and other vendors. No differences exist in the arithmetic modes (B minus A, A minus B, and A plus B), where these outputs perform valuable cascade functions. There are slight differences in the other modes (CLEAR, A + B, A ⊕ B, AB, and PRESET), where these outputs are strictly "don't care".

This function table is a condensed version and assumes for A_n that A0, A1, A2, and A3 inputs all agree and for B_n that B0, B1, B2, and B3 inputs all agree. This table is intended to point out the response of these \bar{G} , \bar{P} ('LS381A, 'S381) and OVR, C_{n+4} ('LS382A) outputs in all modes of operation to facilitate incoming inspection.

FUNCTION TABLE

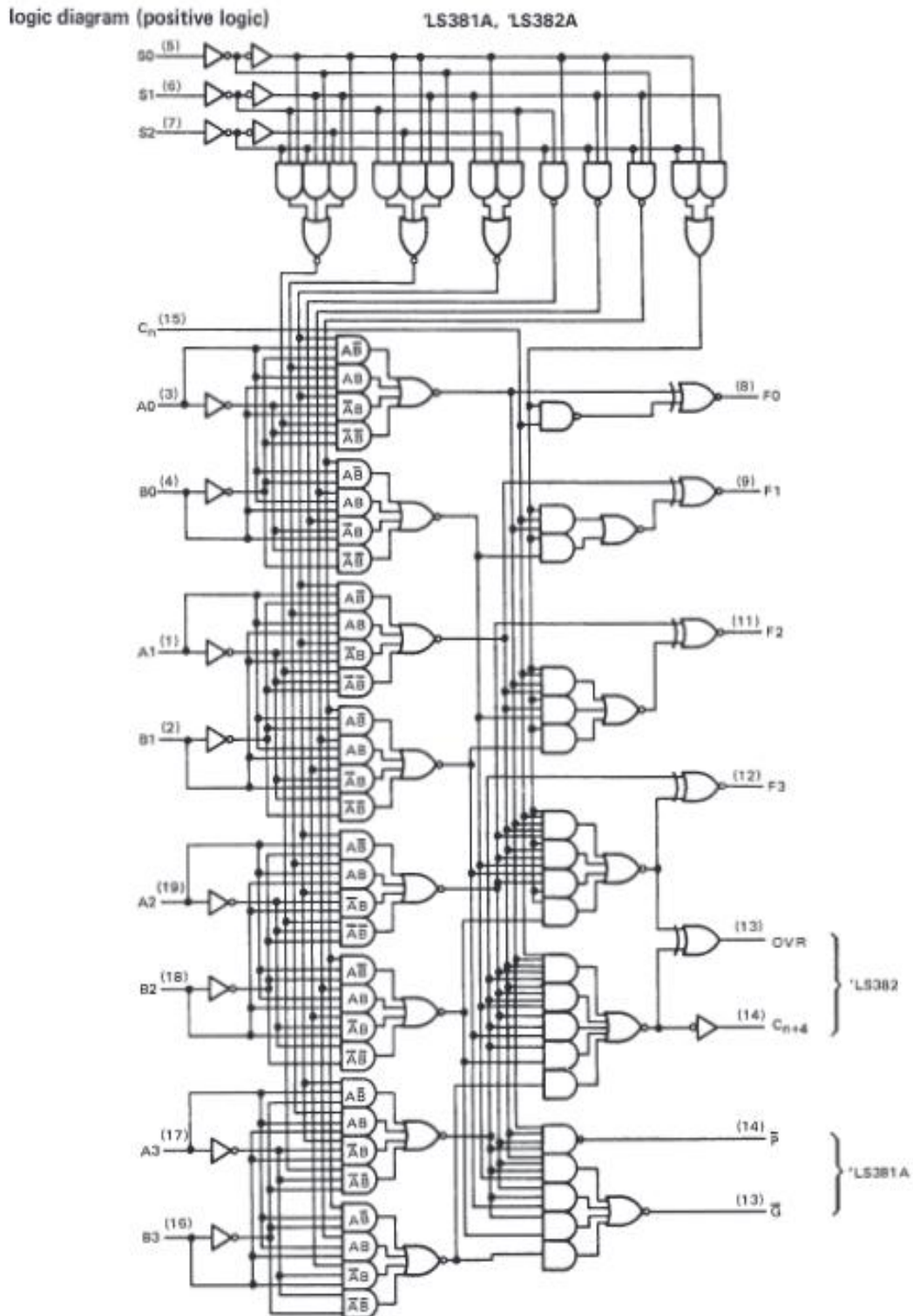
ARITHMETIC/LOGIC OPERATION	INPUTS						OUTPUTS				'LS381A, 'S381		'LS382A		
	S2	S1	S0	C_n	A_n	B_n	F3	F2	F1	F0	\bar{G}	\bar{P}	OVR	C_{n+4}	
CLEAR	L	L	L	X	X	X	L	L	L	L	H	H	L	L	
B MINUS A	L	L	H	L	L	L	H	H	H	H	H	L	L	L	
				L	L	H	H	H	H	L	L	H	L	H	
				L	H	L	L	L	L	L	L	H	H	L	L
				L	H	H	H	H	H	H	H	H	L	L	L
				H	L	L	L	L	L	L	L	L	L	L	H
				H	L	H	H	H	H	H	H	L	H	L	H
				H	H	L	L	L	L	L	L	H	H	L	L
				H	H	H	L	L	L	L	L	L	H	L	L
A MINUS B	L	H	L	L	L	L	H	H	H	H	H	L	L	L	
				L	L	H	L	L	L	L	H	H	L	L	
				L	H	L	H	H	H	L	L	L	L	H	
				L	H	H	H	H	H	H	H	H	L	L	L
				H	L	L	L	L	L	L	L	H	H	L	L
				H	L	H	L	L	L	L	L	H	H	L	L
				H	H	L	L	L	L	L	L	L	L	L	H
				H	H	H	L	L	L	L	L	L	H	L	L
A PLUS B	L	H	H	L	L	L	L	L	L	L	H	H	L	L	
				L	L	H	H	H	H	H	H	L	L	L	
				L	H	L	H	H	H	H	H	L	L	L	
				L	H	H	H	H	H	L	L	L	H	L	H
				H	L	L	L	L	L	L	L	H	H	L	L
				H	L	H	L	L	L	L	L	L	L	L	H
				H	H	L	L	L	L	L	L	L	L	L	H
				H	H	H	L	L	L	L	L	L	H	L	L
A ⊕ B	H	L	L	X	L	L	L	L	L	L	H	H	L	L	
				L	L	H	H	H	H	H	H	L	L	L	
				L	L	L	H	H	H	H	H	L	L	L	
				L	H	L	H	H	H	H	H	L	L	L	
				H	L	L	L	L	L	L	L	L	L	L	
				H	L	H	L	L	L	L	L	L	L	L	
				H	H	L	L	L	L	L	L	L	L	L	
				H	H	H	L	L	L	L	L	L	L	L	
A + B	H	L	H	X	L	L	L	L	L	L	H	H	L	L	
				L	L	H	H	H	H	H	H	L	L	L	
				L	L	L	H	H	H	H	H	L	L	L	
				L	H	L	H	H	H	H	H	L	L	L	
				H	L	L	H	H	H	H	H	L	L	L	
				H	L	H	H	H	H	H	H	L	L	L	
				H	H	L	H	H	H	H	H	L	L	L	
				H	H	H	L	L	L	L	L	L	L	L	
AB	H	H	L	X	L	L	L	L	L	L	H	H	L	L	
				L	L	H	L	L	L	L	L	H	L	L	
				L	H	L	L	L	L	L	L	H	L	L	
				L	H	H	H	H	H	H	H	L	L	L	
				H	L	L	L	L	L	L	L	L	L	L	
				H	L	H	L	L	L	L	L	L	L	L	
				H	H	L	L	L	L	L	L	L	L	L	
				H	H	H	L	L	L	L	L	L	L	L	
PRESET	H	H	H	L	X	X	H	H	H	H	H	L	L	L	
				H	X	X	H	H	H	H	H	L	L	L	



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381
 ARITHMETIC LOGIC UNIT/FUNCTION GENERATORS

SDLS168 - JANUARY 1981 - REVISED MARCH 1988



Pin numbers shown are for DW, J, N, and W packages.

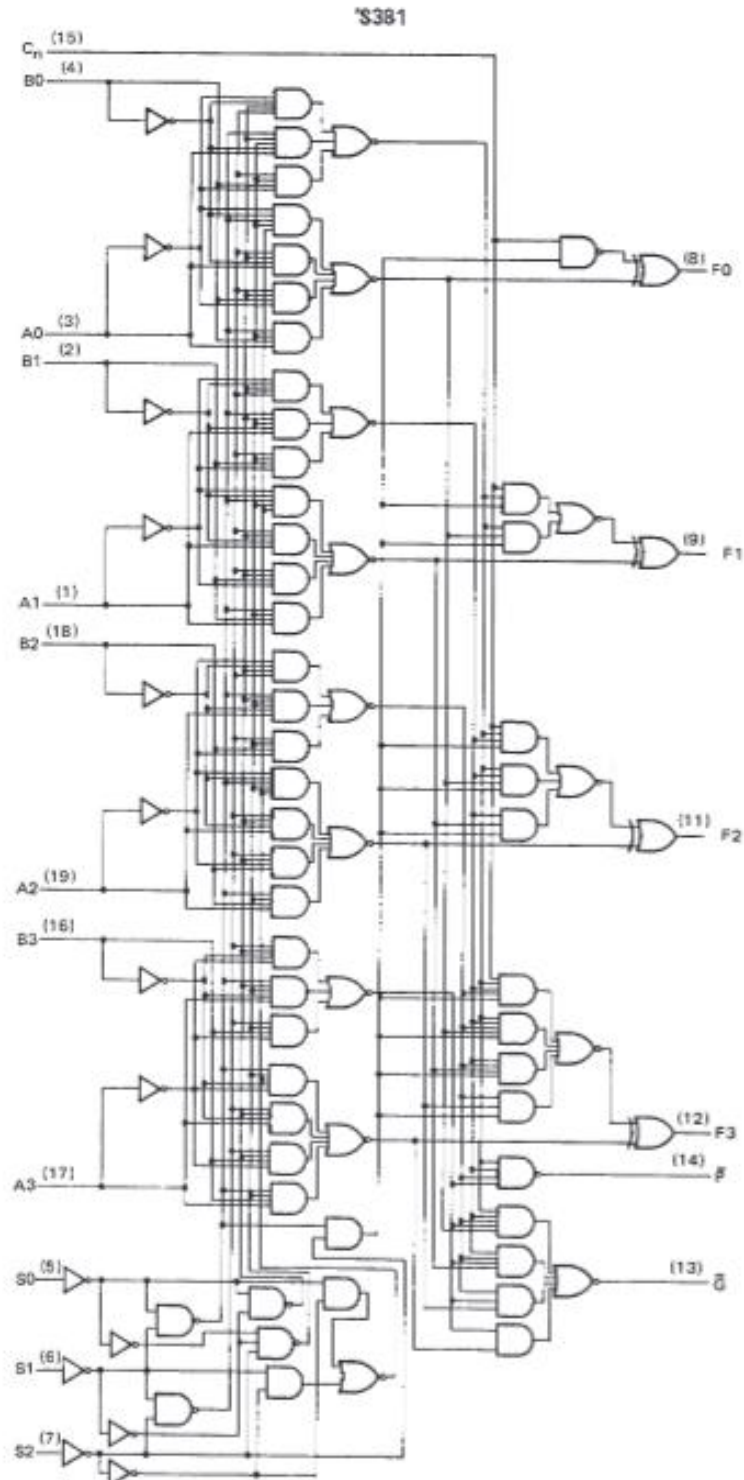


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381
ARITHMETIC LOGIC UNITS/FUNCTION GENERATORS

SDLS168 - JANUARY 1981 - REVISED MARCH 1988

logic diagram and schematics of inputs and outputs

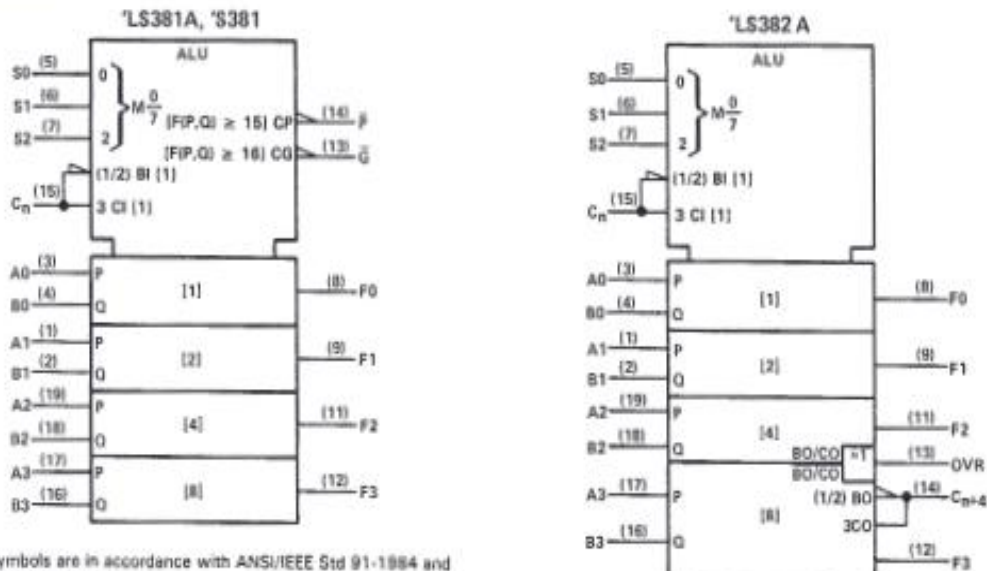


^{Pin} numbers shown are for DW, J, N, and W packages.

SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381 ARITHMETIC LOGIC UNITS/FUNCTION GENERATORS

SDLS168 - JANUARY 1981 - REVISED MARCH 1988

logic symbols†

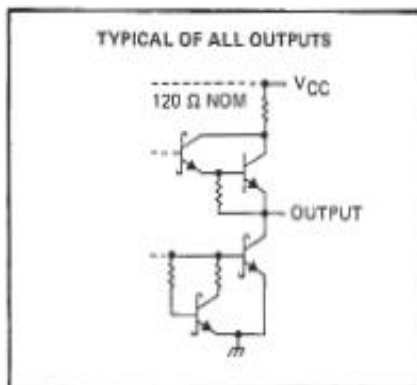
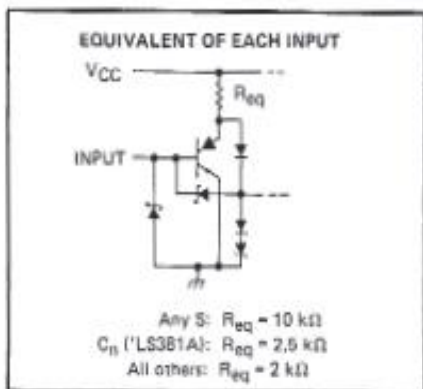


†These symbols are in accordance with ANSI/IEEE Std 91-1984 and IEC Publication 617-12.

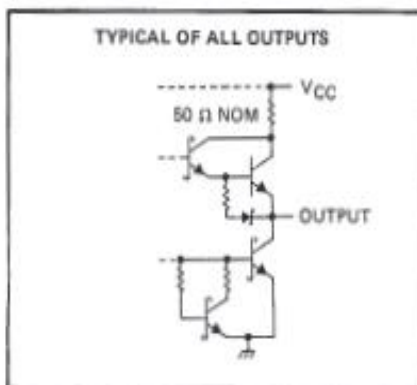
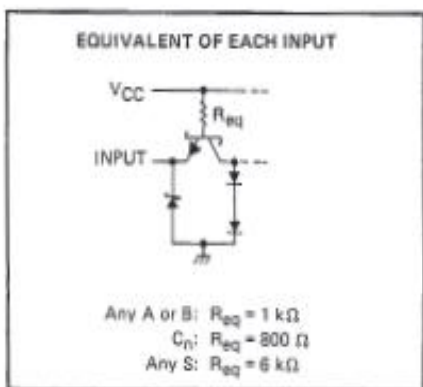
Pin numbers shown are for DW, J, N, and W packages.

schematics of inputs and outputs

LS381, LS382A



'S381



SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381 ARITHMETIC LOGIC UNITS/FUNCTION GENERATORS

SDLS168 - JANUARY 1981 - REVISED MARCH 1988

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (See Note 1)	7 V
Input voltage	7 V
Operating free-air temperature range: SN54LS381A, SN54LS382A	-55°C to 125°C
SN74LS381A, SN74LS382A	0°C to 70°C
Storage temperature range	-65°C to 150°C

NOTE 1: Voltage values are with respect to the network ground terminal.

recommended operating conditions

	SN54LS ¹			SN74LS ¹			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
V_{CC} Supply voltage	4.5	5	5.5	4.75	5	5.25	V
V_{IH} High-level input voltage	2			2			V
V_{IL} Low-level input voltage				0.8			V
I_{QH} High-level output current				-0.4			mA
I_{OL} Low-level output current				16			mA
				4			
T_A Operating free-air temperature	-55			125			°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER	TEST CONDITIONS [†]	SN54LS ¹			SN74LS ¹			UNIT
		MIN	TYP [‡]	MAX	MIN	TYP [‡]	MAX	
V_{IK}	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$	-1.5			-1.5			V
V_{OH}	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = \text{MAX}$, $I_{QH} = -0.4 \text{ mA}$	2.5	3.4		2.7	3.4		V
V_{OL}	\bar{G} ('LS381A)	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $I_{OL} = 16 \text{ mA}$		0.47	0.7	0.47	0.7	V
	Other outputs	$V_{IL} = \text{MAX}$, $I_{OL} = 4 \text{ mA}$		0.25	0.4	0.25	0.4	
		$I_{OL} = 8 \text{ mA}$				0.35	0.5	
I_I	$V_{CC} = \text{MAX}$, $V_I = 7 \text{ V}$	0.1			0.1			mA
I_{IH}	Any S	20			20			μA
	Any A or B	100			100			
	C_n ('LS381A)	80			80			
	C_n ('LS382A)	100			100			
I_{IL}	Any S	-0.2			-0.2			mA
	Any A or B	-1			-1			
	C_n ('LS381A)	-0.8			-0.8			
	C_n ('LS382A)	-0.8			-0.8			
I_{OS} [§]	$V_{CC} = \text{MAX}$	-20	-100	-20	-100		mA	
I_{CC}	$V_{CC} = \text{MAX}$, All inputs grounded, outputs open	35 65		35 65			mA	

[†] For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

[‡] All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

[§] Not more than one output should be shorted at a time, and duration of the short circuit should not exceed one second.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381
ARITHMETIC LOGIC UNITS/FUNCTION GENERATORS

SDLS168 – JANUARY 1981 – REVISED MARCH 1988

switching characteristics, $V_{CC} = 5\text{ V}$, $T_A = 25^\circ\text{C}$ (see note 3)

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	'LS381A			'LS382			UNIT
				MIN	TYP	MAX	MIN	TYP	MAX	
t_{PLH}	C_n	Any F	$R_L = 2\text{ k}\Omega$ $C_L = 15\text{ pF}$	18	27		18	27	ns	
t_{PHL}				14	21		14	21		
t_{PLH}	Any A or B	\bar{G}		20	30				ns	
t_{PHL}				21	33					
t_{PLH}	Any A or B	\bar{P}		21	33				ns	
t_{PHL}				23	33					
t_{PLH}	A_j or B_j	F_j		20	30		20	30	ns	
t_{PHL}				18	23		15	23		
t_{PLH}	S0, S1, S2	F_i		35	53		35	53	ns	
t_{PHL}				34	51		34	51		
t_{PLH}	S0, S1, S2	\bar{G} or \bar{P}		31	47				ns	
t_{PHL}				32	48					
t_{PLH}	Any A or B	C_{n+4}					28	42	ns	
t_{PHL}							26	39		
t_{PLH}	Any A or B	OVR					23	35	ns	
t_{PHL}							27	41		
t_{PLH}	S0, S1, S2	C_{n+4} or OVR					38	57	ns	
t_{PHL}							36	54		
t_{PLH}	C_n	OVR					10	15	ns	
t_{PHL}							13	23		
t_{PLH}	C_n	C_{n+4}				13	21	ns		
t_{PHL}						11	20			

NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

SN54LS381A, SN54S381, SN74LS381A, SN54LS382A, SN74LS382A, SN74S381 ARITHMETIC LOGIC UNIT/FUNCTION GENERATORS

SDLS168 - JANUARY 1981 - REVISED MARCH 1988

absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, V_{CC} (see Note 1)	7 V
Input voltage	5.5 V
Intermitter voltage (see Note 2)	5.5 V
Operating free-air temperature range: SN54S381	-55°C to 125°C
SN74S381	0°C to 70°C
Storage free-air temperature range	-65°C to 150°C

NOTES: 1. Voltage values, except intermitter voltage, are with respect to network ground terminal.
2. This is the voltage between two emitters of a multiple-emitter transistor. For this circuit, this rating applies to each A input in conjunction with its respective B input; for example A0 with B0, etc.

recommended operating conditions

	SN54S381			SN74S381			UNIT
	MIN	NOM	MAX	MIN	NOM	MAX	
Supply voltage, V_{CC}	4.5	5	5.5	4.75	5	5.25	V
High-level output current, I_{OH}			-1			-1	mA
Low-level output current, I_{OL}			20			20	mA
Operating free-air temperature, T_A	-55		125	0		70	°C

electrical characteristics over recommended operating free-air temperature range (unless otherwise noted)

PARAMETER		TEST CONDITIONS†	MIN	TYP‡	MAX	UNIT	
V_{IH}	High-level input voltage		2			V	
V_{IL}	Low-level input voltage				0.8	V	
V_{IK}	Input clamp voltage	$V_{CC} = \text{MIN}$, $I_I = -18 \text{ mA}$			-1.2	V	
V_{OH}	High-level output voltage	SN54S381	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OH} = -1 \text{ mA}$	2.4	3.4		V
		SN74S381		2.7	3.4		
V_{OL}	Low-level output voltage	$V_{CC} = \text{MIN}$, $V_{IH} = 2 \text{ V}$, $V_{IL} = 0.8 \text{ V}$, $I_{OL} = 20 \text{ mA}$			0.5	V	
I_I	Input current at maximum input voltage	$V_{CC} = \text{MAX}$, $V_I = 5.5 \text{ V}$			1	mA	
I_{IH}	High-level input current	Any S input			50	μA	
		C_n	$V_{CC} = \text{MAX}$, $V_I = 2.7 \text{ V}$		250		
		All others			200		
I_{IL}	Low-level input current	Any S input			-2	mA	
		C_n	$V_{CC} = \text{MAX}$, $V_I = 0.5 \text{ V}$		-8		
		All others			-6		
I_{OS}	Short-circuit output current§	$V_{CC} = \text{MAX}$	-40		-100	mA	
I_{CC}	Supply current	$V_{CC} = \text{MAX}$		105	160	mA	

† For conditions shown as MIN or MAX, use the appropriate value specified under recommended operating conditions.

‡ All typical values are at $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$.

§ Not more than one output should be shorted at a time.

switching characteristics, $V_{CC} = 5 \text{ V}$, $T_A = 25^\circ\text{C}$

PARAMETER	FROM (INPUT)	TO (OUTPUT)	TEST CONDITIONS	MIN	TYP	MAX	UNIT
t_{PLH}	C_n	Any F	$C_L = 15 \text{ pF}$, $R_L = 280 \Omega$, See Note 3	10	17		ns
t_{PHL}				10	17		
t_{PLH}	Any A or B	\bar{G}		12	20		ns
t_{PHL}				12	20		
t_{PLH}	Any A or B	\bar{P}		11	18		ns
t_{PHL}				11	18		
t_{PLH}	A_i or B_i	F_i		18	27		ns
t_{PHL}				16	25		
t_{PLH}	Any S	Any		18	30		ns
t_{PHL}				18	30		

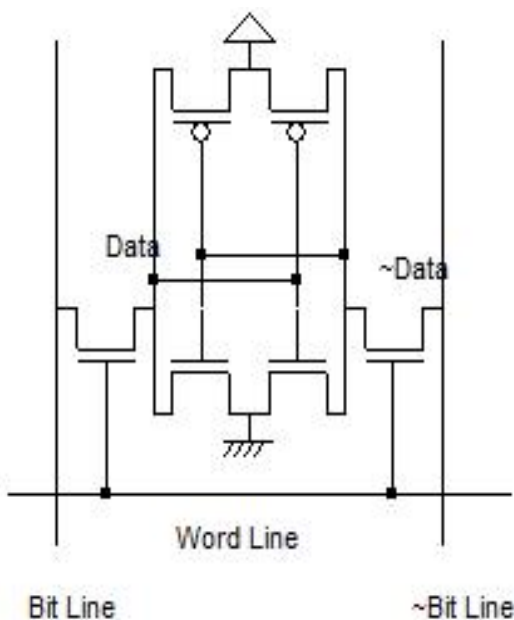
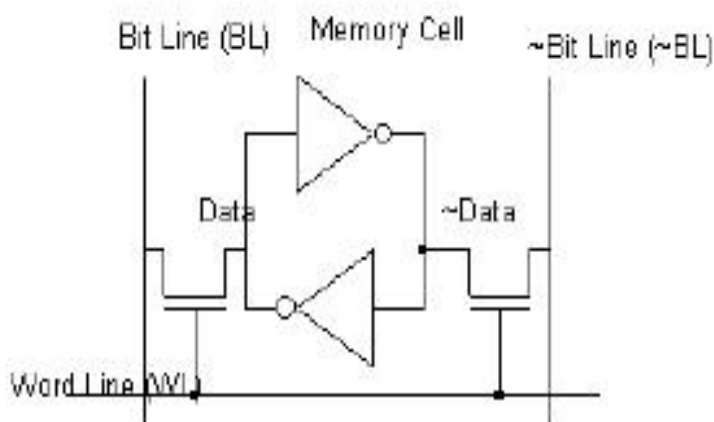
NOTE 3: Load circuits and voltage waveforms are shown in Section 1.

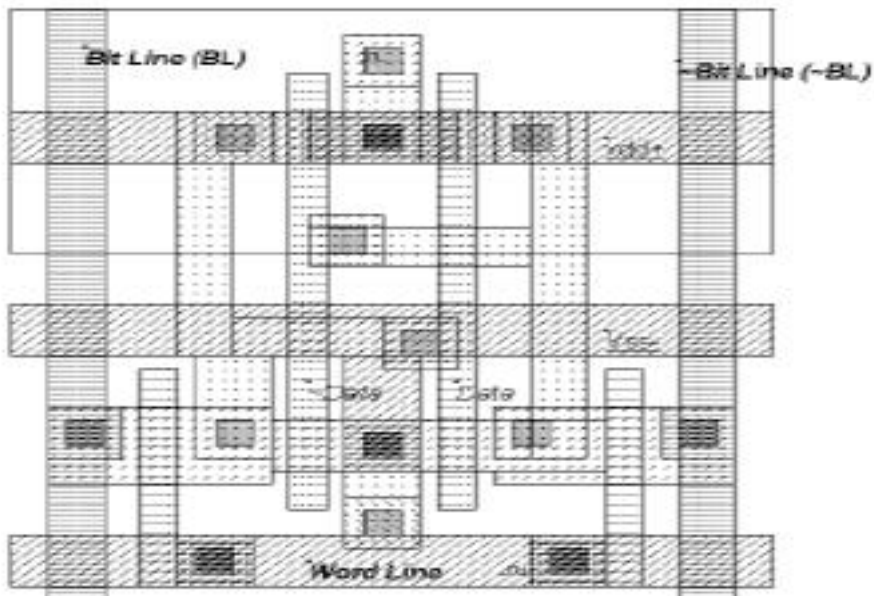


POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Μνήμη RAM

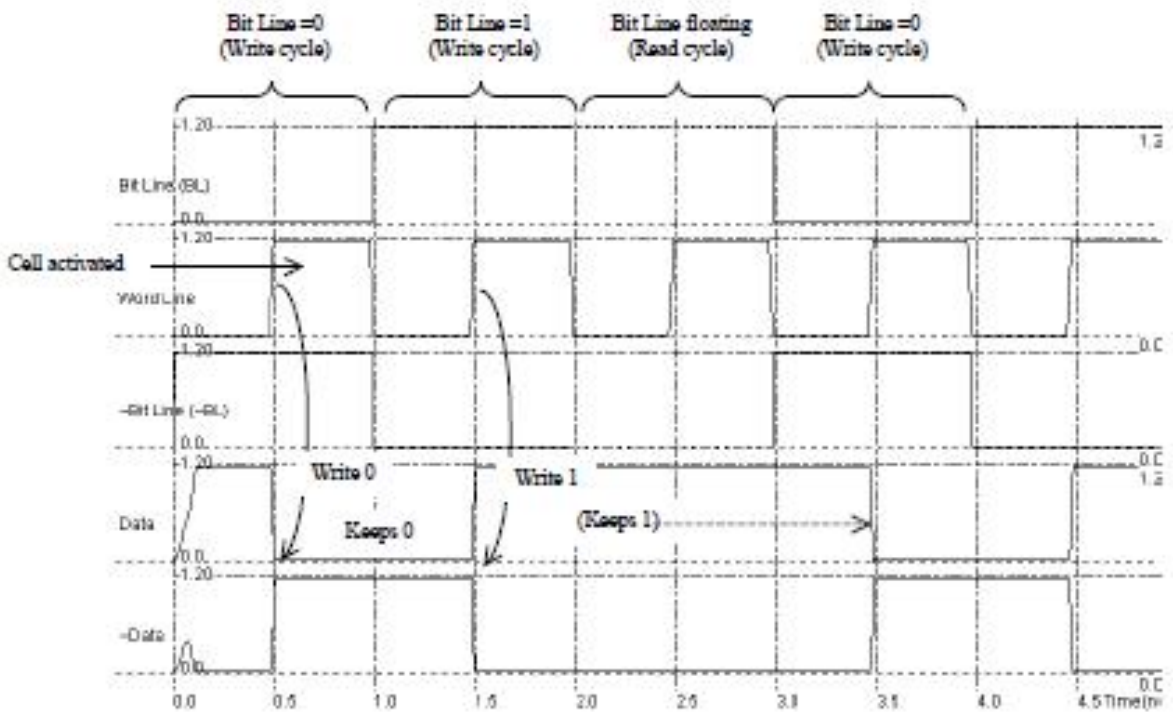
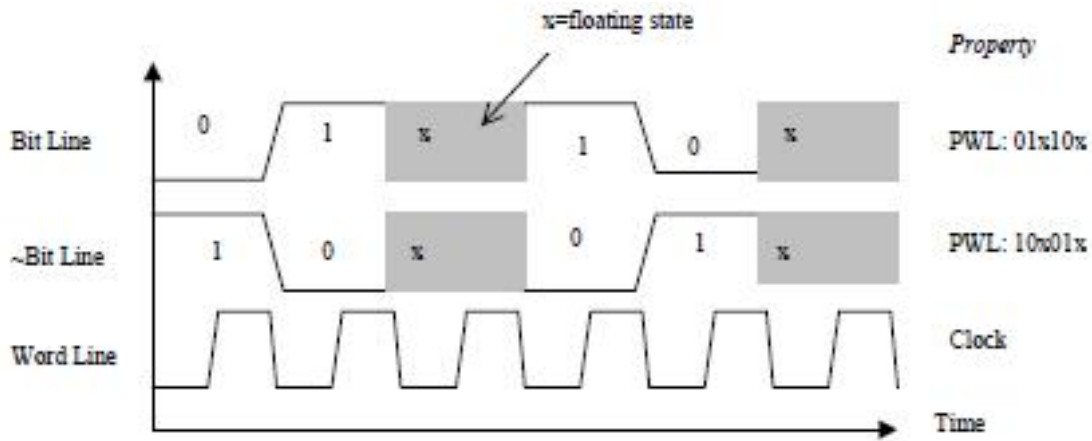
Παρακάτω δίνεται το κυκλωματικό διάγραμμα ενός στοιχείου μνήμης τυχαίας προσπέλασης (RAM Cell). Αυτό το κύκλωμα αποτελείται από τους 2 διαγώνια συνδεδεμένους αναστροφείς και δυο nMOS pass transistors. Για να υλοποιηθεί μια μνήμη τυχαίας προσπέλασης αρκεί η οργάνωσή της σε γραμμές και στήλες πολλών βασικών στοιχείων. Οπότε δημιουργούνται κελιά με διαστάσεις X και Y.



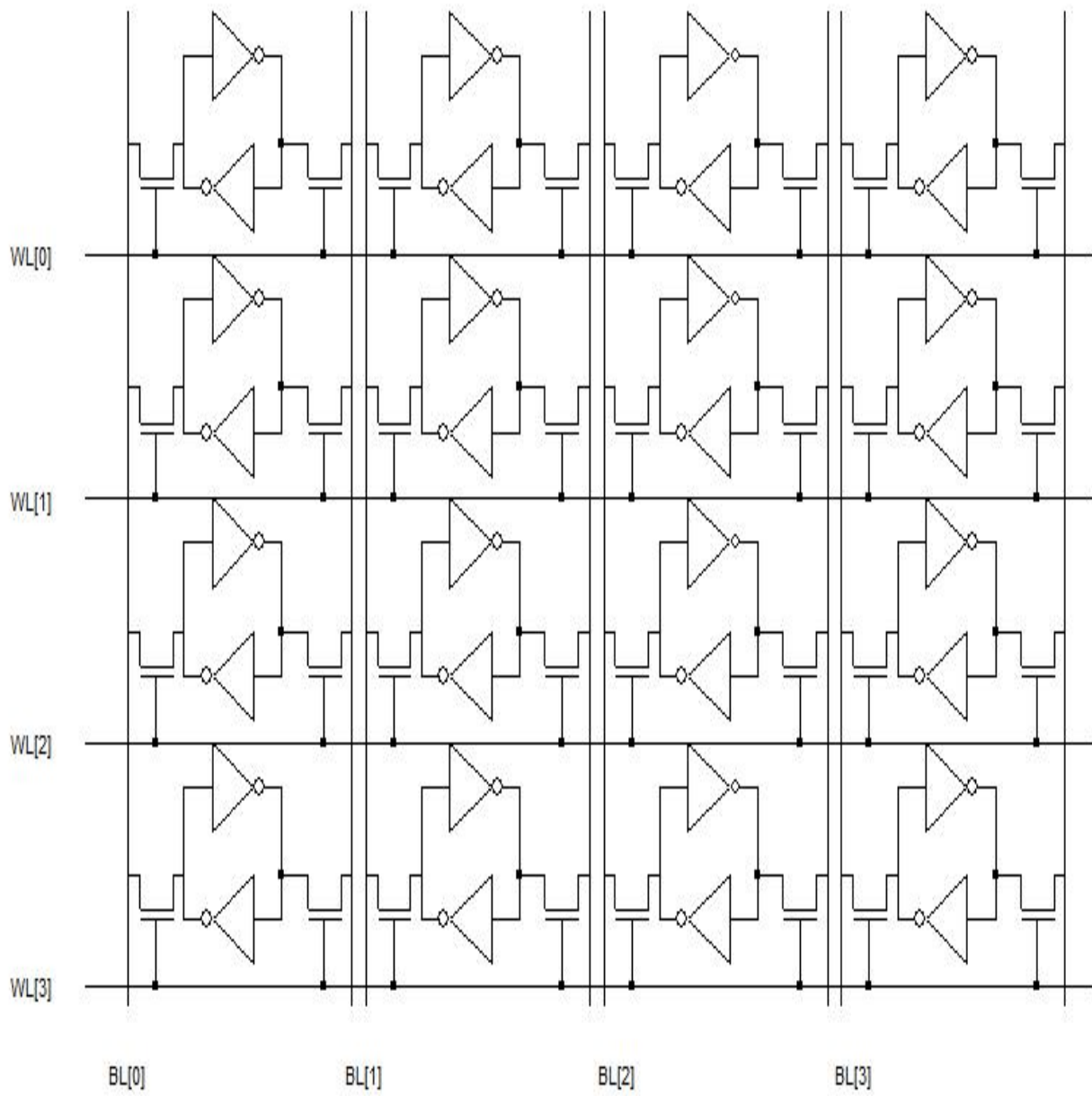


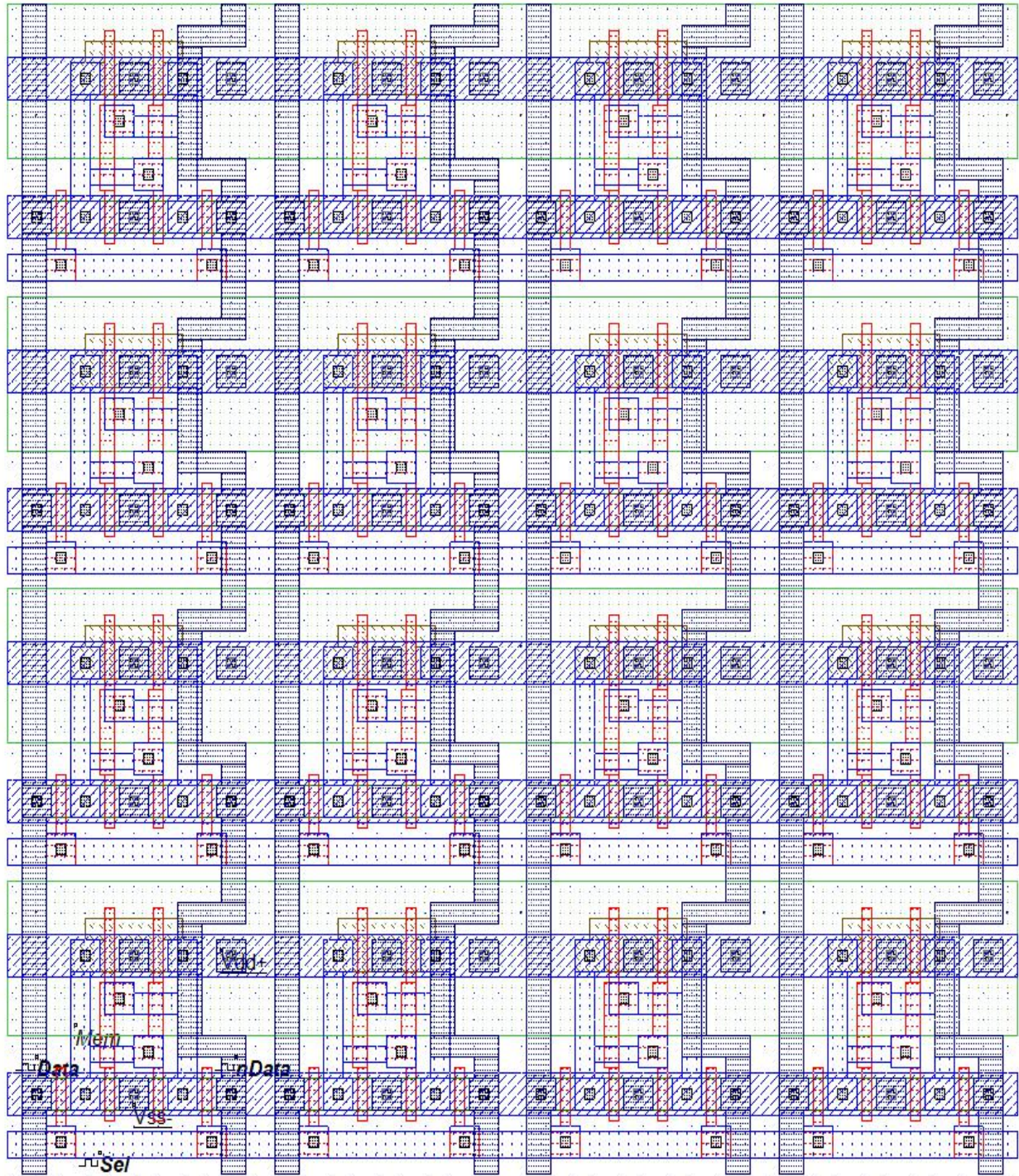
Η γραμμή επιλογής "Select"(Word Line) περνά από όλα τα στοιχεία μιας γραμμής, ενώ η γραμμή "Data" και η συμπληρωματική της περνούν από όλα τα στοιχεία μιας στήλης της μνήμης.

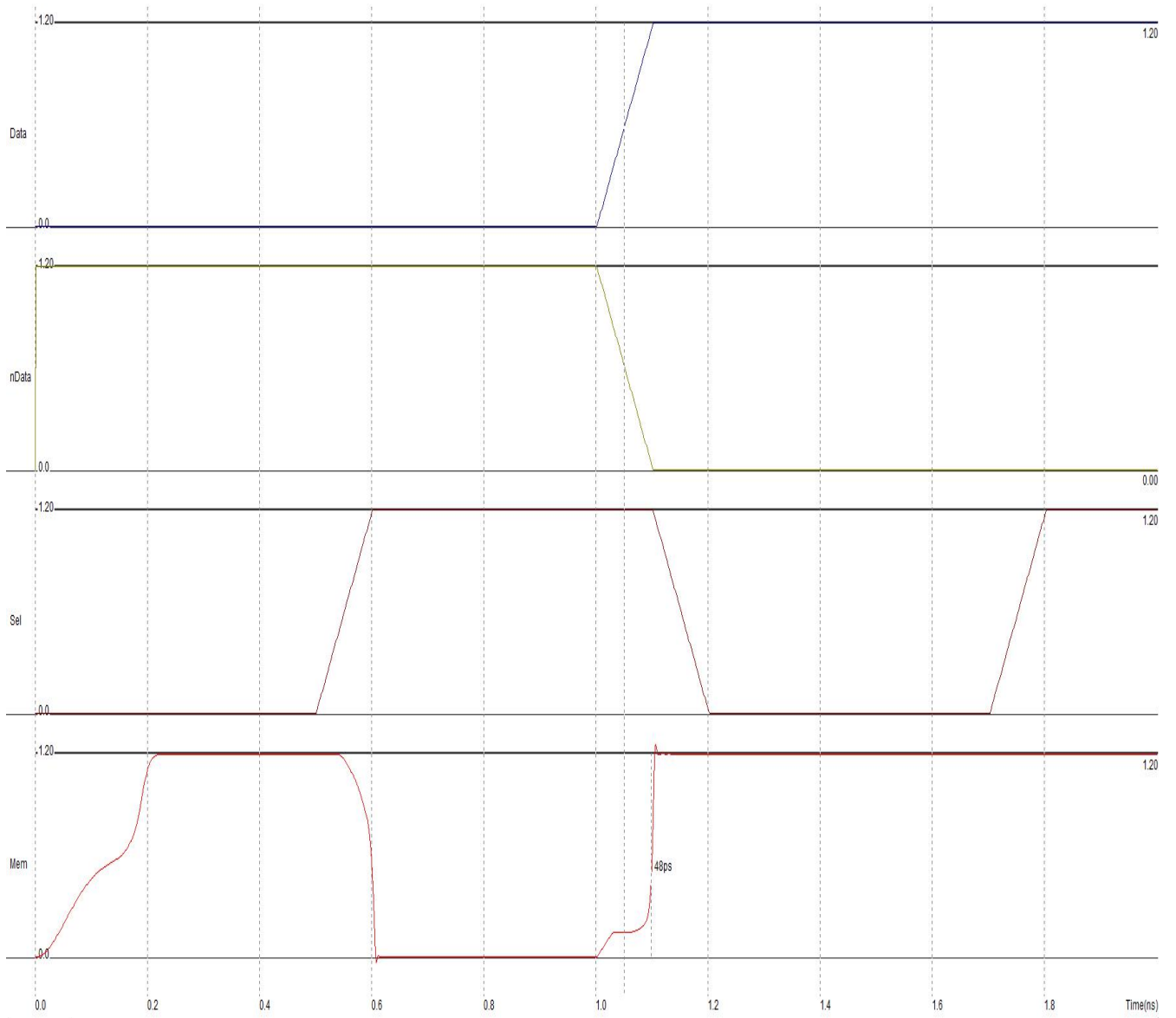
Εχουμε δυο λειτουργίες σε ένα βασικό στοιχείο μνήμης, είναι ο κύκλος ανάγνωσης και ο κύκλος εγγραφής. Για να διαβάσουμε το περιεχόμενο ενός στοιχείου , θέτουμε την γραμμή επιλογής (Word Line) στην λογική στάθμη "1". Μετά όμως η τιμή που είναι μέσα στο στοιχείο πάει στην γραμμή bit line, και η συμπληρωματική της στην γραμμή bit' line. Τώρα για την εγγραφή έχουμε: . Εάν στο στοιχείο μνήμης είναι αποθηκευμένο το λογικό "1" και θέλουμε εμείς να θέσουμε τα περιεχόμενά του σε λογική στάθμη "0" , δηλαδή να γράψουμε στη μνήμη το λογικό "0". Θέτουμε στην γραμμή bit line το λογικό "0" και στη συμπληρωματική της το λογικό "1". Μετά στην γραμμή επιλογής (Word line) θέτουμε την τιμή "1" και μέσω του αντιστροφέα διασταυρούμενης σύζευξης η έξοδος του αριστερού αντιστροφέα παίρνει την τιμή "0", που τελικά θέλαμε να γράψουμε στην μνήμη. Μετά η γραμμή επιλογής απενεργοποιείται.

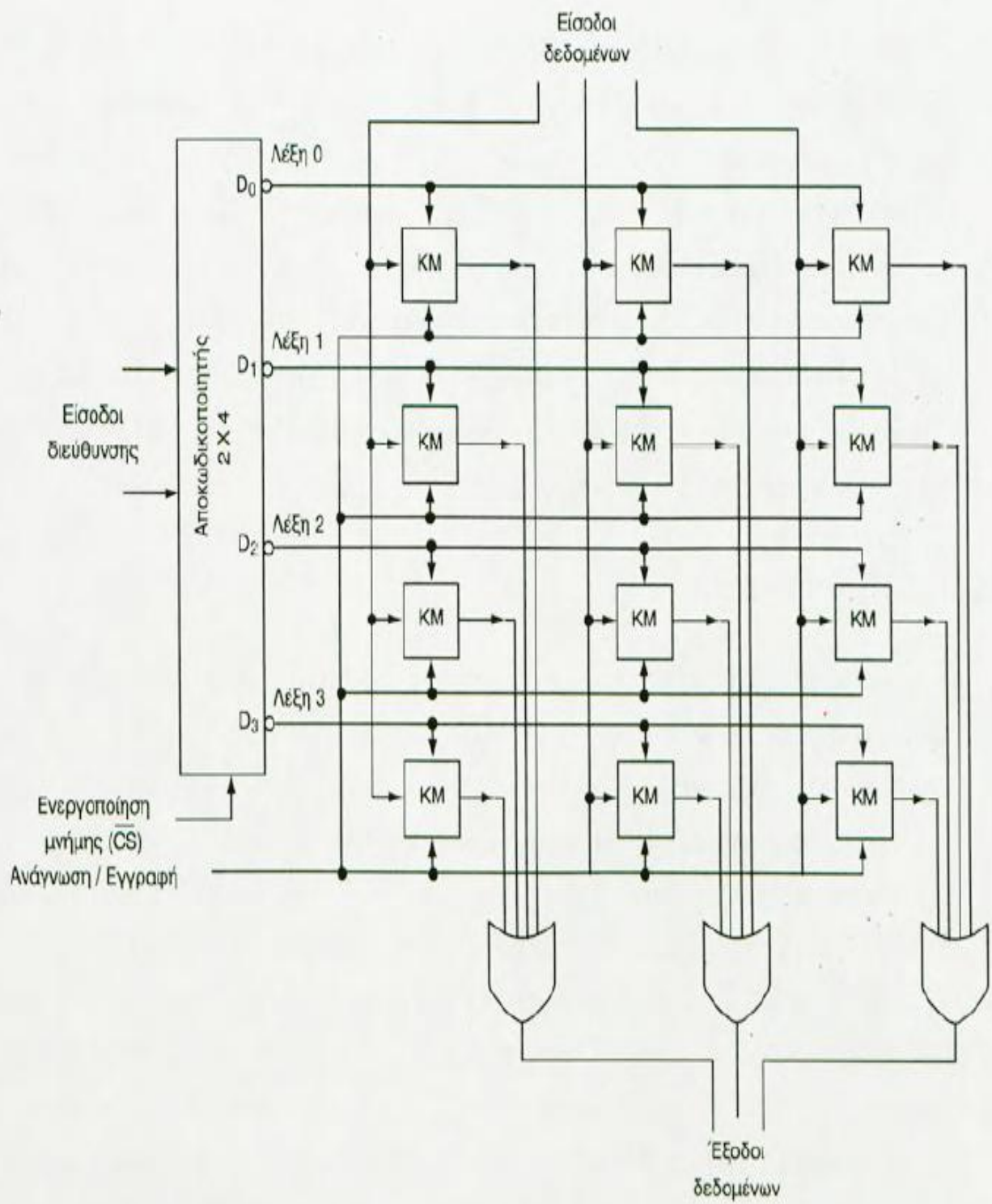


4x4 Matrix of 6T memory cells









Εσωτερική δομή μιας μνήμης RAM 4x3

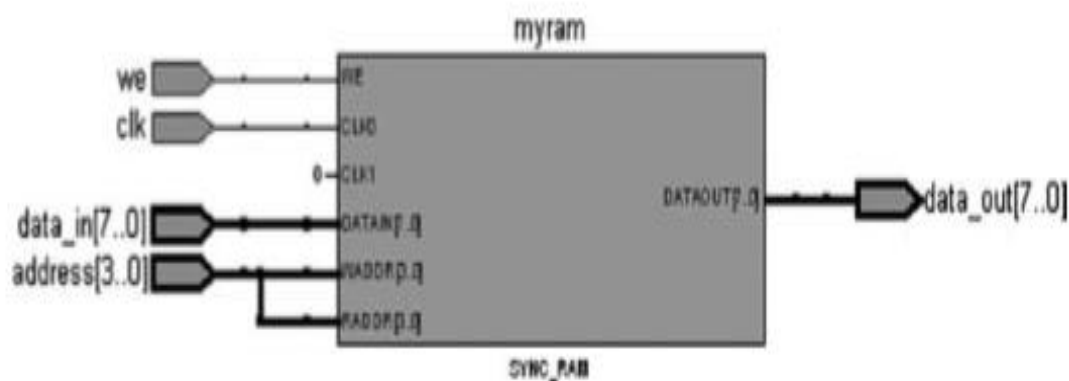
VHDL CODE

```

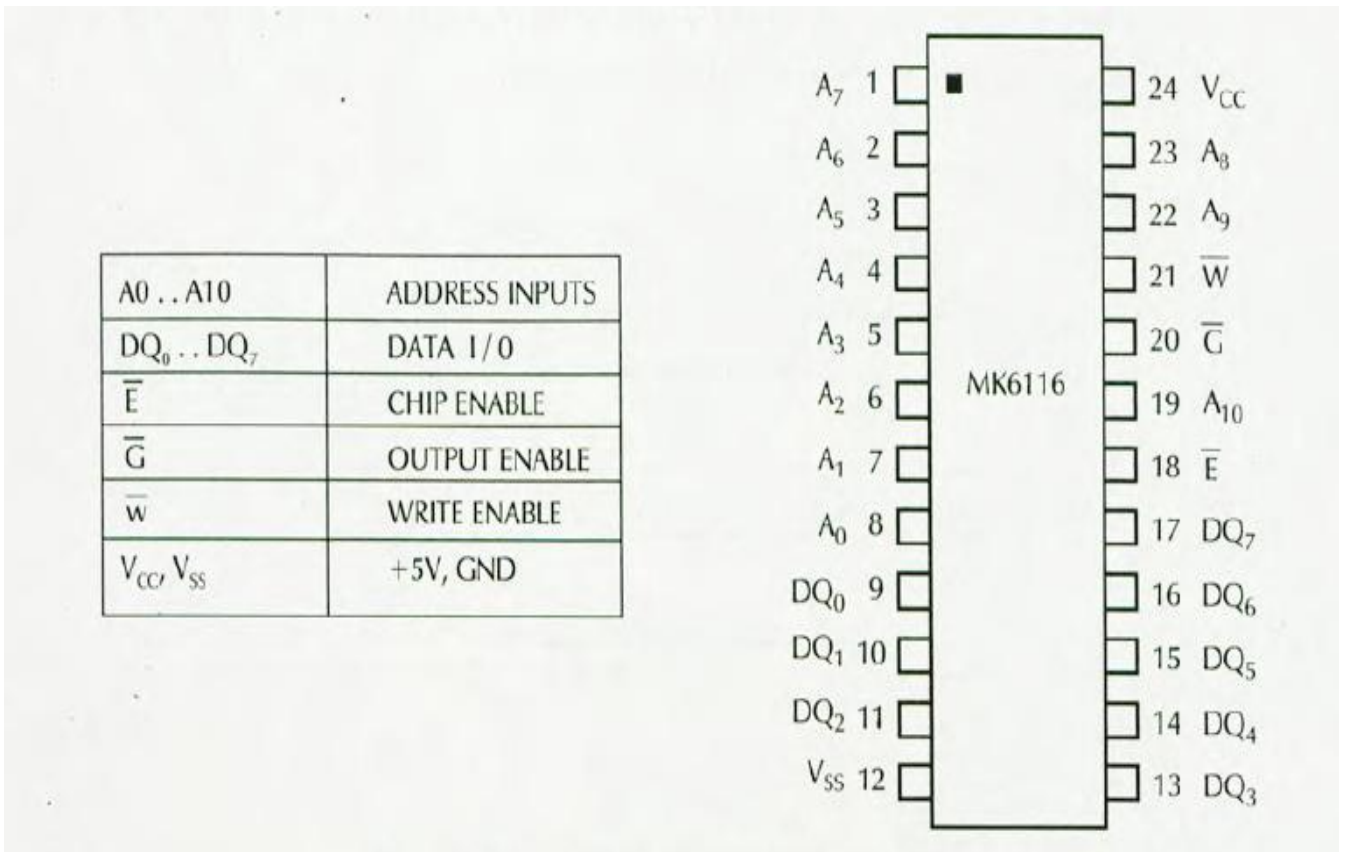
1  -----
2  ENTITY ram IS
3      PORT (clk: IN STD_LOGIC;
4            we: IN STD_LOGIC;
5            address: IN INTEGER RANGE 0 TO 15;
6            data_in: IN STD_LOGIC_VECTOR(7 DOWNTO 0);
7            data_out: OUT STD_LOGIC_VECTOR(7 DOWNTO 0));
8  END ram;

9  -----
10 ARCHITECTURE ram OF ram IS
11     TYPE memory IS ARRAY (0 to 15) OF STD_LOGIC_VECTOR(7 DOWNTO 0);
12     SIGNAL myram: memory;
13     ATTRIBUTE ram_init_file: STRING;
14     ATTRIBUTE ram_init_file OF myram: SIGNAL IS "ram_contents.mif";
15 BEGIN
16     PROCESS (clk)
17     BEGIN
18         IF (clk'EVENT AND clk='1') THEN
19             IF (we='1') THEN
20                 myram(address) <= data_in;
21             END IF;
22         END IF;
23     END PROCESS;
24     data_out <= myram(address);
25 END ram;
26 -----

```



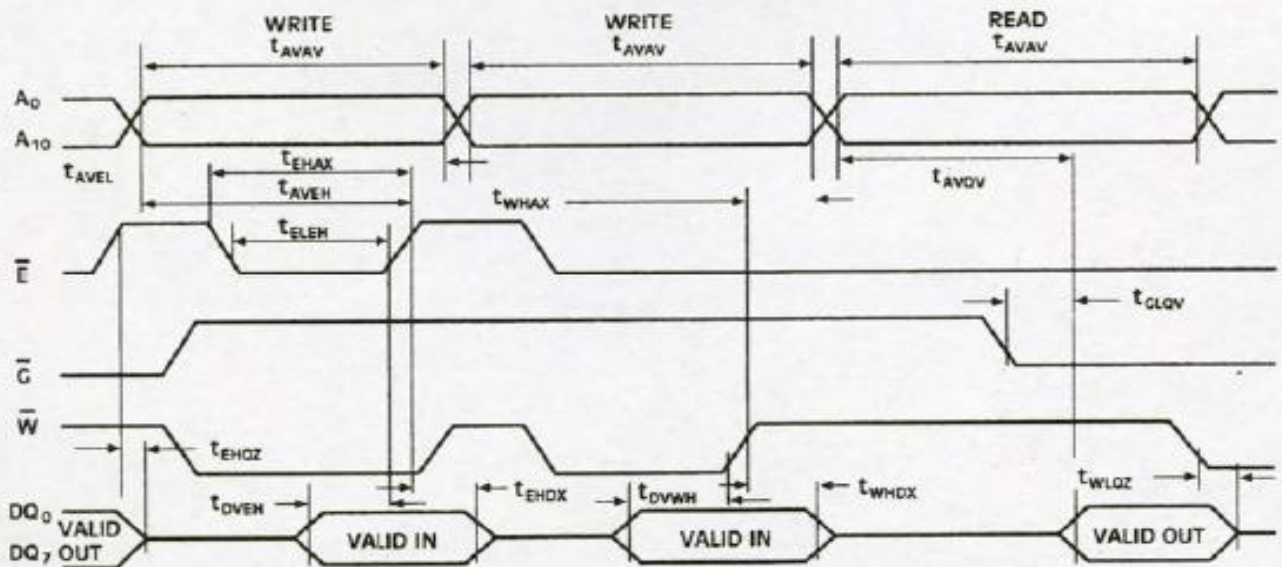
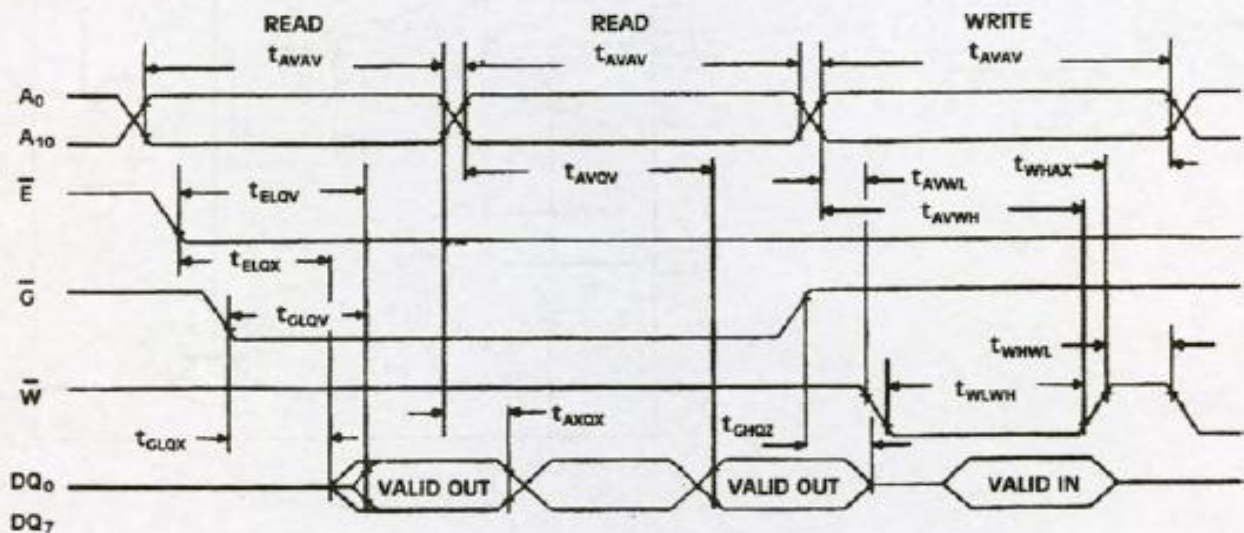
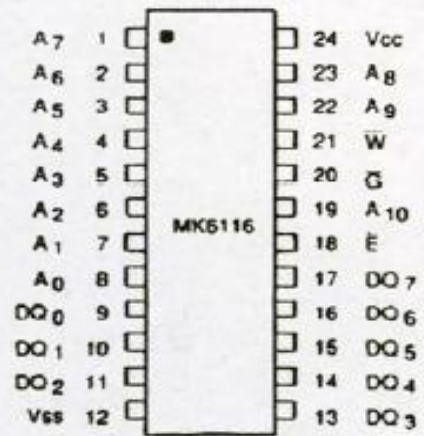
Μνήμη RAM σε ολοκληρωμένο κύκλωμα



SRAM MK 6116

RAM MK 6116

A ₀ -A ₁₀	ADDRESS INPUTS
DQ ₀ -DQ ₇	DATA I/O
\bar{E}	CHIP ENABLE
\bar{C}	OUTPUT ENABLE
\bar{W}	WRITE ENABLE
V _{CC} , V _{SS}	+5V, GND



ΝΕΥΡΩΝΙΚΑ ΔΙΚΤΥΑ

```

1 ----- Package of data types and weight values: -----
2 LIBRARY ieee;
3 USE ieee.numeric_std.all;
4 -----
5 PACKAGE package_of_types_and_weights IS
6     ----- Part 1: Circuit parameters: -----

7     CONSTANT neurons: INTEGER := 3;  --# of neurons
8     CONSTANT weights: INTEGER := 5;  --# of weights per neuron
9     CONSTANT N: INTEGER := 6;  --# of bits per weight
10    ----- Part 2: Data types: -----
11    TYPE short_array IS ARRAY (1 TO neurons) OF SIGNED(N-1 DOWNTO 0);
12    TYPE long_array IS ARRAY (1 TO neurons) OF SIGNED(2*N-1 DOWNTO 0);
13    TYPE weight_array IS ARRAY (1 TO neurons, 1 TO weights) OF
14        INTEGER RANGE -(2**(N-1)) TO 2**(N-1)-1;
15    ----- Part 3: Weight values (signed integers): -----
16    CONSTANT weight: weight_array := (
17        (1, 4, 5, 5, -5),          --neuron 1
18        (5, 20, 25, 25, -25),     --neuron 2
19        (-30, -30, -30, -30, -30)); --neuron 3
20    -----
21 END package_of_types_and_weights;
22 -----

1 ----- Package with sigmoidal function: -----
2 LIBRARY ieee;
3 USE ieee.std_logic_1164.all;
4 USE ieee.numeric_std.all;
5 USE work.package_of_types_and_weights.all;
6 -----
7 PACKAGE package_of_sigmoid IS
8     FUNCTION conv_sigmoid (SIGNAL input: SIGNED) RETURN SIGNED;
9 END package_of_sigmoid;
10 -----
11 PACKAGE BODY package_of_sigmoid IS
12     FUNCTION conv_sigmoid (SIGNAL input: SIGNED) RETURN SIGNED IS
13         VARIABLE a: INTEGER RANGE 0 TO 4**N-1;
14         VARIABLE b: INTEGER RANGE 0 TO 2**N-1;
15     BEGIN
16         a := TO_INTEGER(ABS(input));
17         IF (a=0) THEN b:=0;
18         ELSIF (a>0 AND a<97) THEN b:=2;

```

```

19     ELSIF (a>=97 AND a<198) THEN b:=6;
20     ELSIF (a>=198 AND a<305) THEN b:=10;
21     ELSIF (a>=305 AND a<425) THEN b:=14;
22     ELSIF (a>=425 AND a<567) THEN b:=18;
23     ELSIF (a>=567 AND a<753) THEN b:=22;
24     ELSIF (a>=753 AND a<1047) THEN b:=26;
25     ELSE b:=30;
26     END IF;
27     IF (input(2*N-1)='0') THEN
28         RETURN TO_SIGNED(b, N);
29     ELSE
30         RETURN TO_SIGNED(-b, N);
31     END IF;
32 END conv_sigmoid;
33 END package_of_sigmoid;
34 -----

1  ----- Main code: -----
2  LIBRARY ieee;
3  USE ieee.std_logic_1164.all;
4  USE ieee.numeric_std.all;
5  USE work.package_of_types_and_weights.all;
6  USE work.package_of_sigmoid.all;
7  -----
8  ENTITY neural_net IS
9      PORT (clk, rst: IN STD_LOGIC;
10           x: IN SIGNED(N-1 DOWNTO 0);
11           y: OUT short_array);
12 END neural_net;
13 -----
14 ARCHITECTURE neural_net OF neural_net IS
15     SIGNAL prod, acc1, acc2: long_array;
16     SIGNAL sigmoid: short_array;
17     SIGNAL counter: INTEGER RANGE 1 TO weights+1;
18 BEGIN
19     ---- Process for counter: -----
20     PROCESS(clk)
21     BEGIN
22         IF (clk'EVENT AND clk='1') THEN
23             IF (rst='1') THEN
24                 counter <= 1;
25             ELSE
26                 counter <= counter + 1;
27             END IF;
28         END IF;
29     END PROCESS;

30     ---- Registers for acc2 and y: -----
31     PROCESS(clk)
32     BEGIN
33         IF (clk'EVENT AND clk='1') THEN
34             IF (rst='1') THEN
35                 FOR i IN 1 TO neurons LOOP

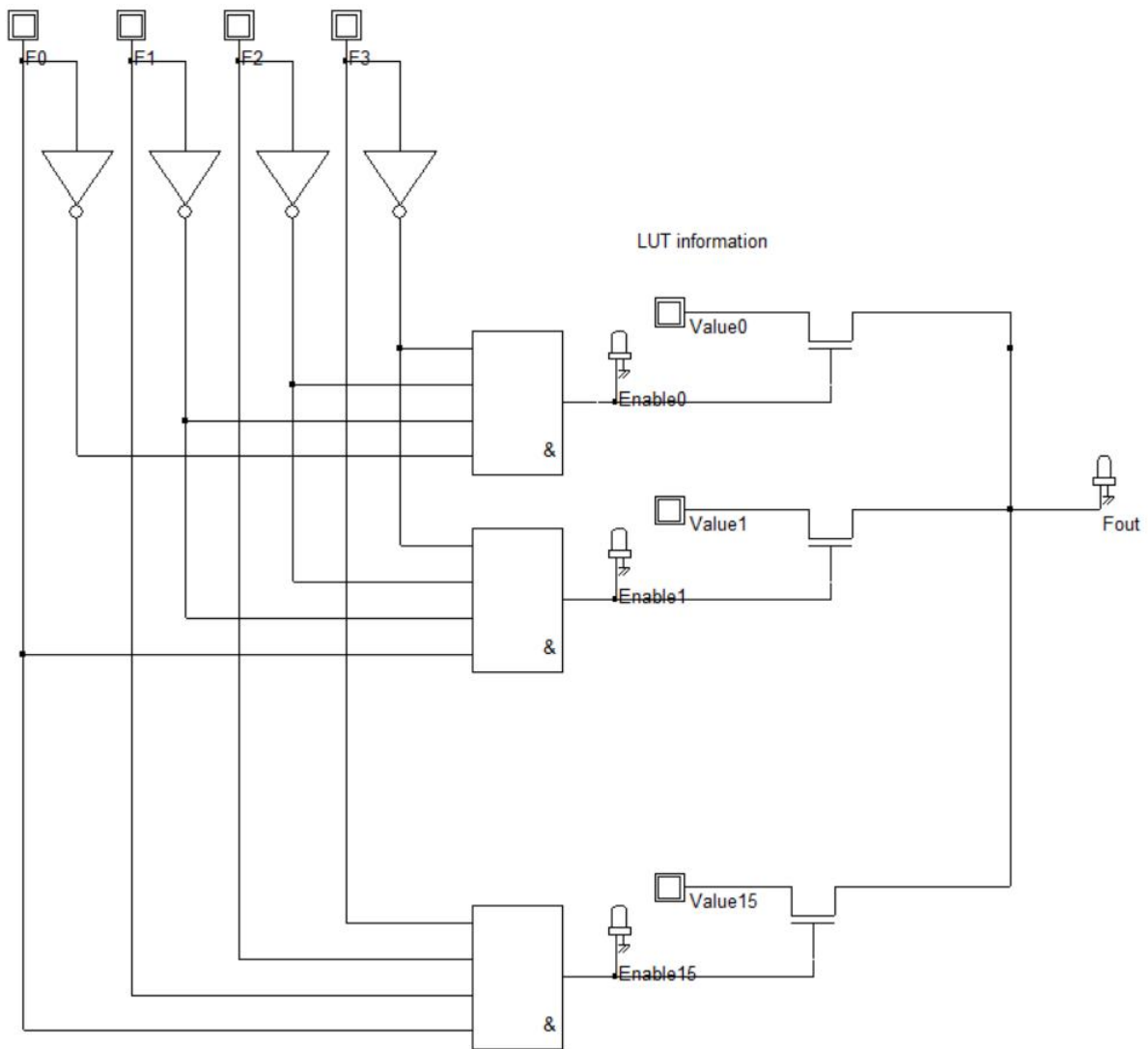
```

```

36             y(i) <= sigmoid(i);
37             acc2(i) <= (OTHERS=>'0');
38         END LOOP;
39     ELSE
40         FOR i IN 1 TO neurons LOOP
41             acc2(i) <= acc1(i);
42         END LOOP;
43     END IF;
44 END IF;
45 END PROCESS;
46 ---- Process for combinational units: -----
47 PROCESS(x, counter)
48 BEGIN
49     FOR i IN 1 TO neurons LOOP
50         prod(i) <= x * TO_SIGNED(weight(i, counter), N);
51         acc1(i) <= prod(i) + acc2(i);
52         IF ((acc2(i)(2*N-1)=prod(i)(2*N-1)) AND
53             (acc1(i)(2*N-1)/=acc2(i)(2*N-1))) THEN
54             acc1(i) <= ((2*N-1)=>acc2(i)(2*N-1),
55                 OTHERS=>NOT acc2(i)(2*N-1));
56         END IF;
57         sigmoid(i) <= conv_sigmoid(acc2(i));
58     END LOOP;
59 END PROCESS;
60 END neural_net;
61 -----

```

Look Up Table



ΕΠΑΝΑΛΗΨΗ

Εισαγωγή

στην

Μικροηλεκτρονική

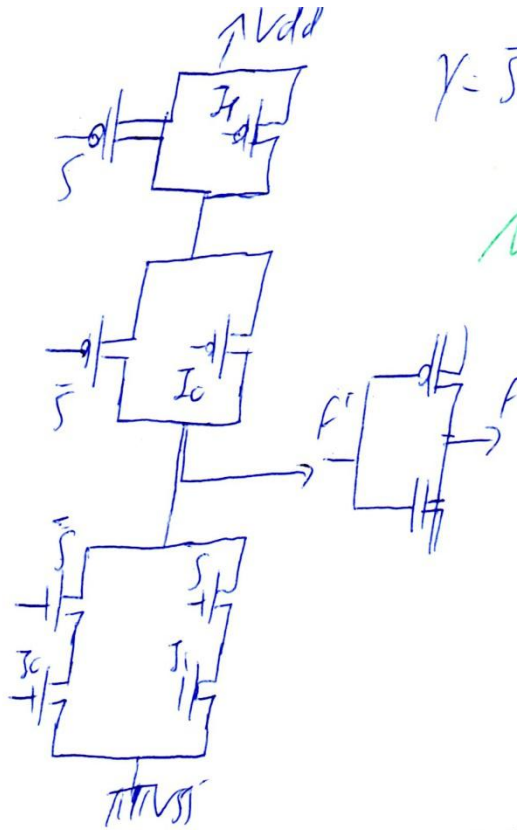
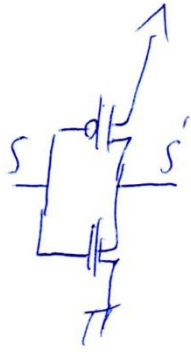
& VLSI

ΕΛΜΟΒΤΑ ΚΡΗΤΗΣ

ΤΜΗΜΑ ΗΛΕΚΤΡΟΝΙΚΩΝ
ΜΗΧΑΝΙΚΩΝ

Χαρι 2021

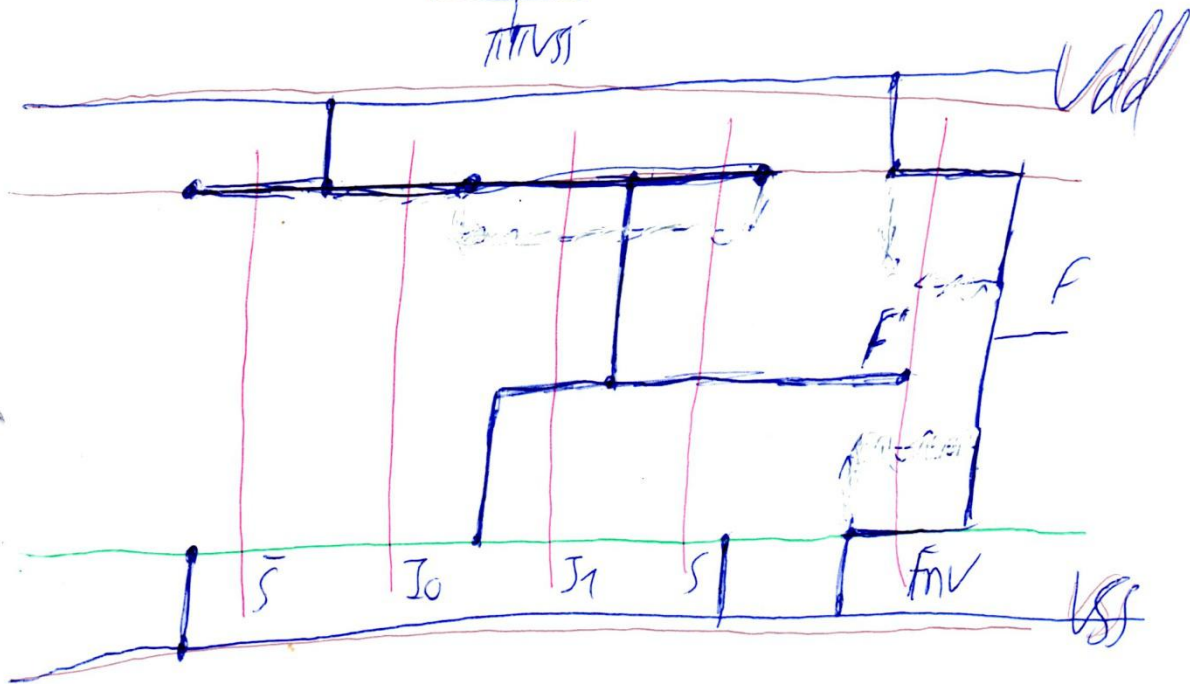
Πολυπλεξίτιμ
 με Συναρτήσεις
 Πεδεία

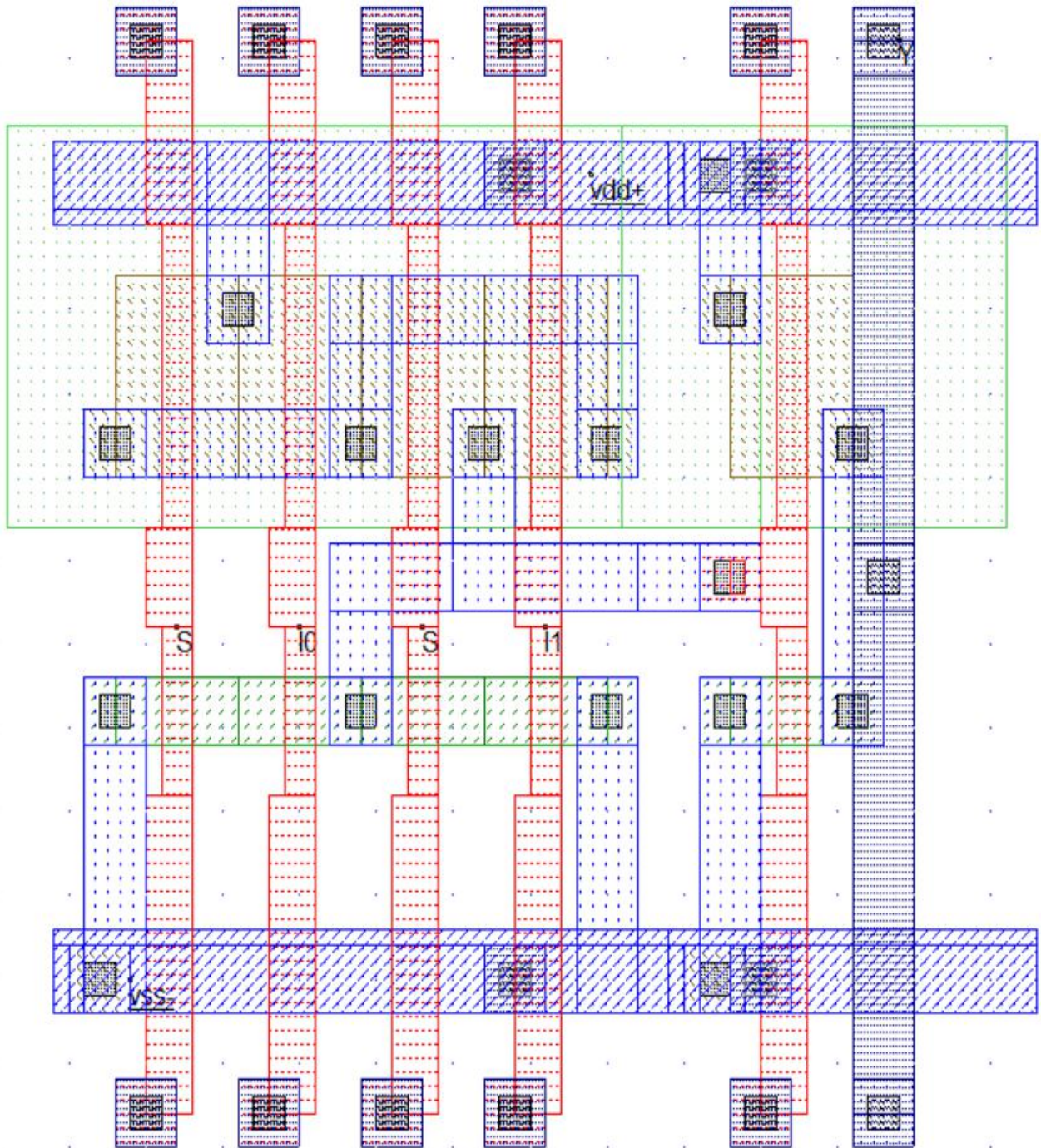


$$\gamma = \bar{S} \cdot I_0 + S \cdot I_1$$

12 tr

MUX 2 → 1



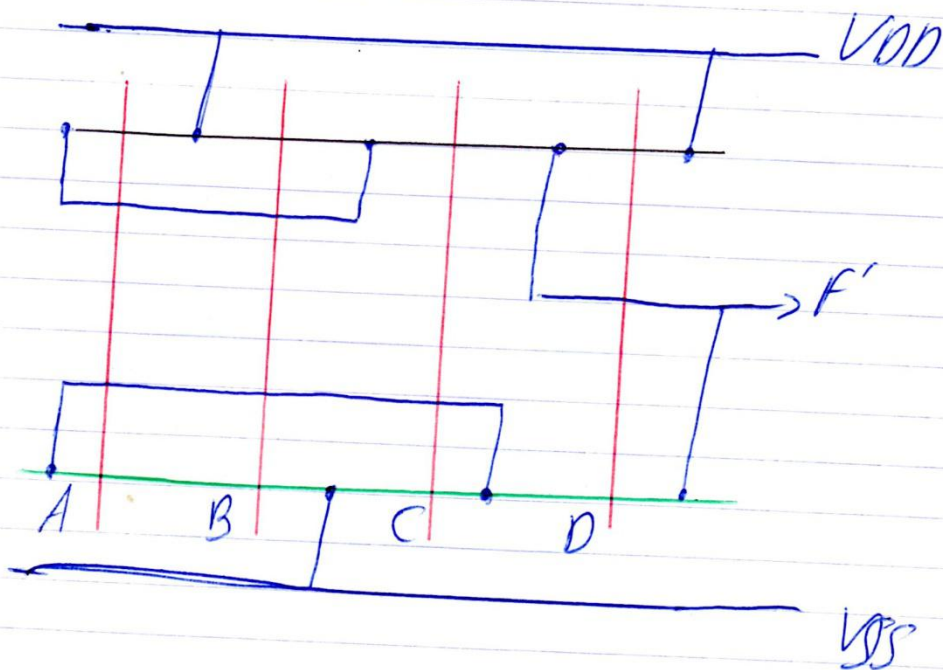
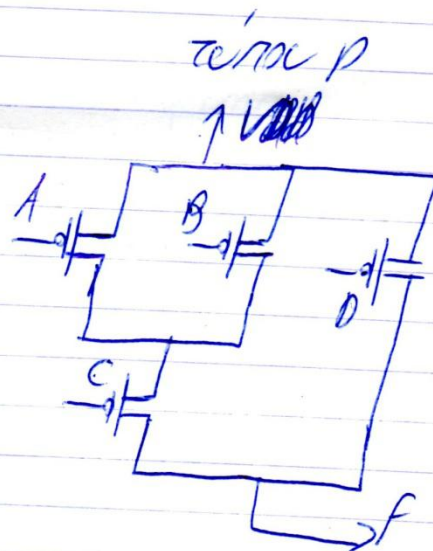
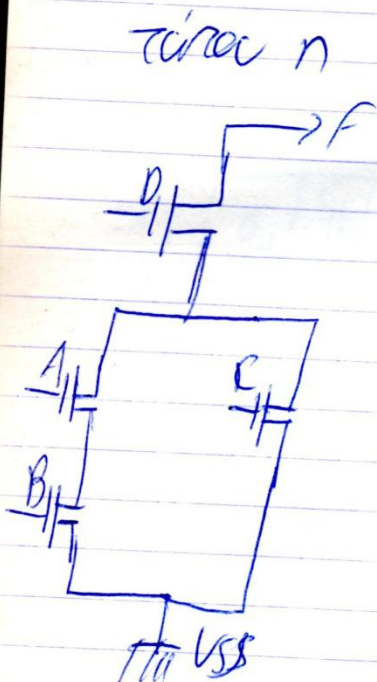


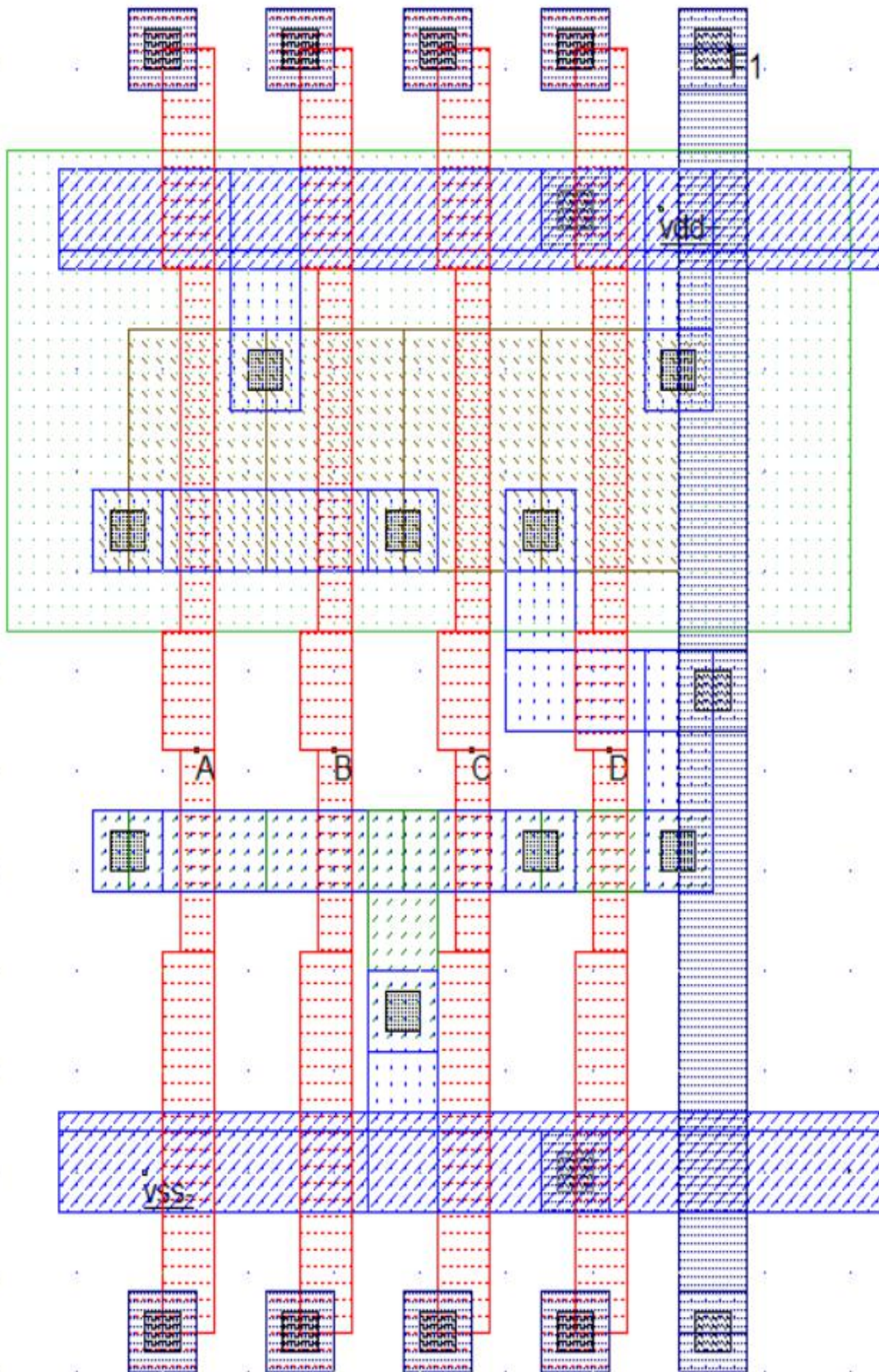
Συνδέει πύλες σελ

- κεντρικιστικό διάγραμμα

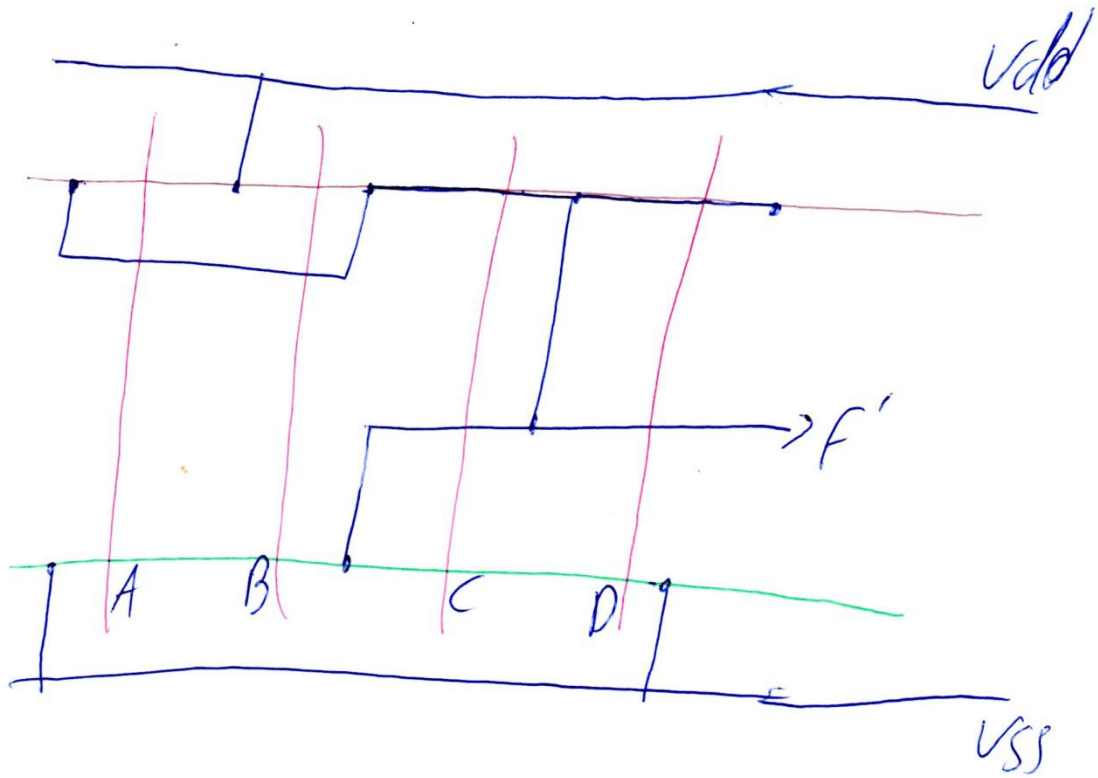
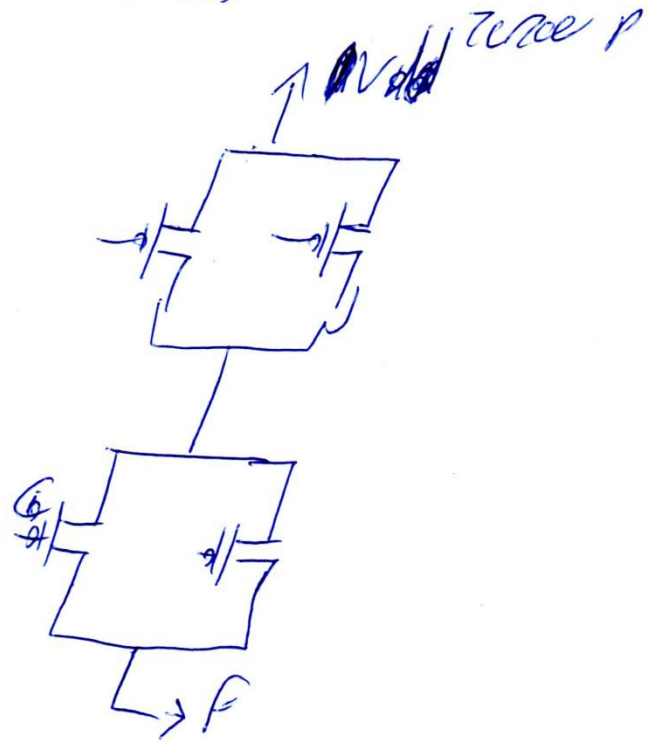
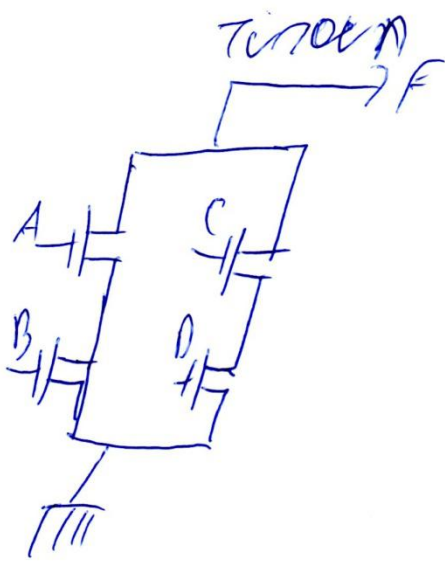
- διάγραμμα γραμμών (stick diagram)

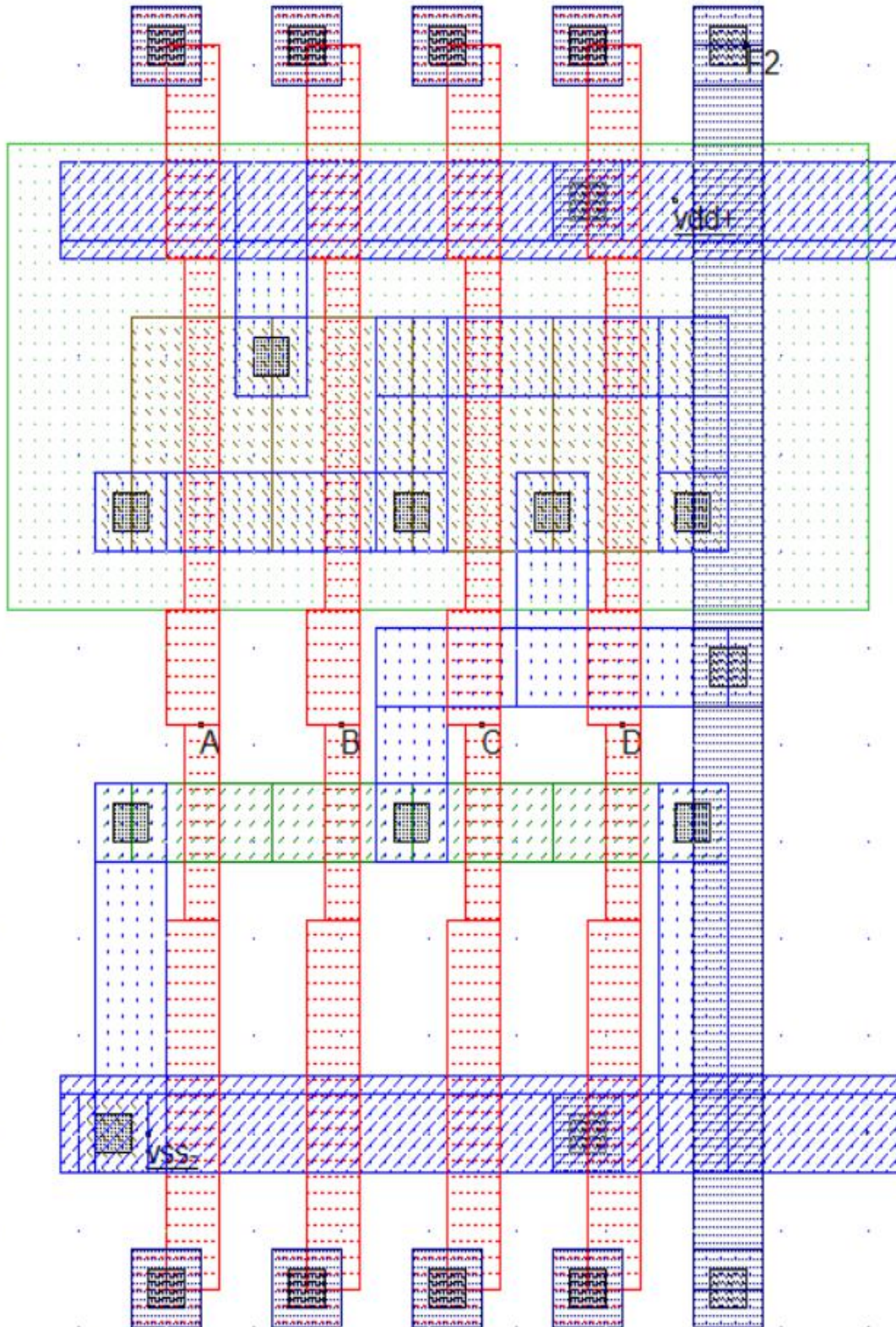
$$F_1 = (((A \cdot B) + C) \cdot D)$$



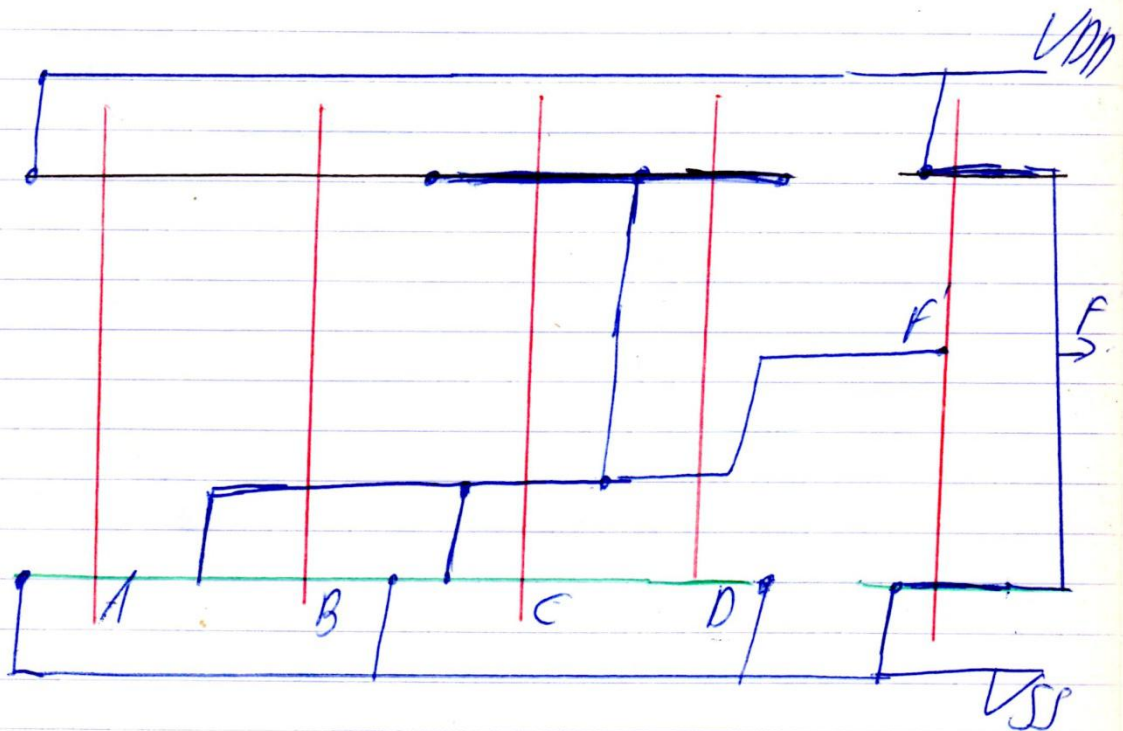
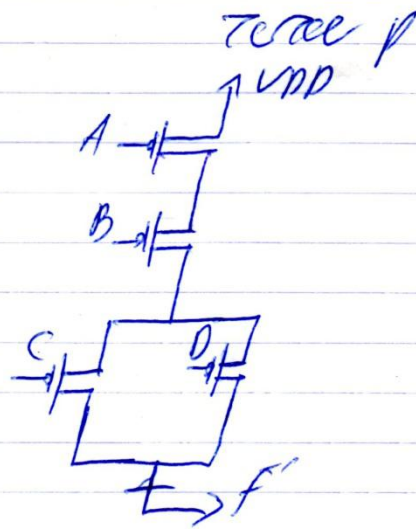
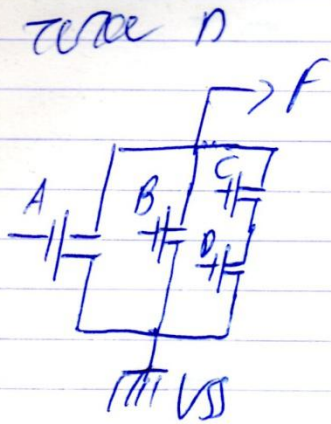


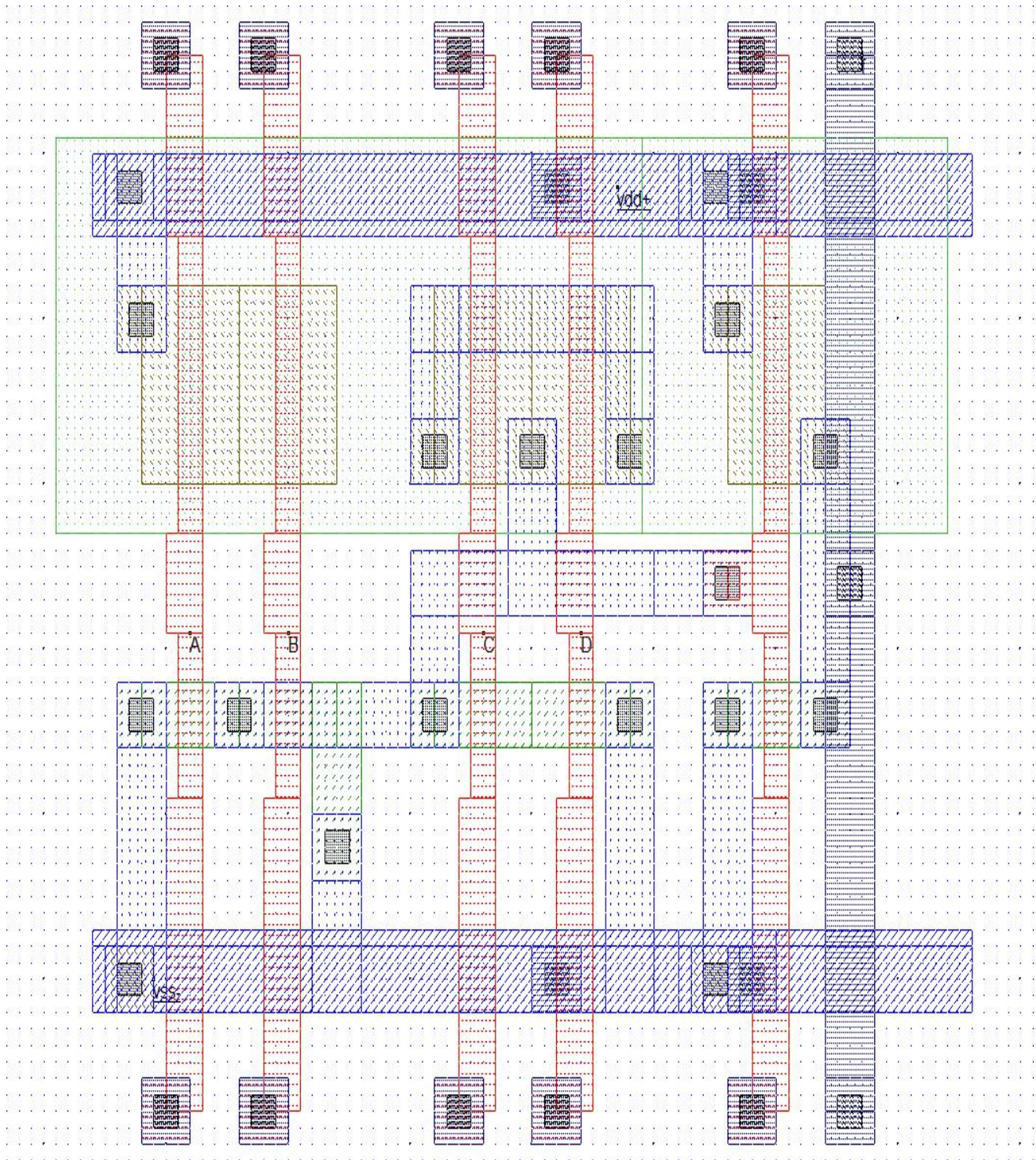
$$F_2 = ((A \cdot B) + (C \cdot D))$$



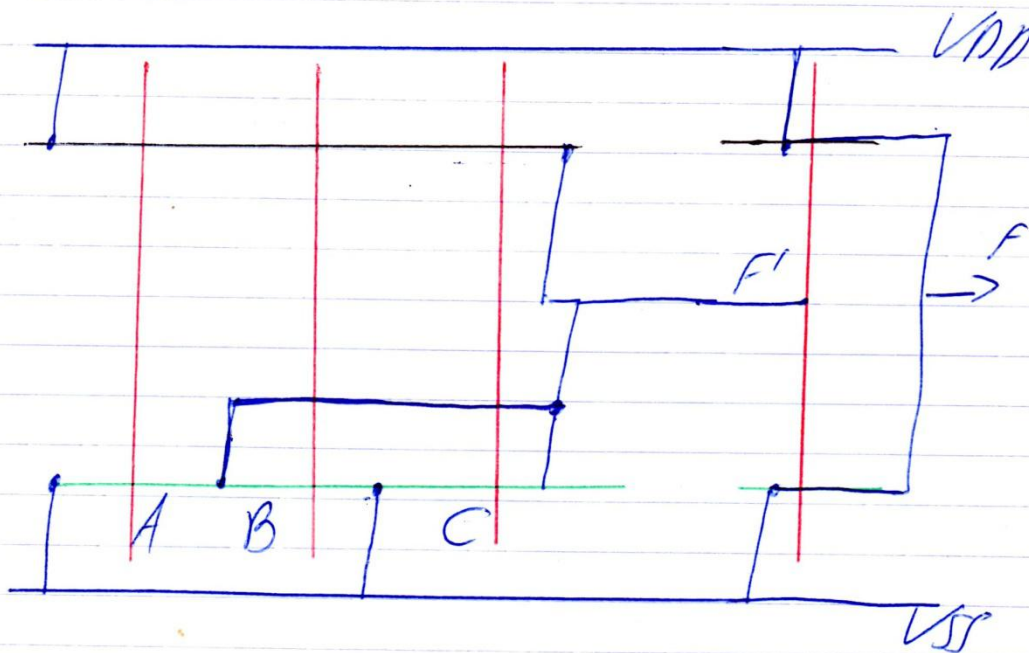
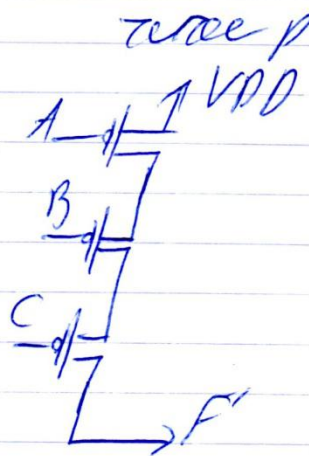
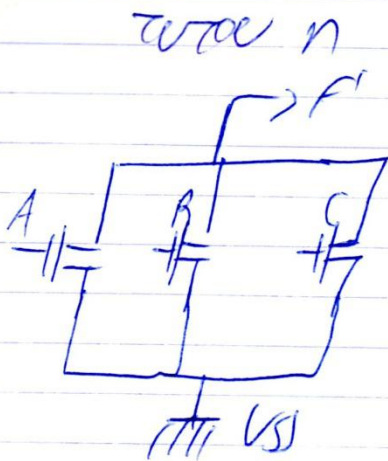


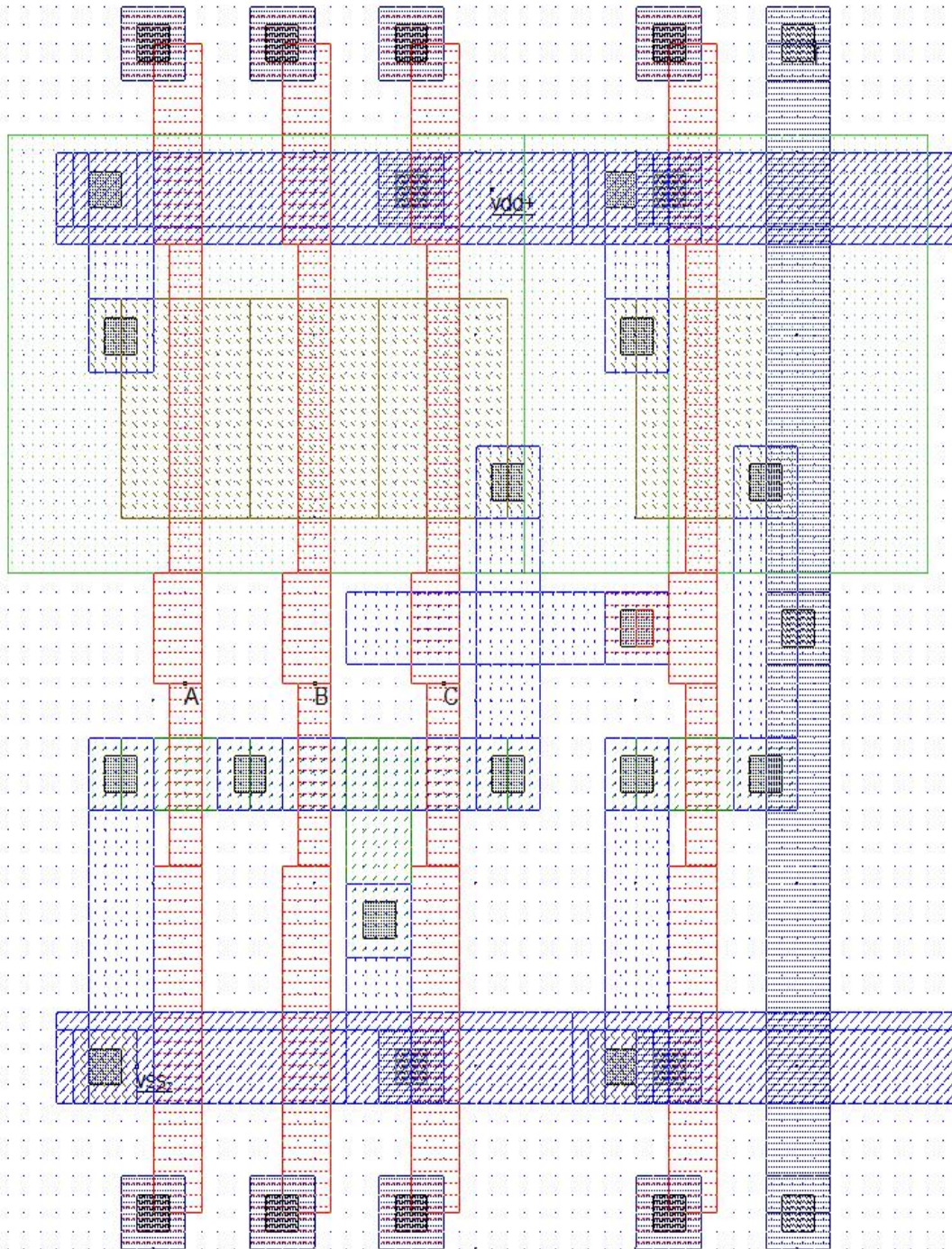
$$F_3 = (A+B) + (C \cdot D)$$

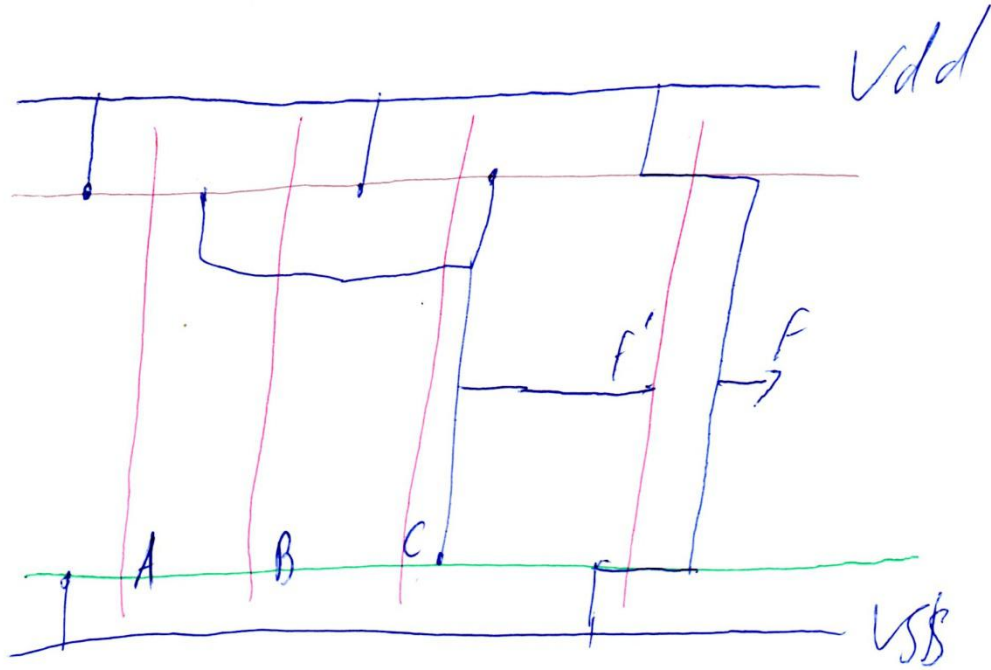
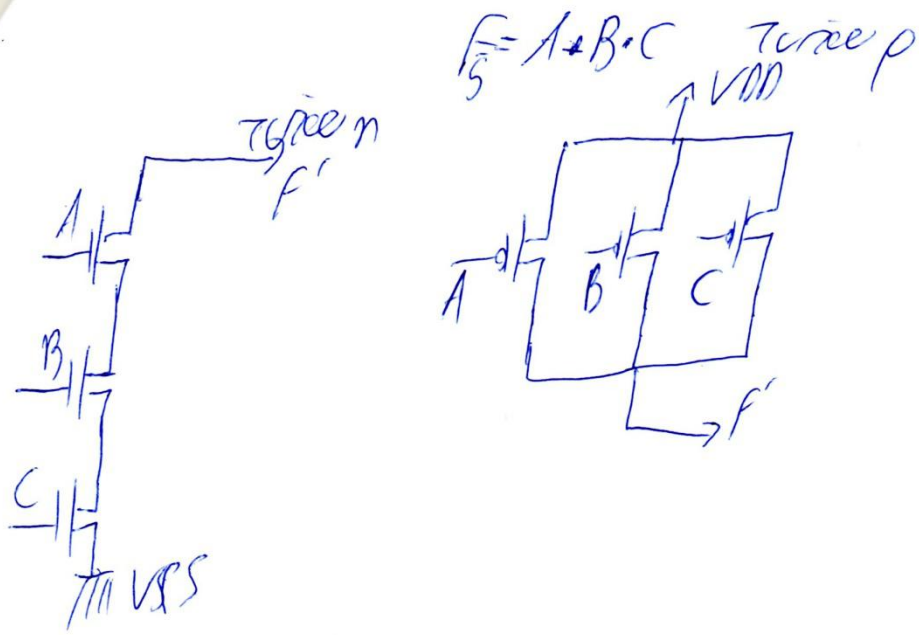


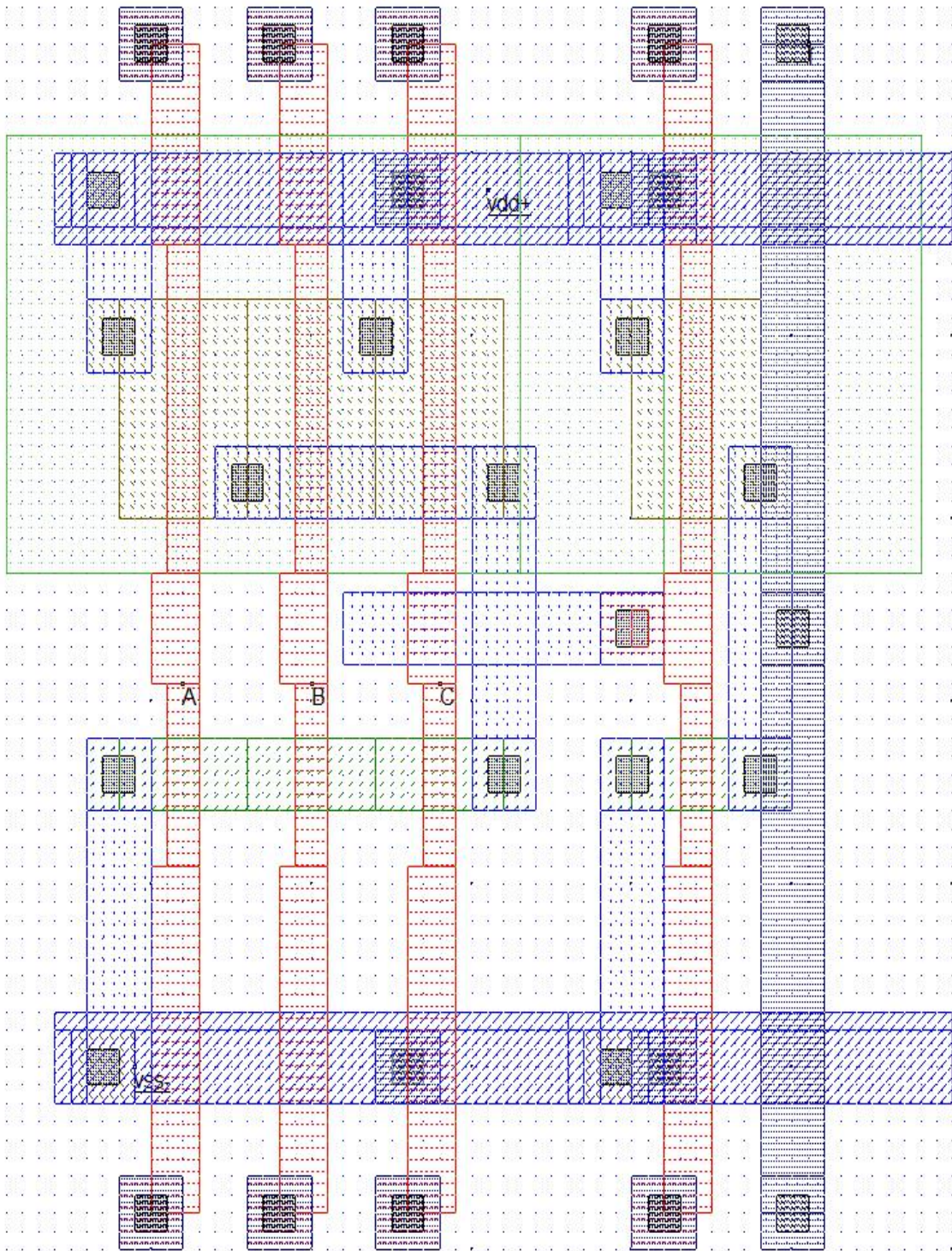


$$F_4 = A + B + C$$

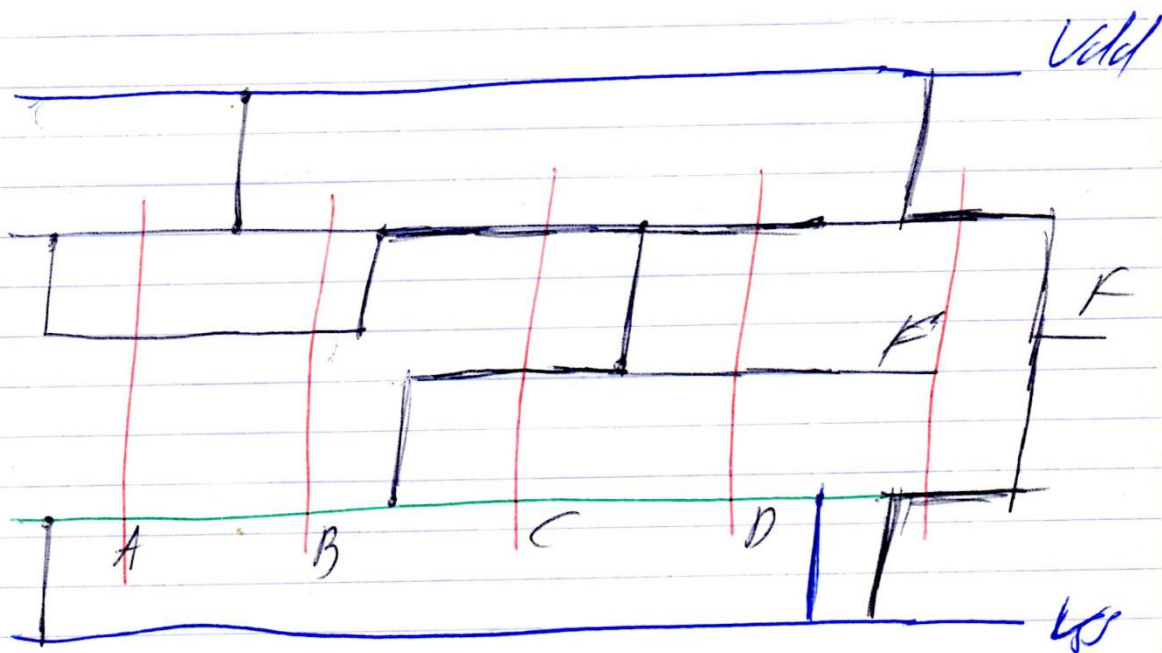
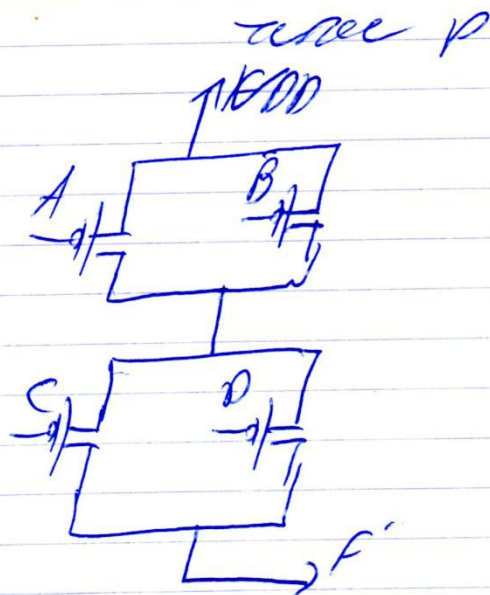
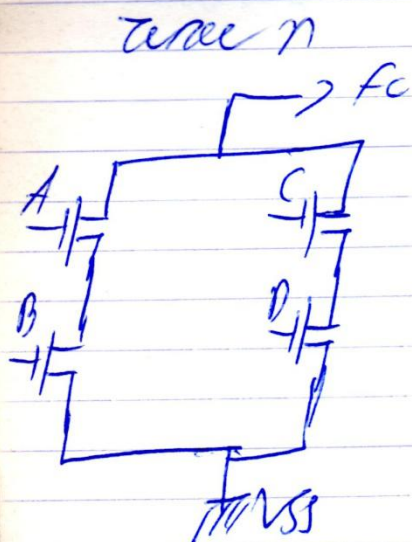


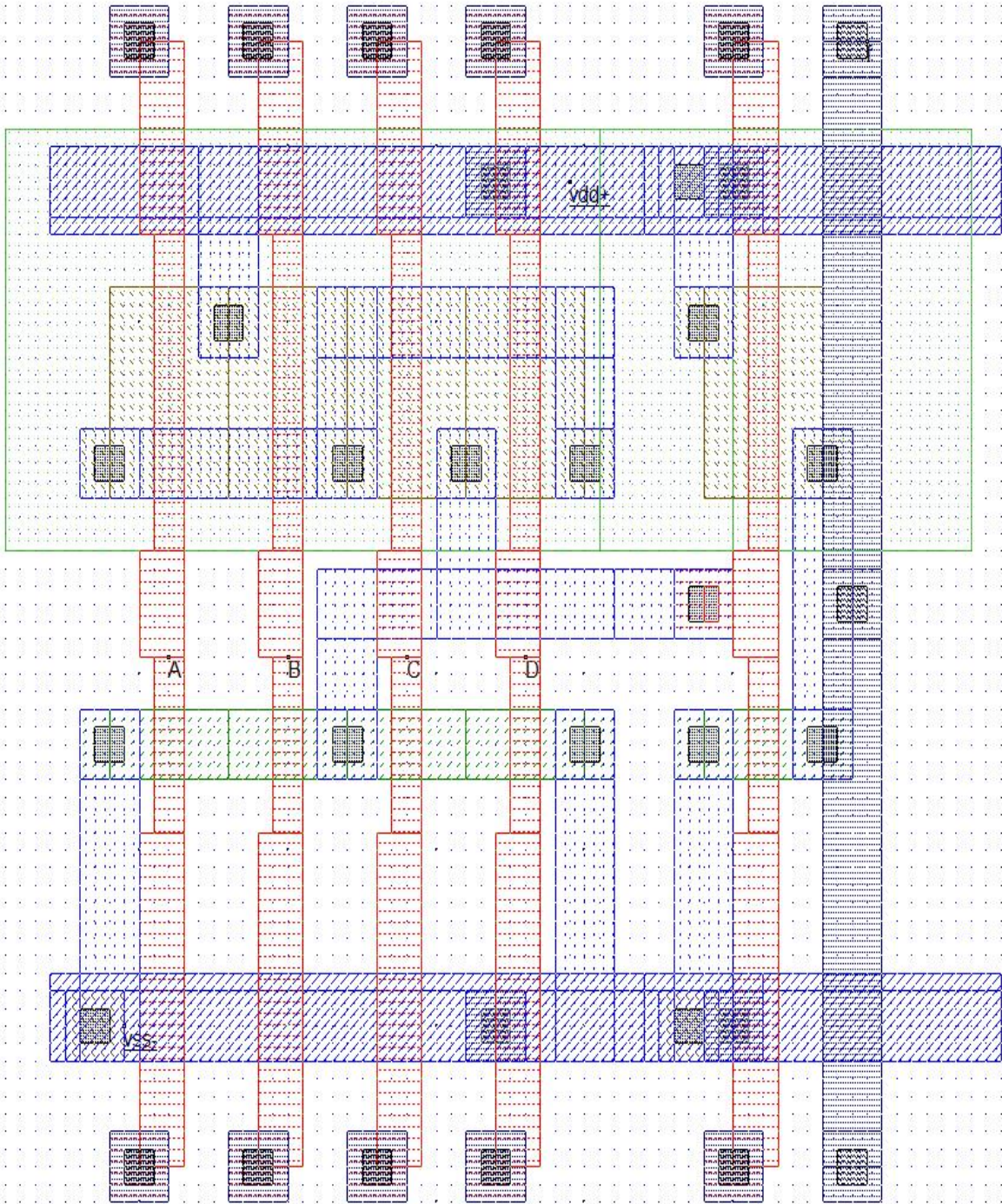






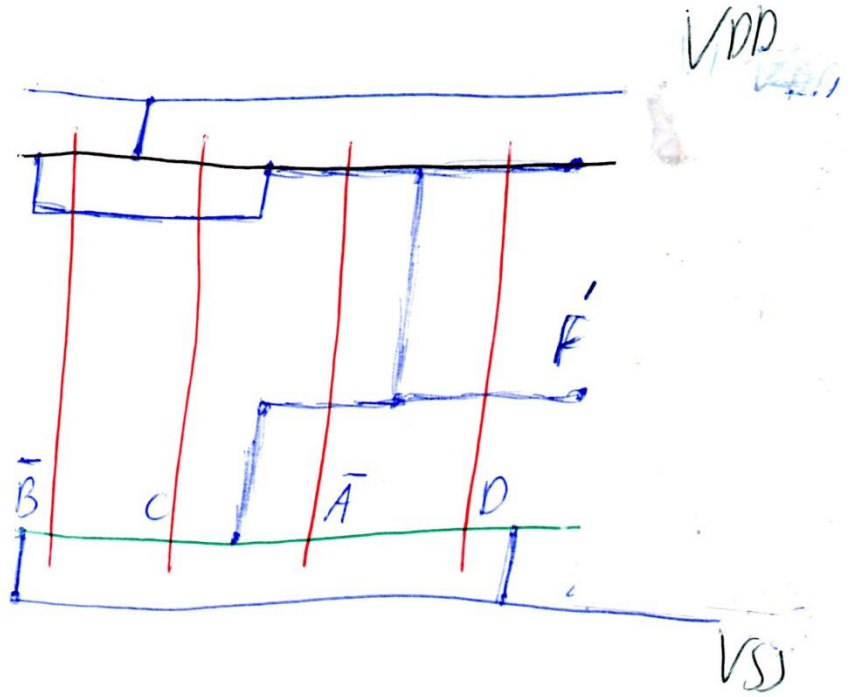
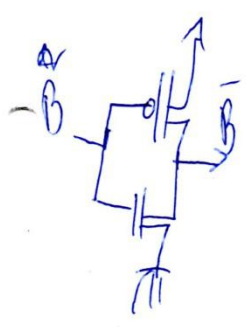
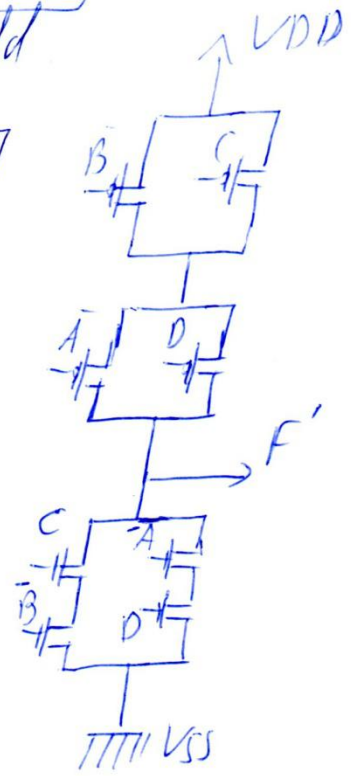
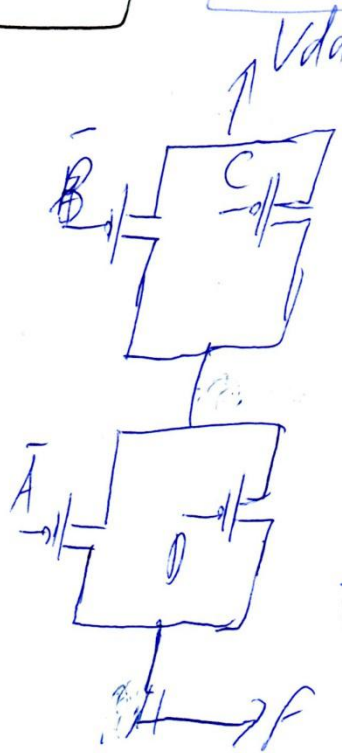
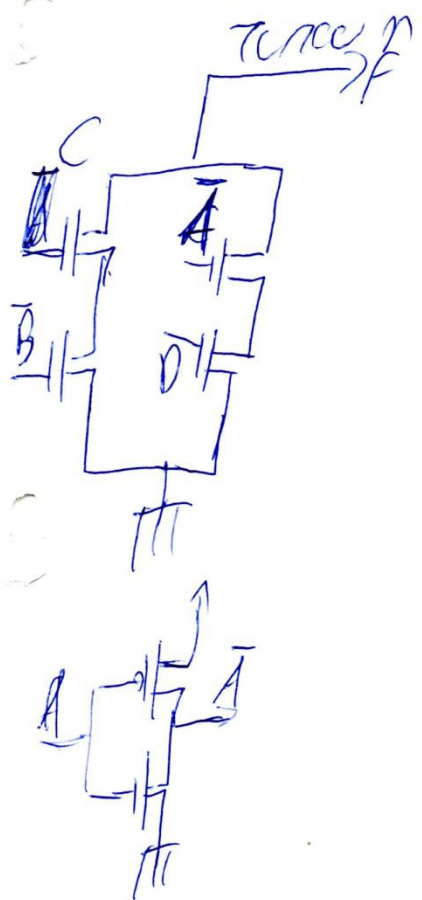
$$F_C = (A \cdot B) + (C \cdot D)$$

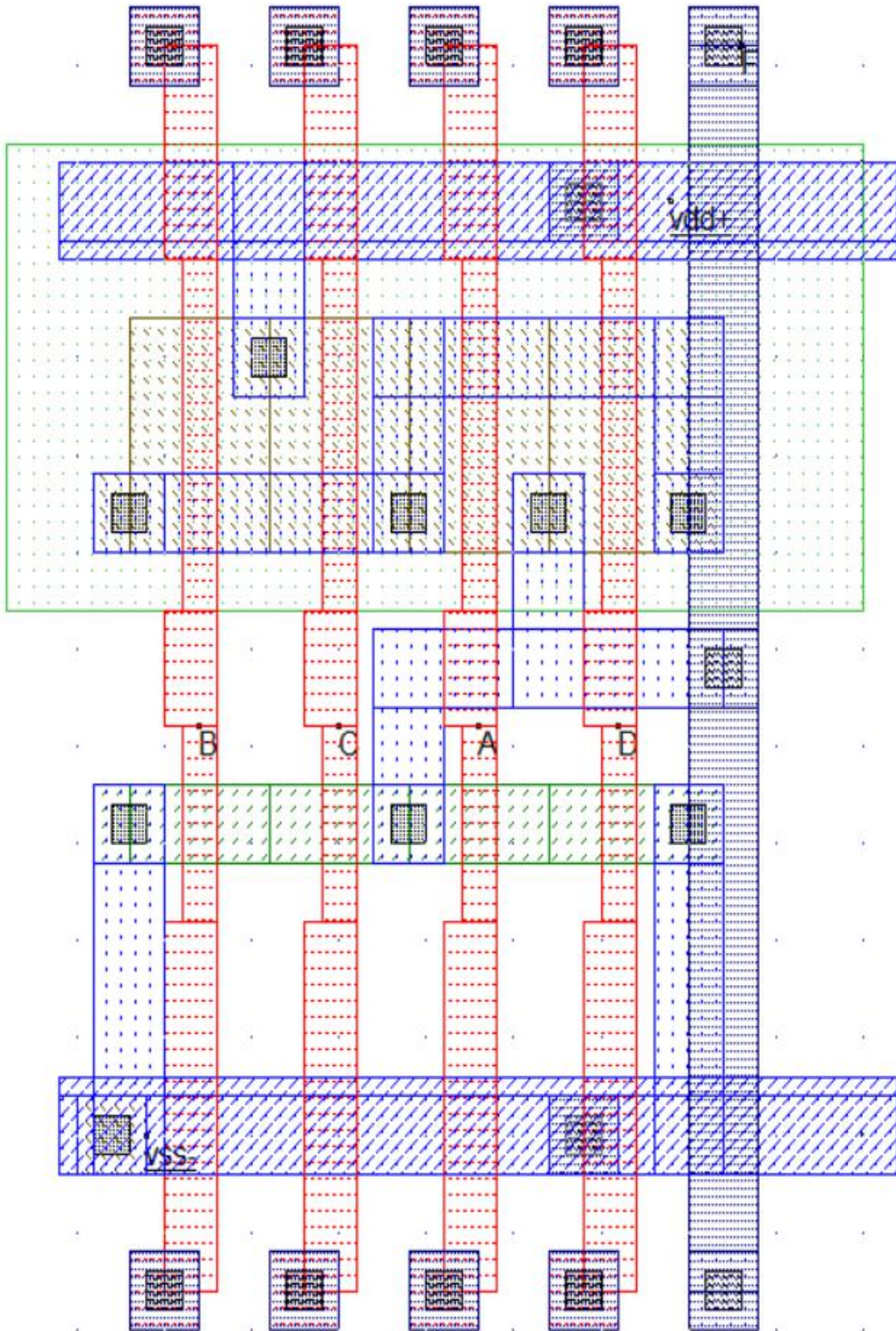




$$F = (\bar{B} \cdot C) + (\bar{A} \cdot D)$$

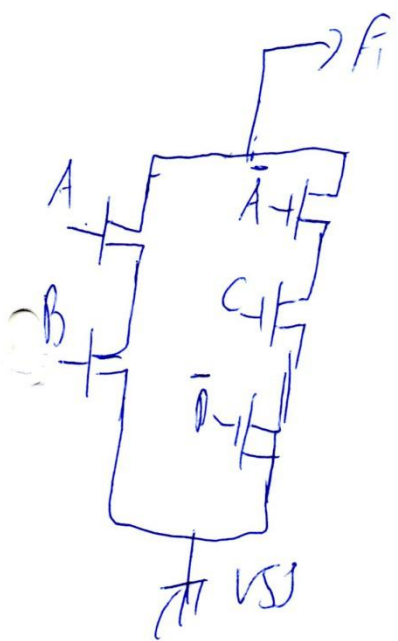
12 tr



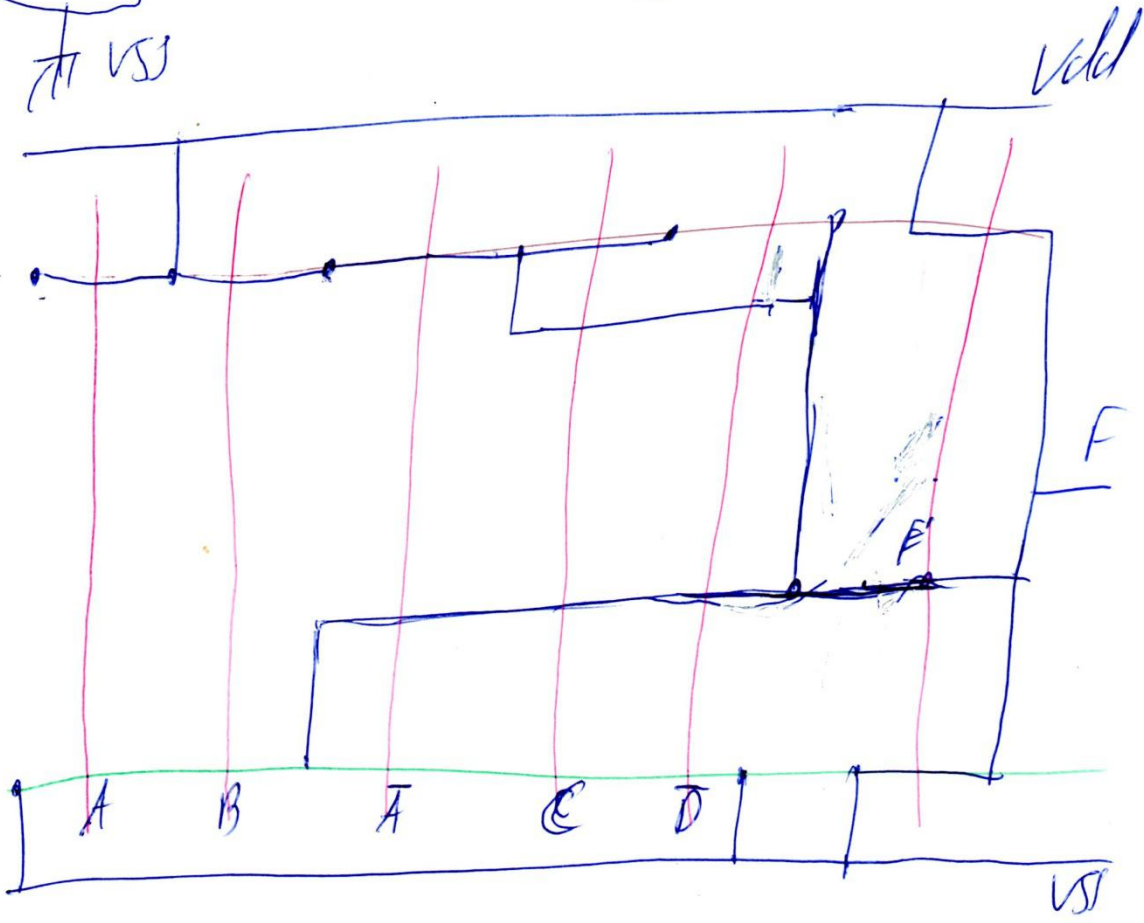
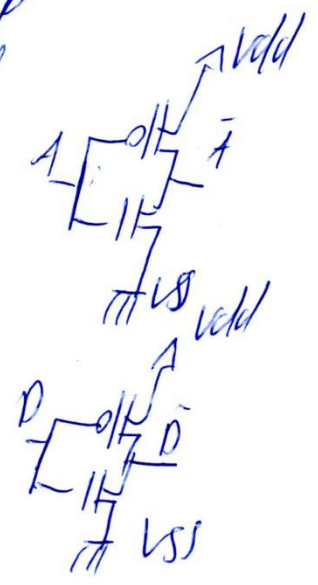
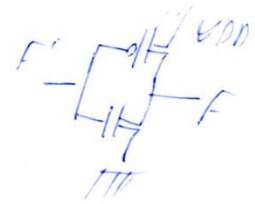
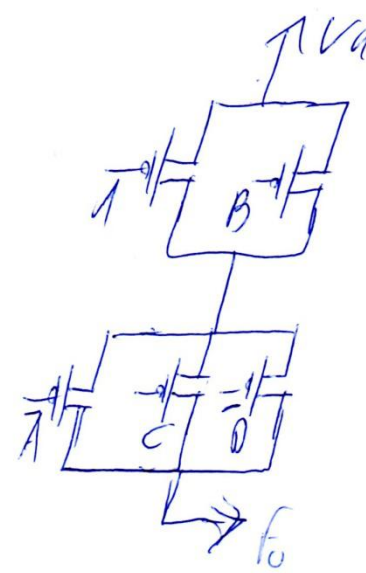


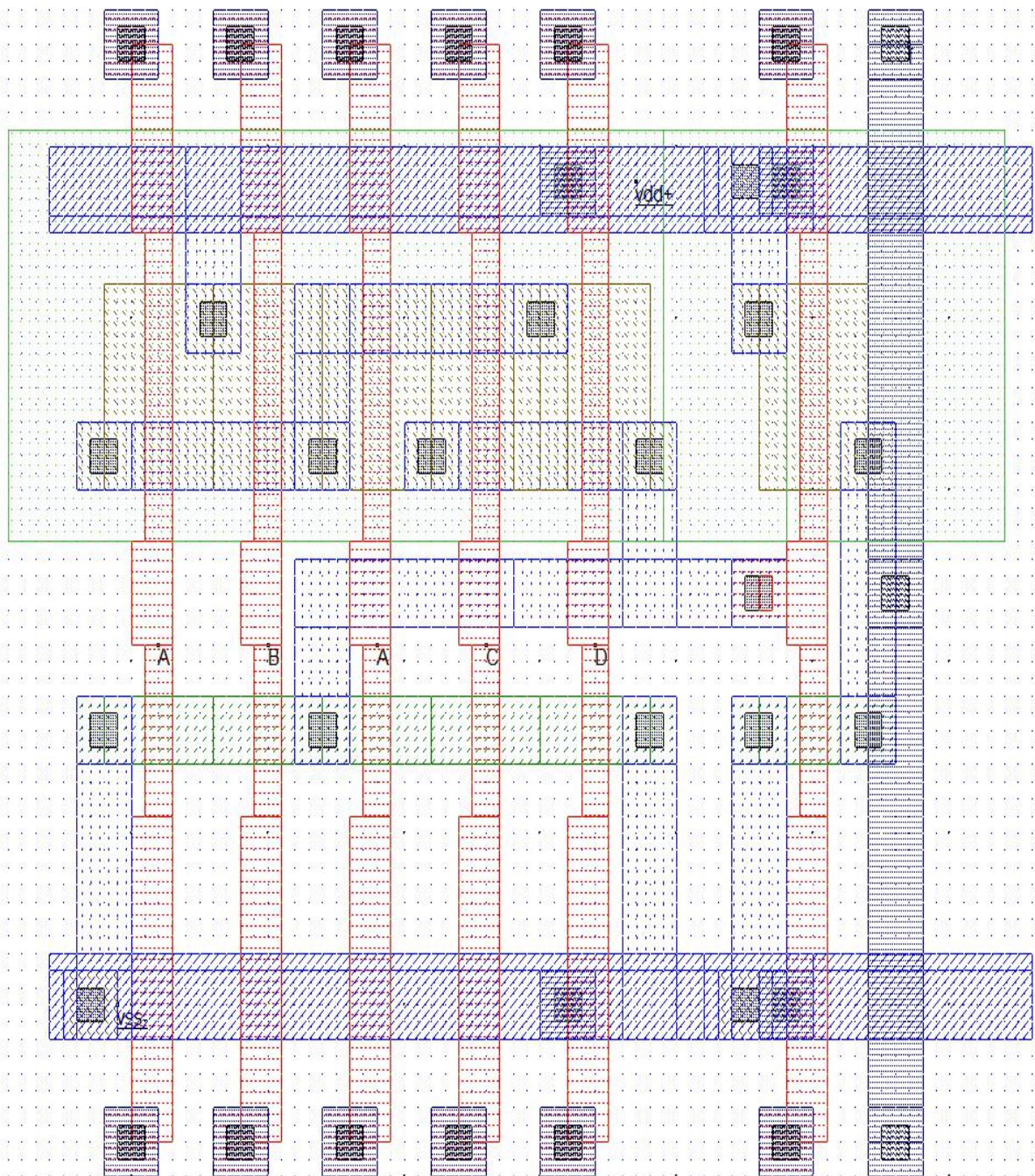
$$f = A \cdot B + \bar{A} \cdot C \cdot \bar{D}$$

πυρσε n

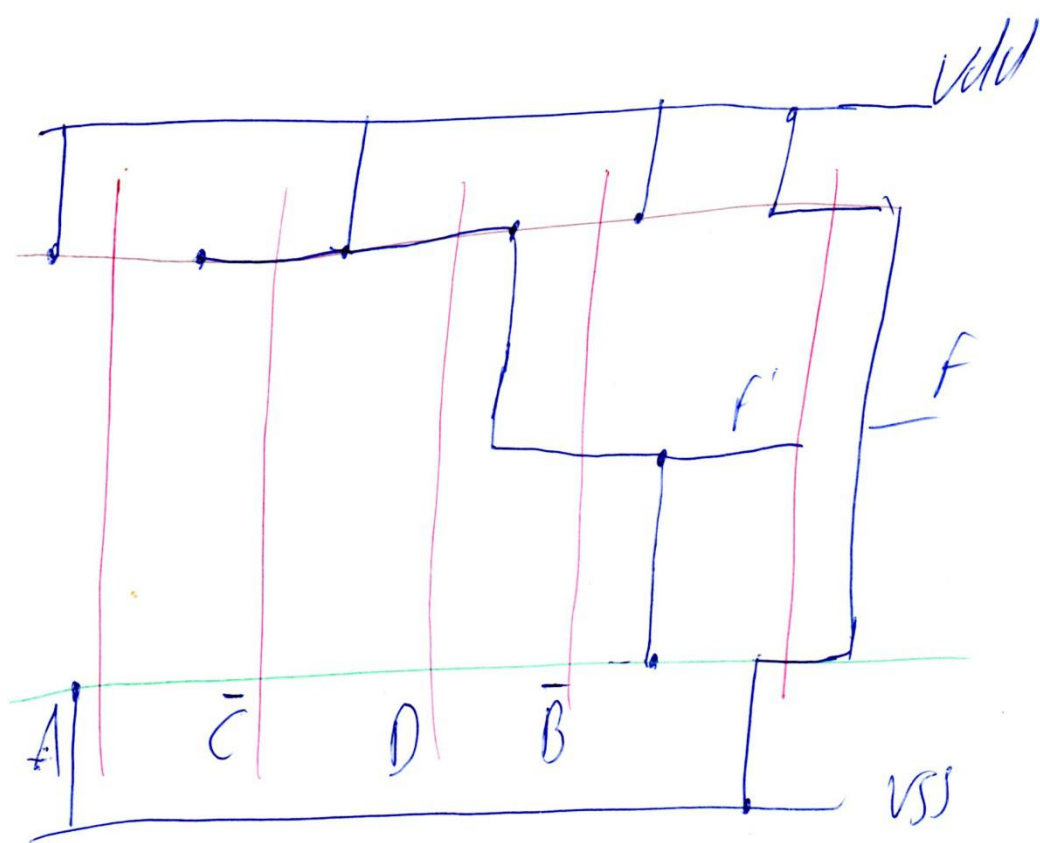
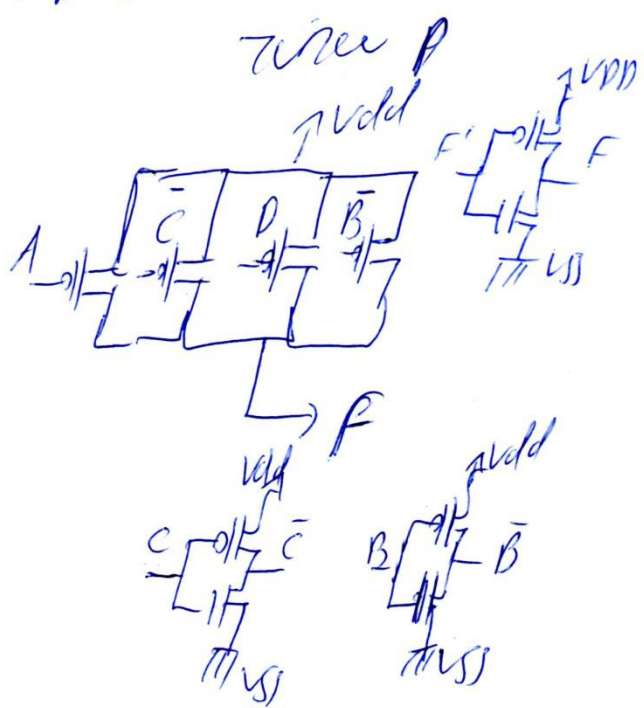


πυρσε p

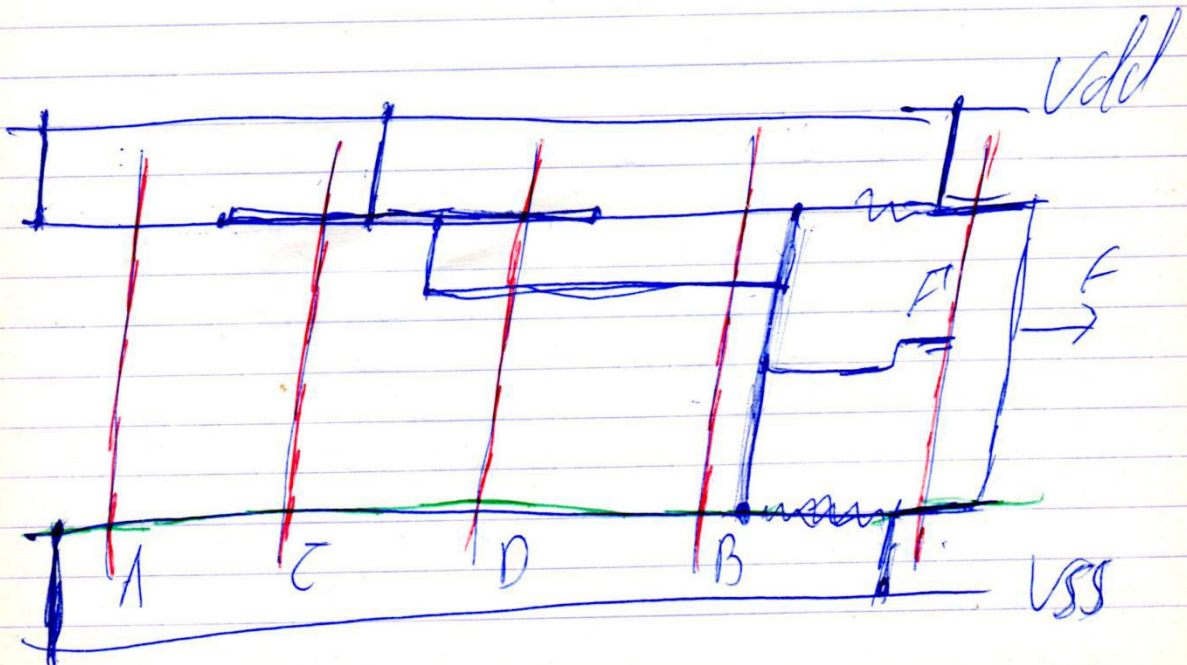
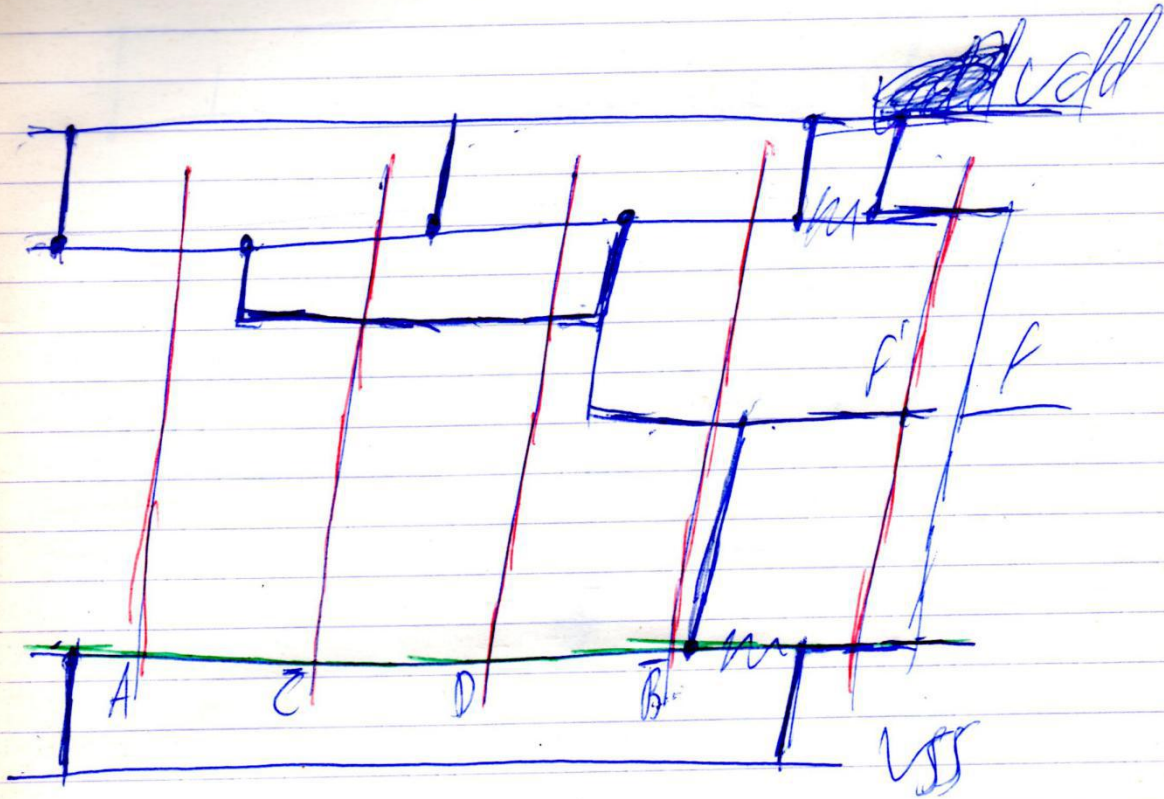


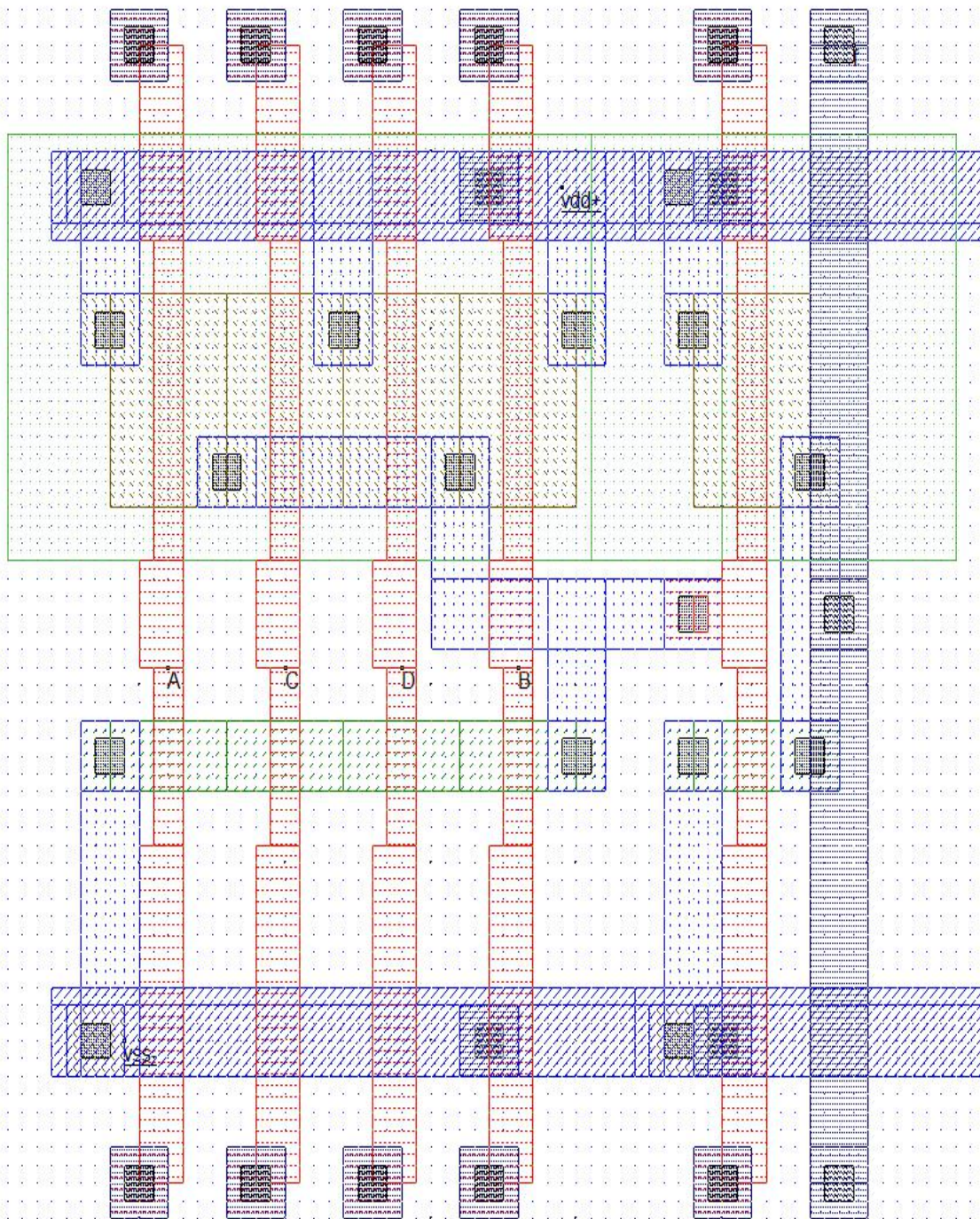


$$F = A \cdot \bar{C} + D \cdot \bar{B}$$



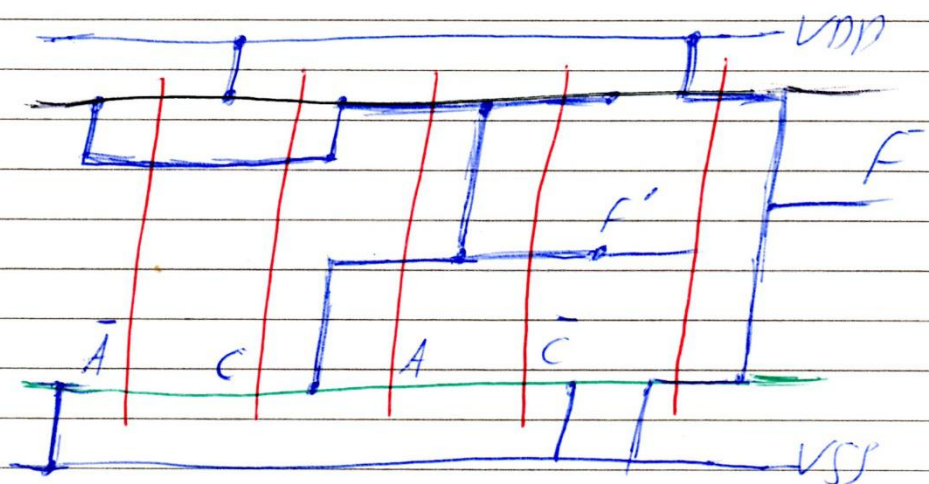
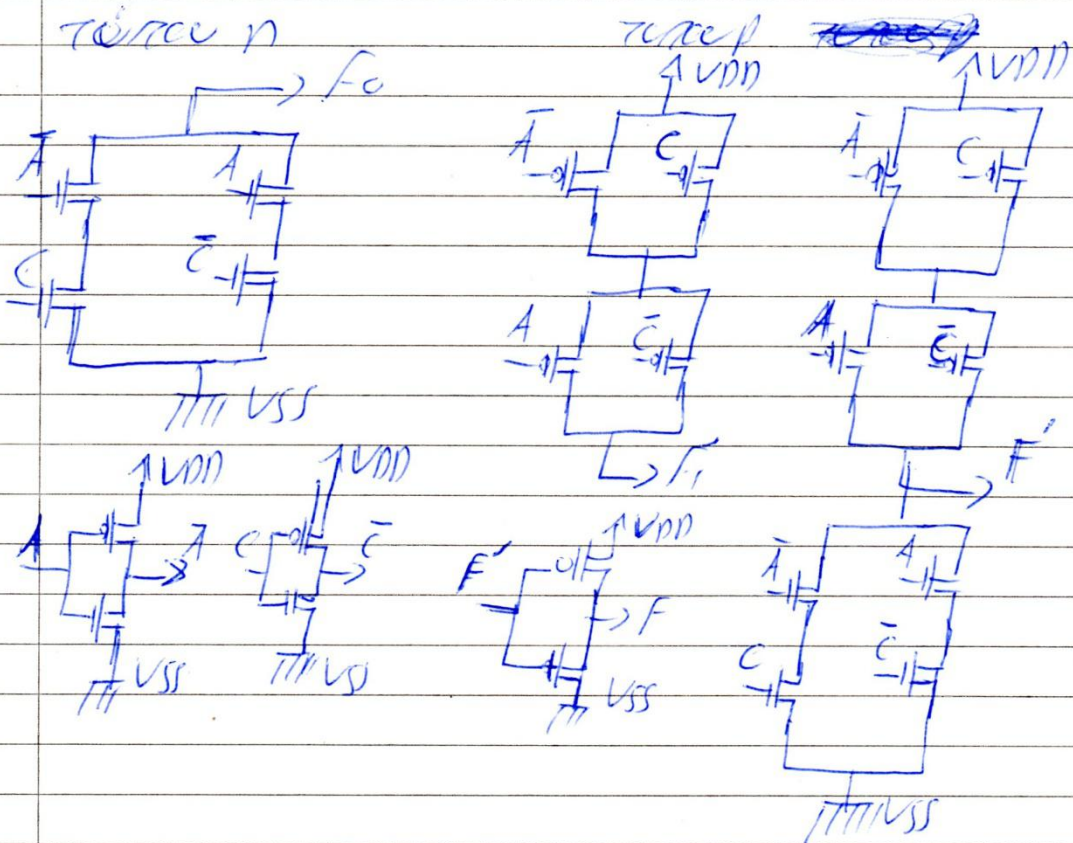
$$F = \bar{A} \cdot \bar{C} \cdot D \cdot \bar{B}$$

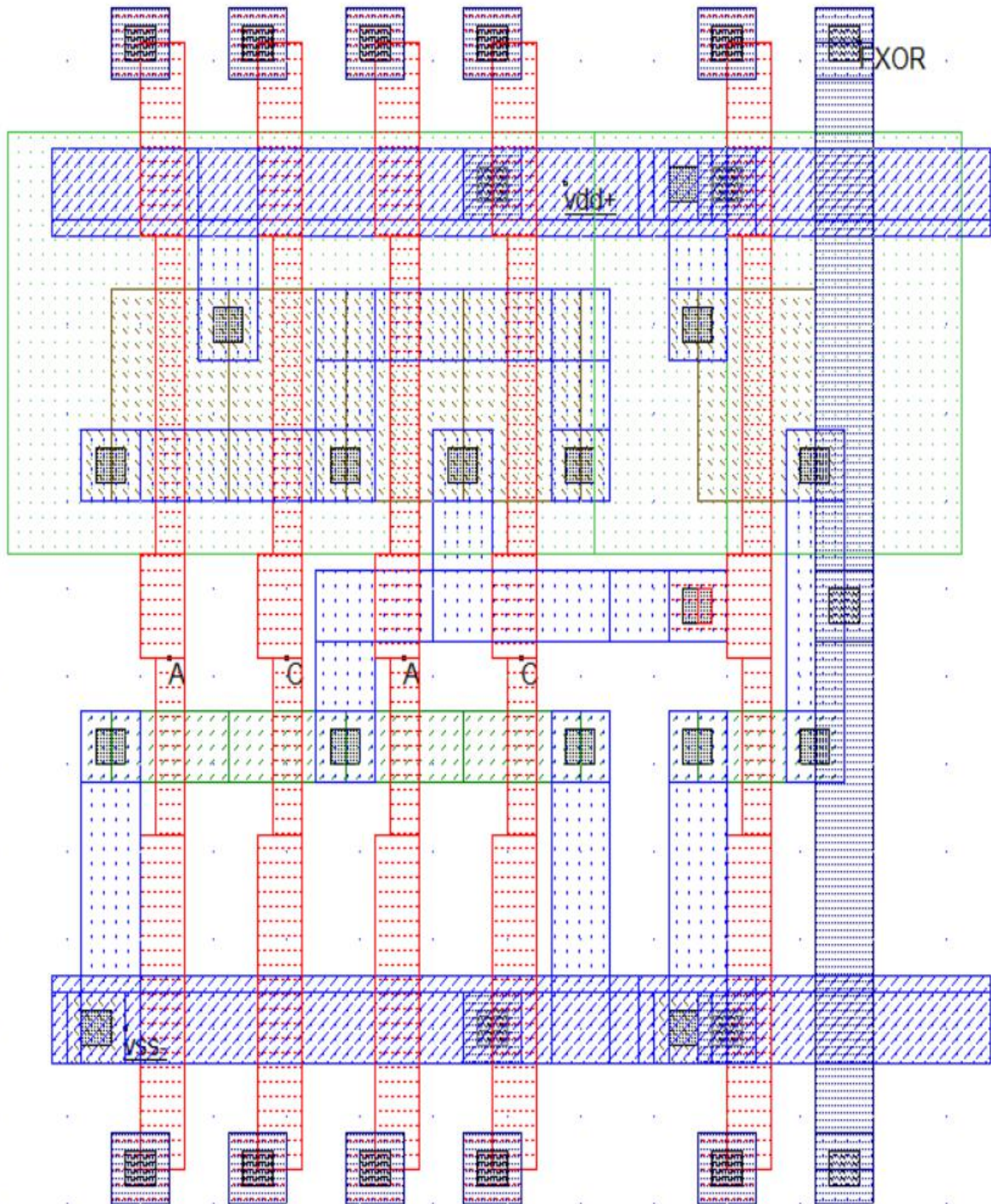




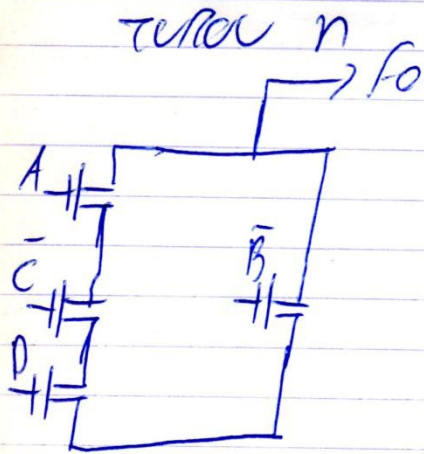
$$F = \bar{A} \cdot C + A \cdot \bar{C}$$

14 transistors

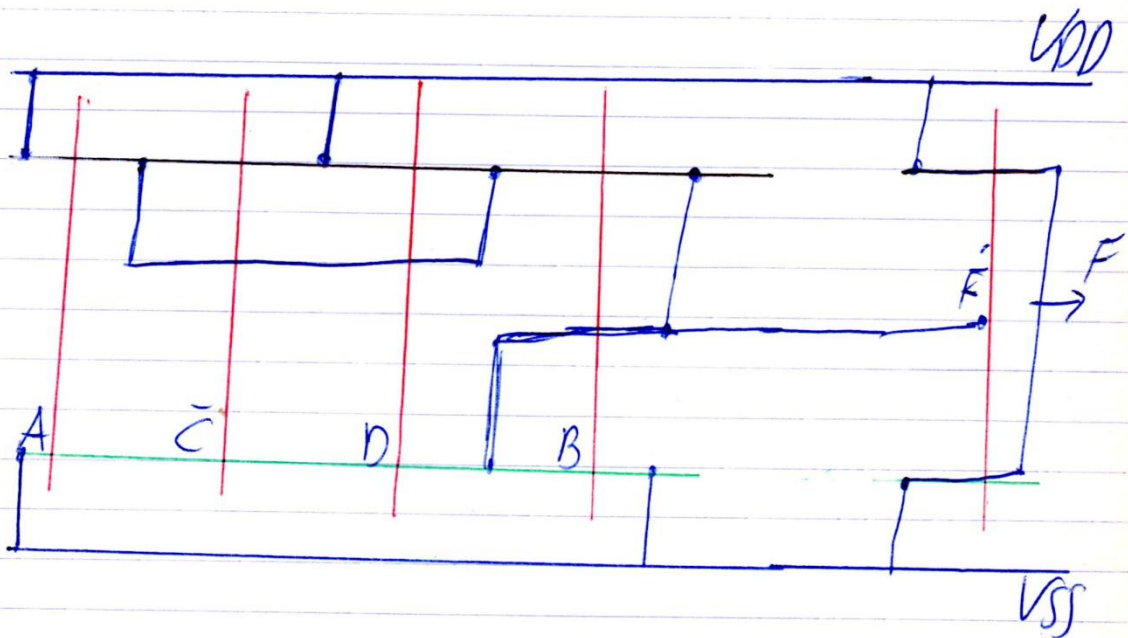
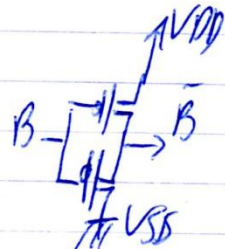
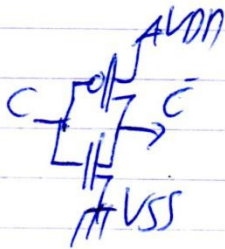
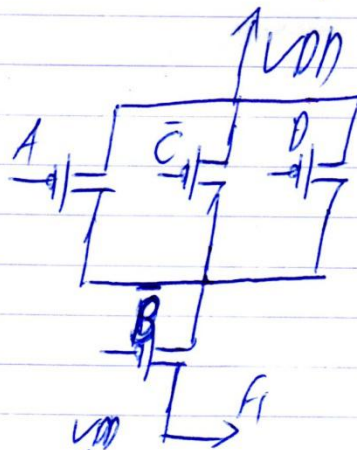


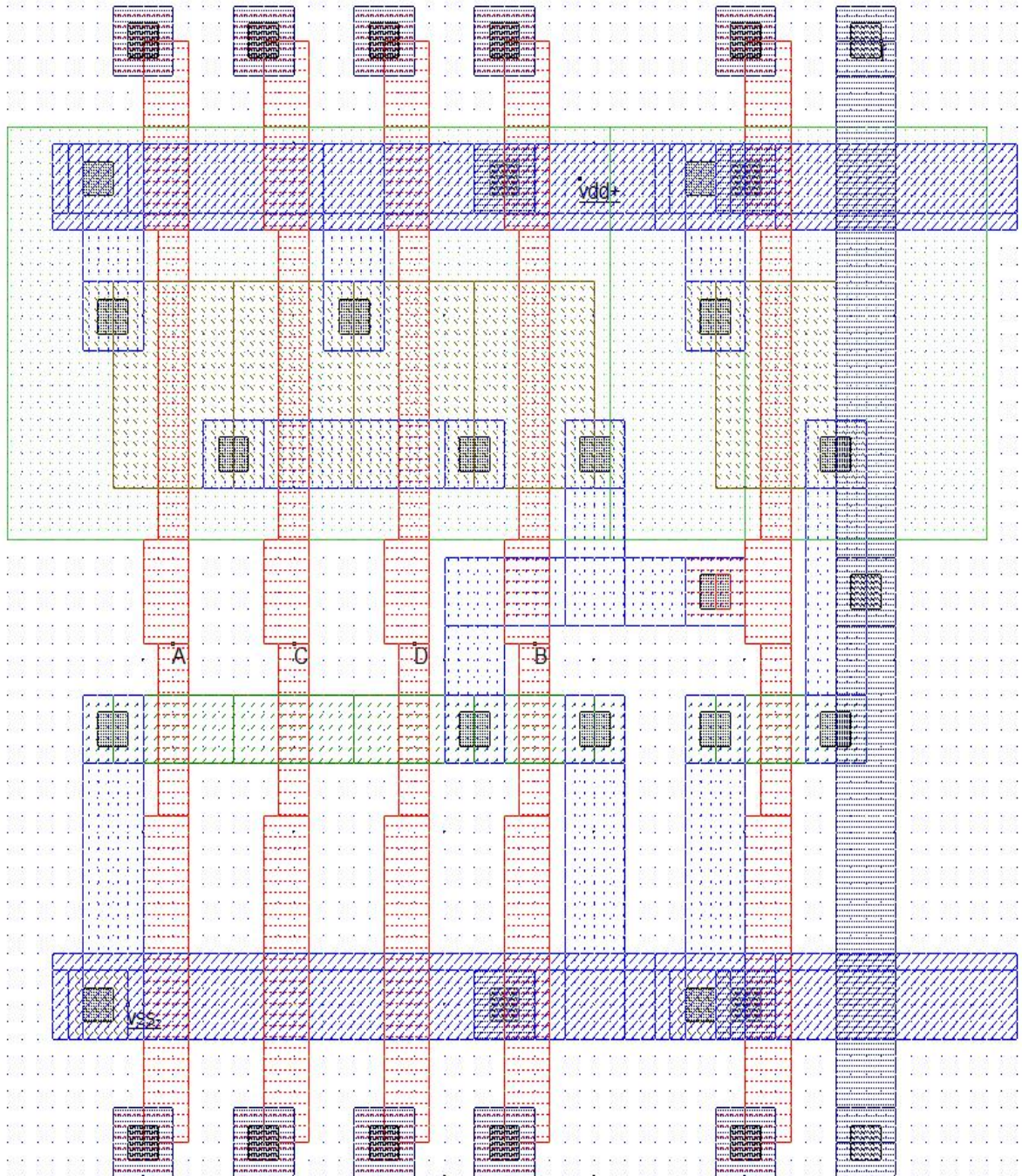


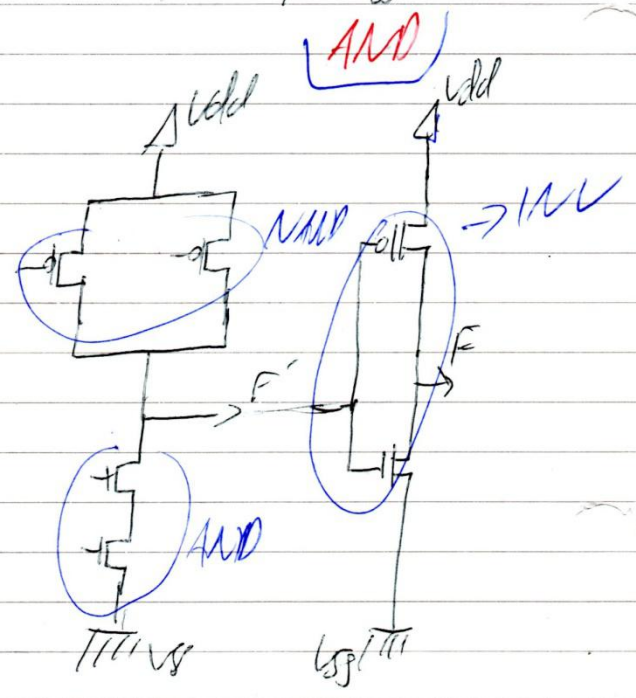
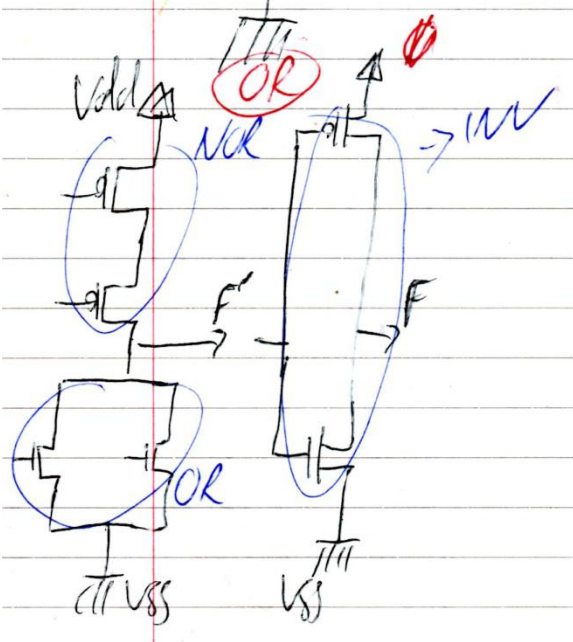
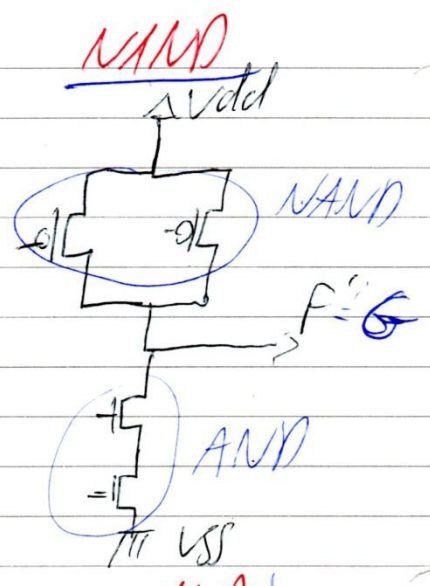
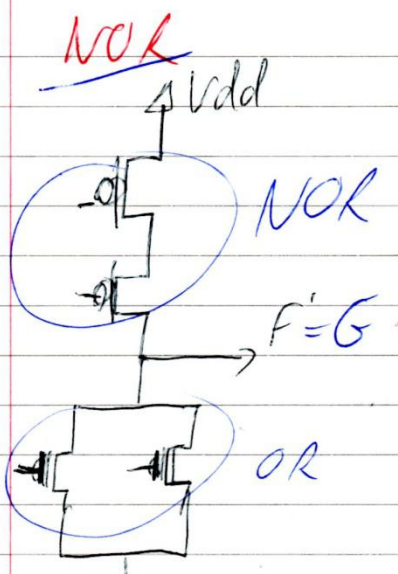
$$F = A \cdot \bar{C} \cdot D + \bar{B}$$



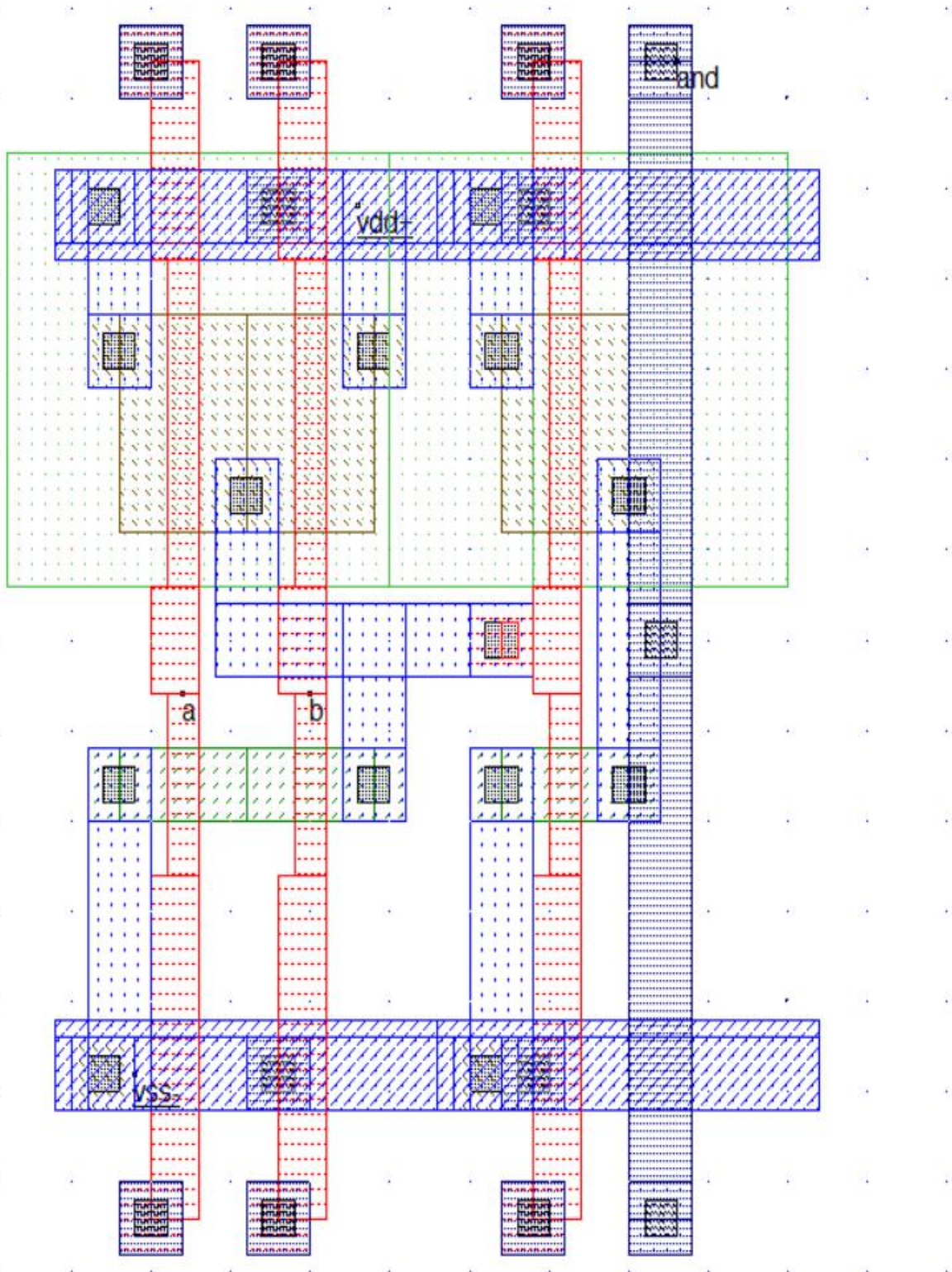
14 tr
CMOS p



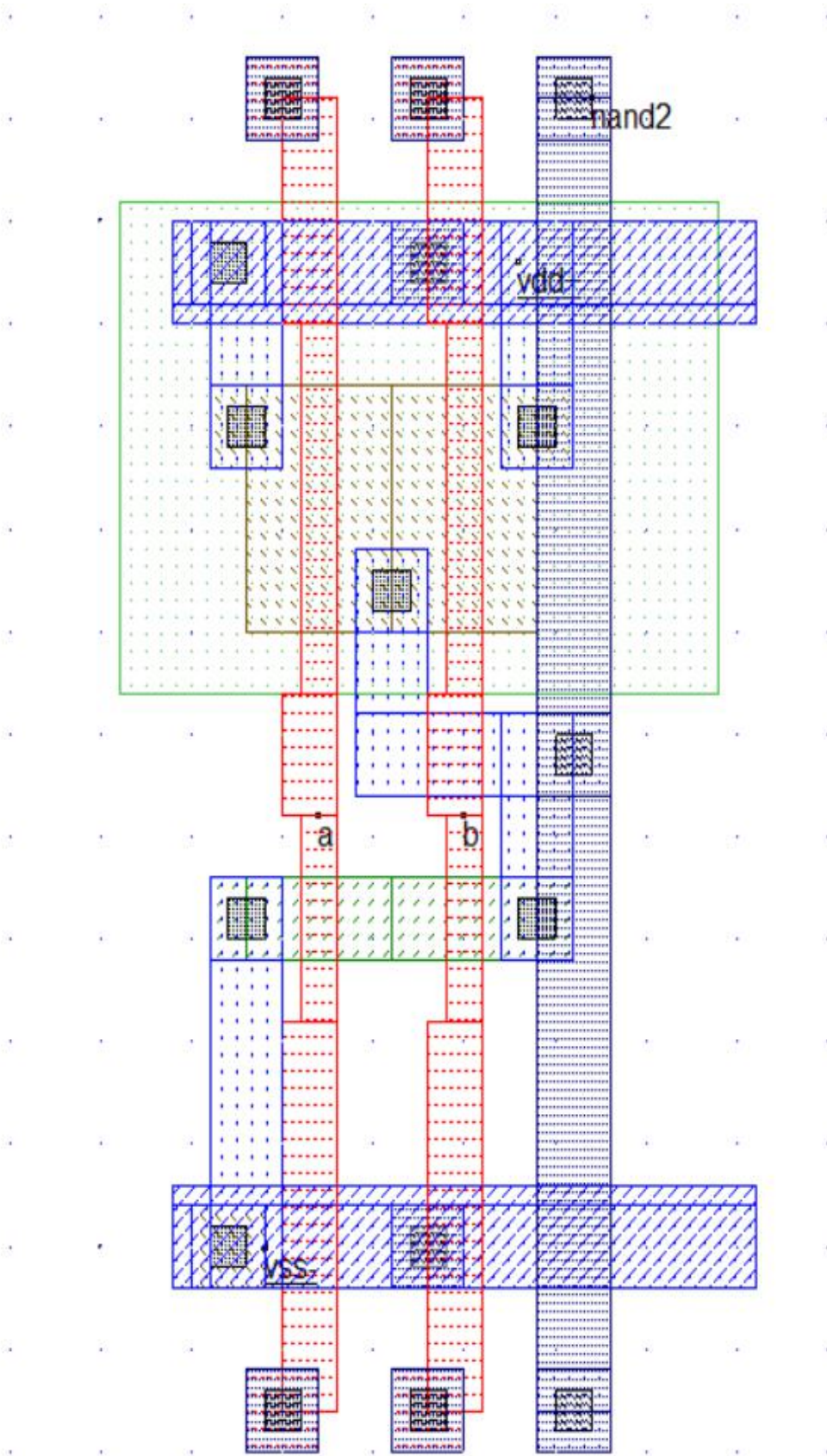




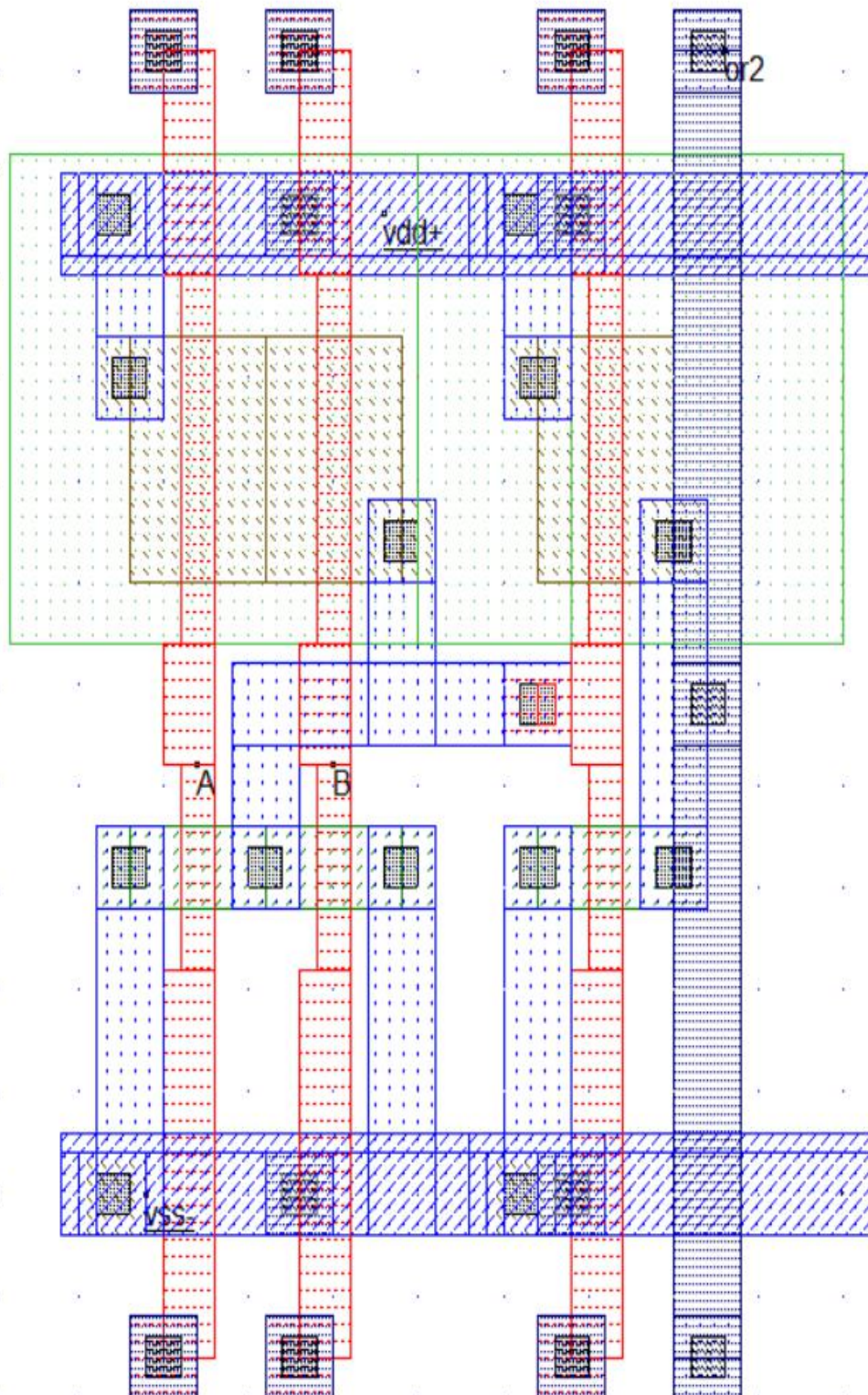
Πύλη AND , Layout



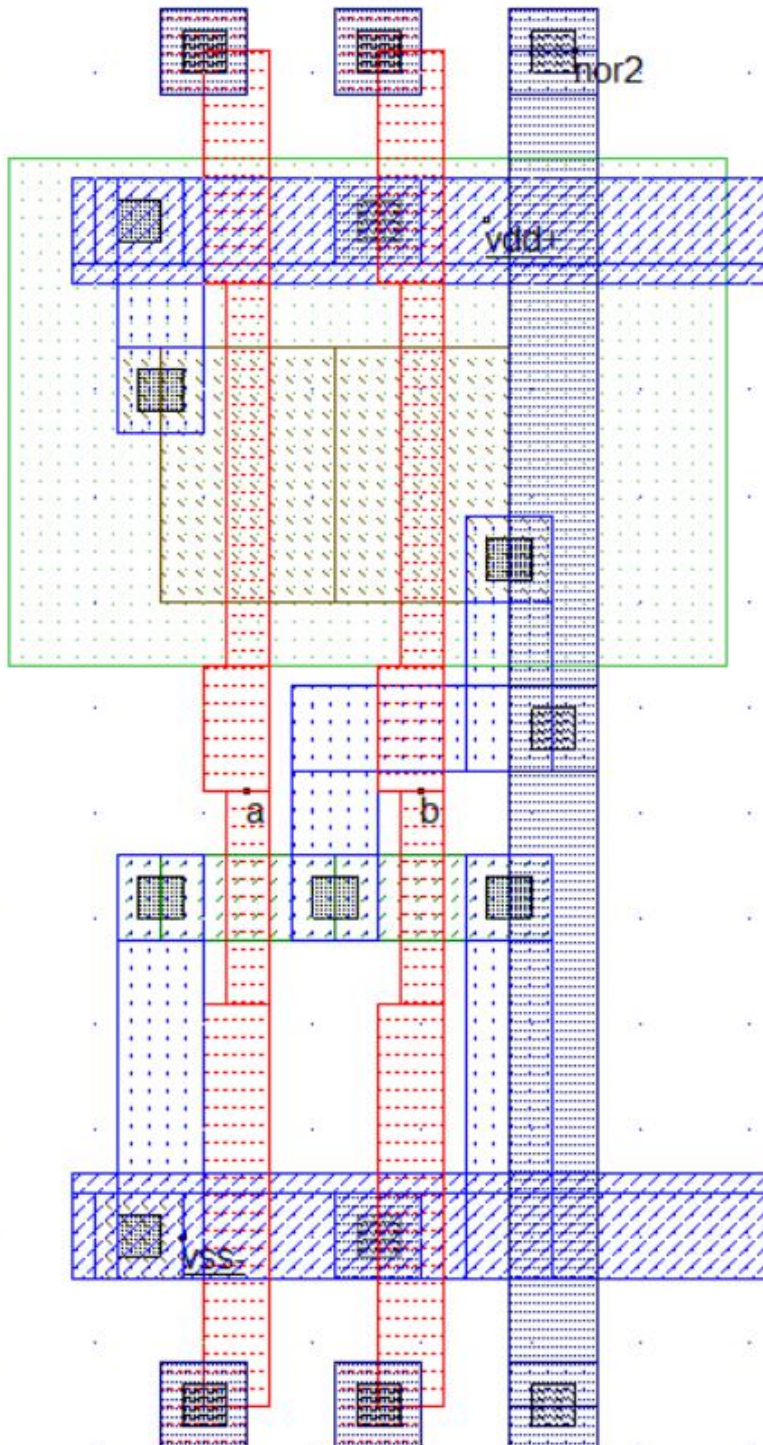
Πύλη NAND , Layout



Πύλη OR , Layout



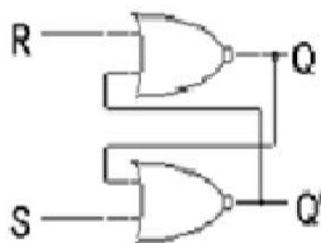
Πύλη NOR , Layout



ΠΑΡΑΡΤΗΜΑ Α

RS LATCH WITH NOR GATES

Πίνακας Αληθείας



S	R	Q(t)	Q(t+1)	
0	0	0	0	hold
0	0	1	1	
0	1	0	0	reset
0	1	1	0	
1	0	0	1	set
1	0	1	1	
1	1	0	X	not allowed
1	1	1	X	

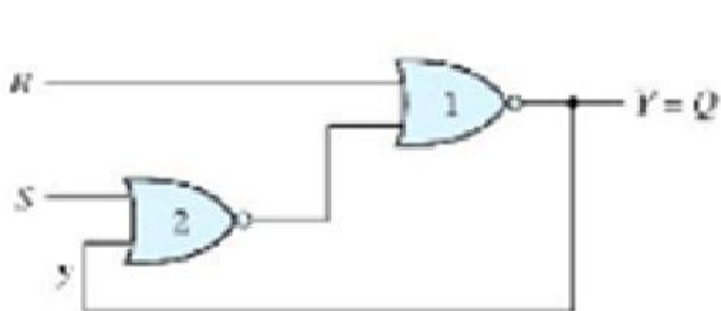
	S			
Q(t)	0	0	X	1
	1	0	X	1
	R			

Για το σχήμα της ανάδρασης έχουμε τα παρακάτω

Η λογική συνάρτηση είναι:
 εάν πούμε ότι $Y = Q$ τότε παίρνουμε $Y = S * R' + R * y'$
 Αλλά εάν θέσουμε τα $RS = 0$, τότε η λογική συνάρτηση γίνεται $Y = S + R' * y$

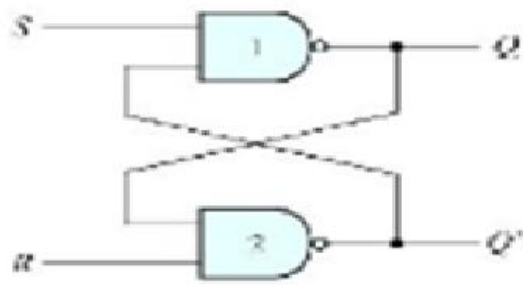
Η λογική συνάρτηση Εκφράζεται και έτσι:
 $Q(n+1) = S + R' * Q(n)$

Η λογική συνάρτηση για το κύκλωμα της ανασύζευξης είναι
 $Q_{next} = (R + Q'_{current})'$, $Q_{next} = (S + Q_{current})'$

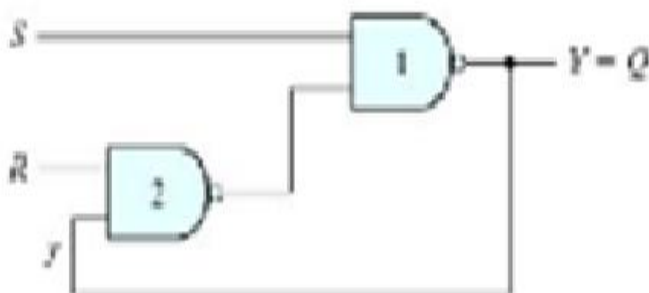


Y	SR			
	01	00	11	10
0	0	0	0	1
1	1	0	0	1

RS LATCH WITH NAND GATES



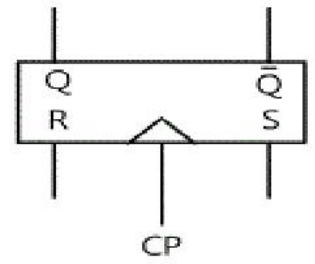
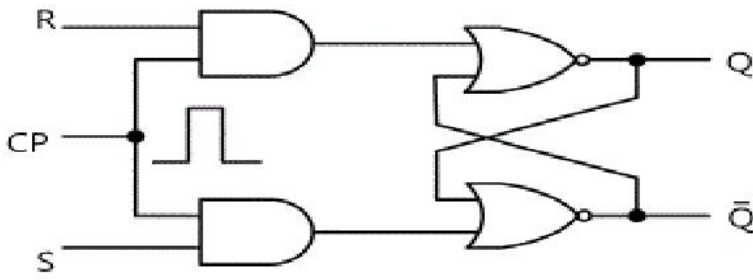
S	R	Q	Q'
1	0	0	1
1	1	0	1
0	1	1	0
0	0	1	1



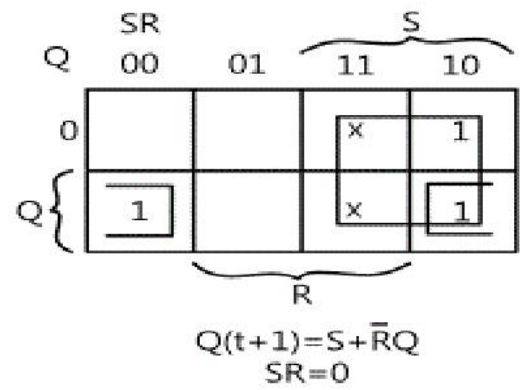
SR		Q			
		00	01	11	10
Q	0	1	1	0	0
	1	1	1	1	0

ΛΟΓΙΚΗ ΣΥΝΑΡΤΗΣΗ $Y = S' + R * y$ για την ανάδραση και για το κύκλωμα σύζευξης είναι $Q_{next} = (S * Q_{current})'$, $Q_{next}' = (R * Q_{current})'$





Με πύλες NOR και AND




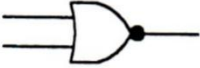

Q	S	R	Q(t+1)
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	Negative Status
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	Negative Status



ΠΙΝΑΚΑΣ Α

ΕΙΔΟΣ ΠΥΛΗΣ	ΛΟΓΙΚΟ ΣΥΜΒΟΛΟ	ΛΟΓΙΚΗ ΕΞΙΣΩΣΗ	ΠΙΝΑΚΕΣ ΑΛΗΘΕΙΑΣ		
			Είσοδοι	Εξοδος (F)	
NOT		$F = \bar{A}$	1	0	
			0	1	
AND		$F = A \cdot B$	0	0	0
			0	1	0
			1	0	0
			1	1	1
OR		$F = A + B$	0	0	0
			0	1	1
			1	0	1
			1	1	1
XOR		$F = A \oplus B$	0	0	0
			0	1	1
			1	0	1
			1	1	0

ΠΙΝΑΚΑΣ Β

ΕΙΔΟΣ ΠΥΛΗΣ	ΛΟΓΙΚΟ ΣΥΜΒΟΛΟ	ΛΟΓΙΚΗ ΕΞΙΣΩΣΗ	ΠΙΝΑΚΕΣ ΑΛΗΘΕΙΑΣ		
			Είσοδοι	Εξοδος (F)	
NAND		$F = \overline{A \cdot B}$	0	0	1
			0	1	1
			1	0	1
			1	1	0
NOR		$F = \overline{A + B}$	0	0	1
			0	1	0
			1	0	0
			1	1	0
XNOR		$F = \overline{A \oplus B}$	0	0	1
			0	1	0
			1	0	0
			1	1	1

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ T F.F.

A/A	ΕΙΣΟΔΟΣ T F.F.	ΕΞΟΔΟΣ Q_n	ΕΞΟΔΟΣ Q_{n+1}
1.	0	0	0
2.	0	1	1
3.	1	0	1
4.	1	1	0

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ D F.F.

A/A	ΕΙΣΟΔΟΣ D F.F.	ΕΞΟΔΟΣ Q_n	ΕΞΟΔΟΣ Q_{n+1}
1.	0	0	0
2.	0	1	0
3.	1	0	1
4.	1	1	1

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ R-S F.F.

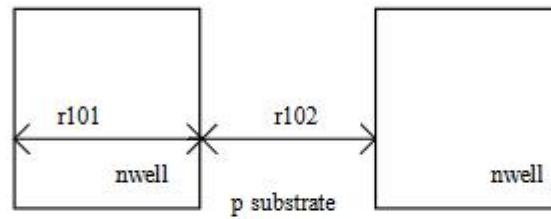
A/A	ΕΙΣΟΔΟΙ R-S F.F.		ΕΞΟΔΟΣ Q_n	ΕΞΟΔΟΣ Q_{n+1}
	R	S		
1.	0	0	0	0
2.	0	0	1	1
3.	0	1	0	1
4.	0	1	1	1
5.	1	0	0	0
6.	1	0	1	0
7.	1	1	0	?
8.	1	1	1	?

ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ J-K F.F.

A/A	ΕΙΣΟΔΟΙ J-K F.F.		ΕΞΟΔΟΣ Q_n	ΕΞΟΔΟΣ Q_{n+1}
	J	K		
1.	0	0	0	0
2.	0	0	1	1
3.	0	1	0	0
4.	0	1	1	0
5.	1	0	0	1
6.	1	0	1	1
7.	1	1	0	1
8.	1	1	1	0

To select a foundry, click on **File** -> **Select Foundry** and choose the appropriate technology in the list.

N-Well



r101 Minimum well size : 12λ

r102 Between wells : 12λ

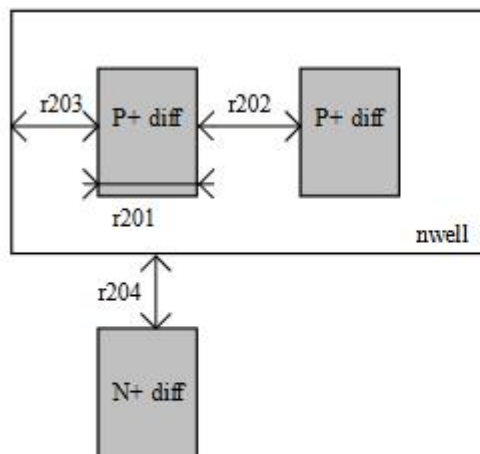
Diffusion

r201 Minimum diffusion size : 4λ

r202 Between two diffusions : 4λ

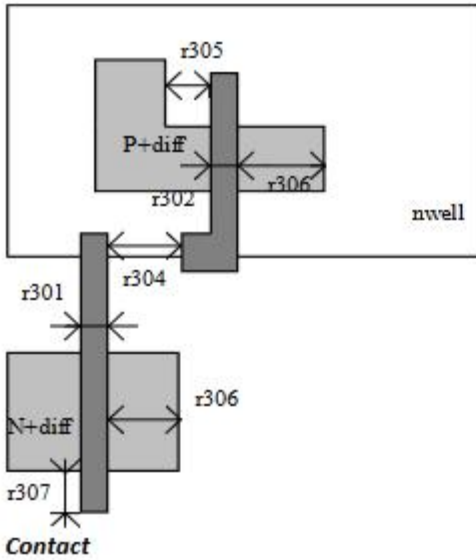
r203 Extra well after diffusion : 6λ

r204 Between diffusion and well : 6λ



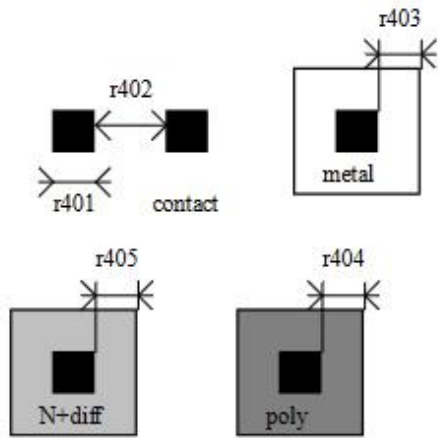
Polysilicon

- r301 Polysilicon width : 2λ
- r302 Polysilicon gate on diff n+ : 2λ
- r303 Polysilicon gate on diff p+ : 2λ
- r304 Between two polysilicons : 3λ
- r305 Poly v.s other diff diffusion : 2λ
- r306 Diffusion after polysilicon : 4λ
- r307 Extension of Poly after diff : 3λ



Contact

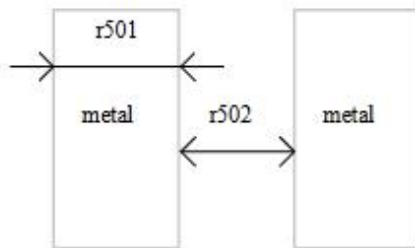
- r401 Contact width : 2λ
- r402 Between two contacts : 3λ
- r403 Extra metal over contact: 1λ
- r404 Extra poly over contact: 2λ
- r405 Extra diff over contact: 1λ



Metal 1

r501 Metal width : 3λ

r502 Between two metals : 3λ



Via

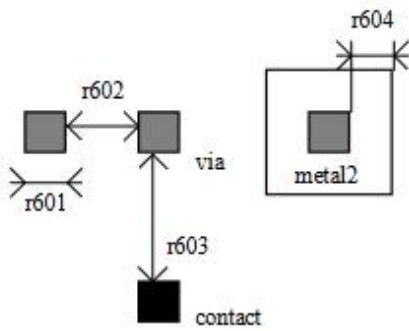
r601 Via width : 3λ

r602 Between two Via : 3λ

r603 Between Via and contact : 3λ

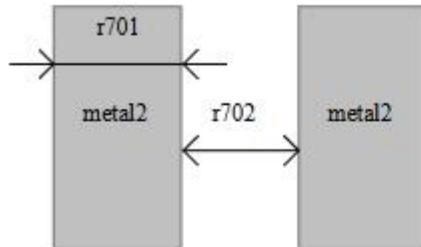
r604 Extra metal over via : 2λ

r605 Extra metal 2 over via : 2λ



Metal 2

- r701 Metal width: 5λ
- r702 Between two metal2 : 5λ



Via 2

- r801 Via2 width : 3λ
- r802 Between two Via2s: 4λ
- r803 Between Via2 and via : 4λ
- r804 Extra metal2 & metal 3 over via2: 3λ

Metal 3

- r901 Metal3 width: 6λ
- r902 Between two metal3s : 5λ

Via 3

- ra01 Via3 width : 4λ
- ra02 Between two Via3s : 6λ
- ra03 Between Via3 and via2 : 6λ
- ra04 Extra metal4 and metal3 over via3: 6λ

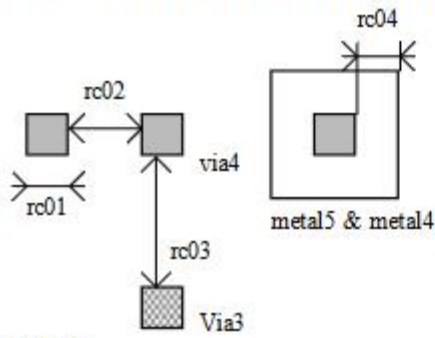
Metal 4

- rb01 Metal4 width: 10λ
- rb02 Between two metal4s: 22λ

Via 4

- rc01 Via4 width : 4λ
- rc02 Between two Via4s : 6λ
- rc03 Between Via4 and Via3 : 6λ

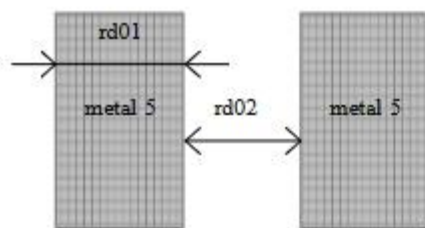
rc04 Extra metal4 & metal 5 over via4: 6λ



Metal 5

rd01 Metal 5 width: 10λ

rd02 Between two metal5s : 4λ



Pads

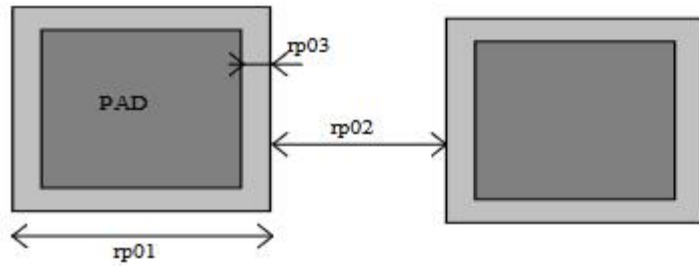
rp01 Pad width: $100 \mu\text{m}$ (lambda conversion depending on the technology)

rp02 Between two pads $100 \mu\text{m}$

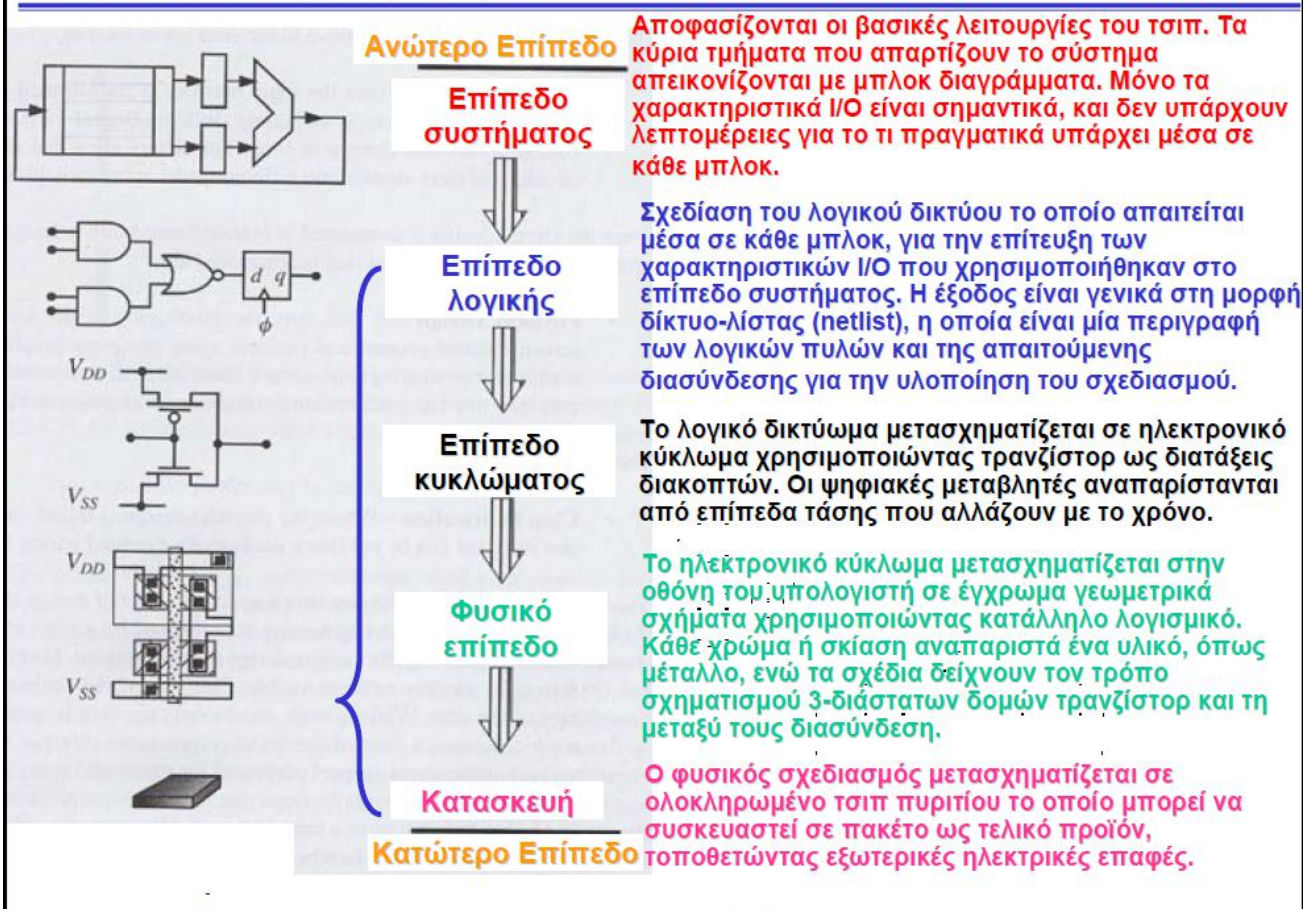
rp03 Opening in passivation v.s via : $5 \mu\text{m}$

rp04 Opening in passivation v.s metals: $5 \mu\text{m}$

rp05 Between pad and unrelated active area : $20 \mu\text{m}$



Επίπεδα σχεδίασης



ΑΝΤΩΝΙΟΣ ΜΙΧ ΜΑΡΑΓΚΟΥΔΑΚΗΣ

ΤΥΠΟΛΟΓΙΟ VLSI

Τιμές σταθερών			
Σταθερά	Σύμβολο	Τιμή	Μονάδες
Φορτίο ηλεκτρονίου	q	$1.6 \cdot 10^{-19}$	C
Διηλεκτρική σταθερά του Si	ϵ_{Si}	$1.05 \cdot 10^{-12}$	F/cm
Διηλεκτρική σταθερά του SiO ₂	ϵ_{ox}	$3.5 \cdot 10^{-12}$	F/cm
Διαπερατότητα του SiO ₂	μ	$12.6 \cdot 10^{-7}$	Wb/A.m

Κόστος ολοκληρωμένων κυκλωμάτων (IC) και απόδοση ψηφιάδας	Σύμβολα MOSFET
<p>μεταβλητό κόστος ανά IC = $\frac{\text{κόστος ψηφιάδας} + \text{κόστος ελέγχου ψηφιάδας} + \text{κόστος συσκευασίας}}{\text{απόδοση ψηφιάδας}}$</p> <p>κόστος ανά IC = μεταβλητό κόστος + $\frac{\text{σταθερό κόστος ψηφιάδας}}{\text{όγκος παραγωγής}}$</p> <p>κόστος ψηφιάδας = $\frac{\text{κόστος δισκίου}}{\text{πλήθος ψηφιάδων ανά δισκίο} + \text{απόδοση ψηφιάδας}}$</p> <p>ψηφιάδες ανά δισκίο = $\frac{\pi \times (\text{διάμετρος δισκίου})^2}{\text{επιφάνεια ψηφιάδας}} = \frac{\pi \times \text{διάμετρος δισκίου}}{\sqrt{2} \times \text{επιφάνεια ψηφιάδας}}$</p> <p>απόδοση ψηφιάδας = $\frac{\text{πλήθος ψηφιάδων ανά δισκίο που λειτουργούν}}{\text{συνολικό πλήθος ψηφιάδων ανά δισκίο}} \times 100 =$ $\left(1 + \frac{\text{ατέλειες ανά μονάδα επιφάνειας} \times \text{επιφάνεια ψηφιάδας}}{\alpha}\right)^{-\alpha} \times 100$</p> <p>$\alpha$: παράμετρος διεργασίας κατασκευής</p>	<p>Σύμβολα MOSFET</p> <p>NMOS</p> <p>PMOS</p>

Τάση κατωφλίου τρανζίστορ MOSFET
<p>$V_T = V_{T0} \pm \gamma \cdot \left(\sqrt{ -2 \cdot \phi_F + V_{SB} } - \sqrt{ -2 \cdot \phi_F } \right)$ (+ για τρανζίστορ NMOS και - για τρανζίστορ PMOS)</p> <p>$V_{T0} = \text{τάση κατωφλίου για } V_{SB} = 0, V_{SB}: \text{ τάση πηγής-υποστρώματος}, \phi_F: \text{ δυναμικό Fermi}, t_{ox}: \text{ πάχος οξειδίου}, N: \text{ πυκνότητα συγκέντρωσης προσμειξένων υποστρώματος (νόθευση υποστρώματος)}$</p> <p>$\gamma = \frac{t_{ox}}{\epsilon_{ox}} \cdot \sqrt{2 \cdot q \cdot \epsilon_{Si} \cdot N}$: συντελεστής φαινομένου σώματος</p>

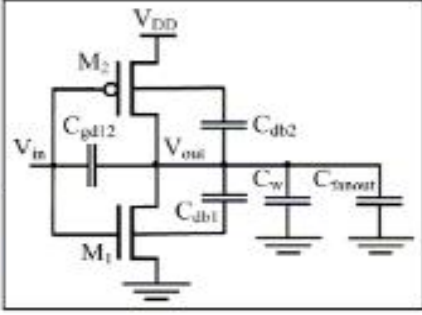
Ρεύμα υποδοχής τρανζίστορ NMOS και PMOS μεγάλου μήκους καναλιού	Συντελεστές κέρδους των τρανζίστορ:
<p>$I_{DN} = k_n \cdot \left[(V_{GS} - V_{Tn}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right], V_{GS} \geq V_{Tn}, V_{DS} < V_{GS} - V_{Tn}, \text{ Γραμμική περιοχή}$</p> <p>$I_{DN} = \frac{k_n}{2} \cdot (V_{GS} - V_{Tn})^2 \cdot (1 + \lambda_n \cdot V_{DS}), V_{GS} \geq V_{Tn}, V_{DS} \geq V_{GS} - V_{Tn}, \text{ Περιοχή κορεσμού}$</p> <p>$I_{DP} = k_p \cdot \left[(V_{GS} - V_{Tp}) \cdot V_{DS} - \frac{V_{DS}^2}{2} \right], V_{GS} \leq V_{Tp}, V_{DS} > V_{GS} - V_{Tp}, \text{ Γραμμική περιοχή}$</p> <p>$I_{DP} = \frac{k_p}{2} \cdot (V_{GS} - V_{Tp})^2 \cdot (1 + \lambda_p \cdot V_{DS}), V_{GS} \leq V_{Tp}, V_{DS} \leq V_{GS} - V_{Tp}, \text{ Περιοχή κορεσμού}$</p>	<p>$k_n = k'_n \cdot \frac{W_n}{L_n}, k'_n = \mu_n \cdot C_{ox}$</p> <p>$k_p = k'_p \cdot \frac{W_p}{L_p}, k'_p = \mu_p \cdot C_{ox}$</p> <p>W, L: πλάτος, μήκος καναλιού των τρανζίστορ $\mu_{(el)}$: κινητικότητα ηλεκτρονίων (οπών) λ: συντελεστής διαμόρφωσης μήκους καναλιού των τρανζίστορ</p>

Ρεύμα υποδοχής τρανζίστορ NMOS και PMOS μικρού μήκους καναλιού	V_{DSAT} : τάση υποδοχής-πηγής, στην οποία συμβαίνει κορεσμός της ταχύτητας των φορέων.
<p>$I_{DN} = k_n \cdot \left[(V_{GS} - V_{Tn}) \cdot V_{DSATn} - \frac{V_{DSATn}^2}{2} \right] \cdot (1 + \lambda_n \cdot V_{DS}), V_{DS} \geq V_{DSATn}$</p> <p>$I_{DP} = k_p \cdot \left[(V_{GS} - V_{Tp}) \cdot V_{DSATp} - \frac{V_{DSATp}^2}{2} \right] \cdot (1 + \lambda_p \cdot V_{DS}), V_{DS} \leq V_{DSATp}$</p>	<p>Για $V_{DS} < V_{DSATn}$ και $V_{DS} > V_{DSATp}$, ισχύουν οι σχέσεις της γραμμικής περιοχής των τρανζίστορ NMOS και PMOS μεγάλου μήκους καναλιού</p>

Ισοδύναμη αντίσταση του MOSFET	I_{DSAT} : ρεύμα υποδοχής του τρανζίστορ στον κορεσμό ταχύτητας των φορέων για $V_{GS} = V_{DD}$ και $\lambda = 0, V_{DD}$: τάση τροφοδοσίας
<p>$R_{eq} = \frac{1}{2} \cdot \left[\frac{V_{DD}}{I_{DSAT} \cdot (1 + \lambda \cdot V_{DD})} + \frac{V_{DD}/2}{I_{DSAT} \cdot (1 + \lambda \cdot V_{DD}/2)} \right] \approx \frac{3}{4} \cdot \frac{V_{DD}}{I_{DSAT}} \cdot \left(1 - \frac{5}{6} \cdot \lambda \cdot V_{DD} \right)$</p>	


Χωρητικότητες του MOSFET				
Χωρητικότητα πύλης: $C_G = C_{GC} + C_{GDO} + C_{GSO}$				
Χωρητικότητα πύλης-καναλιού: $C_{GC} = C_{GCN} + C_{GCS} + C_{GCD}$				
Περιοχή	C_{GCN}	C_{GCS}	C_{GCD}	C_{GC}
Αποκοπή	$C_{ox} \cdot W \cdot L$	0	0	$C_{ox} \cdot W \cdot L$
Γραμμική	0	$C_{ox} \cdot W \cdot L / 2$	$C_{ox} \cdot W \cdot L / 2$	$C_{ox} \cdot W \cdot L$
Κορεσμός	0	$(2/3) \cdot C_{ox} \cdot W \cdot L$	0	$C_{ox} \cdot W \cdot L$
$C_{ox} = \epsilon_{ox} / t_{ox}$: χωρητικότητα οξειδίου πύλης (SiO ₂) ανά μονάδα επιφάνειας				
C_{GDO}, C_{GSO} : χωρητικότητες επικάλυψης ανά μονάδα πλάτους καναλιού, μεταξύ πύλης και πηγής και μεταξύ πύλης και υποδοχής.				

Χωρητικότητες του MOSFET (συνέχεια)	
Χωρητικότητες επικάλυψης: $C_{gs0} = C_{gs} \cdot W$ και $C_{gd0} = C_{gd} \cdot W$	C_j : χωρητικότητα επαφής ανά μονάδα επιφάνειας, C_{jsw} : χωρητικότητα επαφής ανά μονάδα περιφέρειας, L_s : μήκος επαφής, V_j : τάση (πόλωση) επαφής, C_{j0} : χωρητικότητα βάσης επαφής για $V_j = 0$, C_{jsw0} : χωρητικότητα περιφερειακών πλευρών επαφής για $V_j = 0$, ϕ_b : ενσωματωμένο δυναμικό επαφής (0.6 έως 1 V), m_j, m_{jsw} : εκθετικοί συντελεστές (0.3 έως 0.5).
Χωρητικότητα επαφής πηγής-υποστρώματος ή υποδοχής-υποστρώματος (χωρητικότητα περιοχής διάχυσης) = χωρητικότητα βάσης επαφής + χωρητικότητα περιφερειακών πλευρών επαφής	
Χωρητικότητα βάσης επαφής: $C_{gsbase} = C_j \cdot W \cdot L_s$	
Χωρητικότητα περιφερειακών πλευρών επαφής: $C_{gsatall} = C_{jsw} \cdot (W + 2L_s)$	
$C_j = C_{j0} \cdot \left(1 - \frac{V_j}{\phi_b}\right)^{-m_j}, \quad C_{jsw} = C_{jsw0} \cdot \left(1 - \frac{V_j}{\phi_b}\right)^{-m_{jsw}}$	

Αντιστροφεία CMOS	
Κατώφλι μετάβασης: $V_M \approx \frac{r \cdot V_{DD}}{1+r}, \quad r = \frac{k_p \cdot V_{DSATp}}{k_n \cdot V_{DSATn}}$	V_{OL}, V_{OH} : στάθμες τάσης ξ : κέρδος ή κλίση μέσω σημείου C_{ch} : χωρητικότητα περιοχής υποδοχής C_{ov} : χωρητικότητα διασυνδέσεων = (χωρητικότητα ανά μονάδα επιφάνειας γραμμής διασύνδεσης) \times (επιφάνεια γραμμής διασύνδεσης) C_{load} : χωρητικότητα φορτίου εξόδου V_{high}, V_{low} : τιμές μεταξύ των οποίων κυμαίνεται η τάση επαφής υποστρώματος-υποδοχής, κατά τη μετάβαση της τάσης εξόδου t_{MH} : καθυστέρηση διάδοσης για μετάβαση της εξόδου του αντιστροφέα από την υψηλή στη χαμηλή στάθμη t_{ML} : καθυστέρηση διάδοσης για μετάβαση της εξόδου του αντιστροφέα από τη χαμηλή στην υψηλή στάθμη I_{on} : μέση τιμή ρεύματος του NMOS, κατά τη μετάβαση της τάσης εξόδου από την υψηλή στη χαμηλή στάθμη I_{off} : μέση τιμή ρεύματος του PMOS, κατά τη μετάβαση της τάσης εξόδου από τη χαμηλή στην υψηλή στάθμη P_{0-1} ή a_{0-1} : πιθανότητα μία αλλαγή κατάστασης του ρολογιού να έχει ως αποτέλεσμα μία μετάβαση που προκαλεί κατανάλωση ενέργειας (μετάβαση από την χαμηλή στην υψηλή στάθμη) f : συχνότητα σήματος ρολογιού t_r : χρονικό διάστημα κατά το οποίο αγγουν και τα δύο τρανζίστορ του αντιστροφέα I_{peak} : μέγιστη τιμή ρεύματος βραχυκυκλώματος I_{sw} : ρεύμα που ρέει μεταξύ της τροφοδοσίας και της γείωσης, όταν δεν υφίσταται μεταβατική δραστηριότητα α : παράμετρος τεχνολογίας
Περιθώρια θορύβου: $NM_H = V_{OH} - V_{IH}, \quad NM_L = V_{IL} - V_{OL}$ $V_{IH} = V_M + \frac{V_M}{ \xi }, \quad V_{IL} = V_M - \frac{V_{DD} - V_M}{ \xi }$ $\xi = \frac{dV_{out}}{dV_{in}} \Big _{V_{in}=V_{out}} \approx - \frac{1+r}{(V_M - V_{Tn} - V_{DSATn}/2) \cdot (\lambda_n - \lambda_p)}$	
Χωρητικότητα εξόδου: $C_L = C_{db1} + C_{db2} + C_{gd12} + C_w + C_{fanout}$ $C_{gd12} = 2 \cdot C_{gs0n} \cdot W_n + 2 \cdot C_{gs0p} \cdot W_p, \quad C_{db} = W \cdot L_s \cdot C_j + (W + 2 \cdot L_s) \cdot C_{jsw}$ $C_j = C_{j0} \cdot K_{eq} = C_{j0} \cdot \frac{(1 - V_{high}/\phi_b)^{-m_j} + (1 - V_{low}/\phi_b)^{-m_j}}{2}$ $C_{jsw} = C_{jsw0} \cdot K_{eqsw} = C_{jsw0} \cdot \frac{(1 - V_{high}/\phi_b)^{-m_{jsw}} + (1 - V_{low}/\phi_b)^{-m_{jsw}}}{2}$	
Καθυστέρηση διάδοσης: $t_p = \frac{t_{pHL} + t_{pLH}}{2}, \quad t_{pHL} = 0.69 \cdot R_{eqn} \cdot C_L$ $t_{pLH} = 0.69 \cdot R_{eqp} \cdot C_L$ $t_{pHL} = \frac{(V_{DD}/2) \cdot C_L}{I_{on-n}}, \quad t_{pLH} = \frac{(V_{DD}/2) \cdot C_L}{I_{on-p}}$	
Χωρητική ισχύς: $P_{dyn} = C_L \cdot V_{DD}^2 \cdot P_{0-1} \cdot f$	
Στατική ισχύς: $P_{stat} = I_{stat} \cdot V_{DD}$	
Ισχύς βραχυκυκλώματος: $P_{sp} = t_{sc} \cdot V_{DD} \cdot I_{peak} \cdot f$	
Γινόμενο ενέργειας-καθυστέρησης: $EDP = \frac{C_L \cdot V_{DD}^2}{2} \cdot t_p \approx \frac{\alpha \cdot C_L^2 \cdot V_{DD}^3}{2 \cdot (V_{DD} - V_T - V_{DSAT}/2)}$	
	

Αλυσίδα αντιστροφέν CMOS	
Καθυστέρηση αντιστροφέα: $t_{pi} = t_{p0} \cdot \left(1 + \frac{C_{ext}}{\gamma \cdot C_s}\right) = t_{p0} \cdot (1 + f/\gamma), \quad f = \frac{C_{ext}}{C_s}$	f : ενεργός φόρτος εξόδου αντιστροφέα C_{ext} : χωρητικότητα εξωτερικού φορτίου αντιστροφέα C_s : χωρητικότητα πύλης εισόδου αντιστροφέα C_{int} : ενδογενής χωρητικότητα αντιστροφέα $\gamma = C_{int}/C_s$ t_{p0} : ενδογενής καθυστέρηση αντιστροφέα ή καθυστέρηση χωρίς εξωτερικό φορτίο
Καθυστέρηση αλυσίδας N αντιστροφέν: $t_p = t_{p0} \cdot \sum_{j=1}^N \left(1 + \frac{C_{s,j+1}}{\gamma \cdot C_{s,j}}\right), \quad C_{s,N+1} = C_L$	
Ενεργός φόρτος εξόδου (f) που ελαχιστοποιεί την καθυστέρηση: $f = \sqrt[3]{F}$	
Συνολικός ενεργός φόρτος αλυσίδας: $F = C_L / C_{s,1}$	

<p>Αλυσίδα αντιστροφών CMOS (συνέχεια)</p> <p>Ελάχιστη καθυστέρηση αλυσίδας: $t_{p\min} = N \cdot t_{p0} \cdot \left(1 + \frac{\sqrt{F}}{\gamma}\right)$</p> <p>Βέλτιστο πλήθος βαθμίδων αλυσίδας (για ελάχιστη καθυστέρηση): $N = \ln(F)$</p> <p>Για βέλτιστο πλήθος βαθμίδων, ο ενεργός φόρτος εξόδου των αντιστροφών γίνεται: $f = \sqrt{F} = \sqrt{e^N} = e = 2.7183$</p>

<p>Καθυστέρηση αλυσίδας Elmore</p>  <p>$t = \sum_{i=1}^N (C_i \cdot \sum_{j=1}^i R_j)$, δηλαδή $t_i = C_1 \cdot R_1 + C_2 \cdot (R_1 + R_2) + \dots + C_i \cdot (R_1 + R_2 + \dots + R_i)$</p>

<p>Διक्टώμα πυλών CMOS</p> <p>Καθυστέρηση πύλης: $t_p = t_{p0} \cdot (p + \xi \cdot f / \gamma)$</p> <p>$p = N$, N: πλήθος εισόδων πύλης</p> <p>$\xi_{\text{αντιστροφή}} = 1$, $\xi_{\text{NAND}} = (N + 2) / 3$, $\xi_{\text{NOR}} = (2 \cdot N + 1) / 3$</p> <p>Συνολική καθυστέρηση μιας διαδρομής N πυλών:</p> $D = \sum_{j=1}^N t_{p,j} = t_{p0} \cdot \sum_{j=1}^N \left(p_j + \frac{f_j \cdot \xi_j}{\gamma} \right)$ <p>Λογική προσπάθεια διαδρομής: $G = \xi_1 \cdot \xi_2 \cdot \dots \cdot \xi_N$</p> <p>Ηλεκτρική προσπάθεια διαδρομής: $F = f_1 \cdot f_2 \cdot \dots \cdot f_N = C_L / C_{\xi,1}$</p> <p>Προσπάθεια διακλάδωσης πύλης: $b_j = (C_{\text{on-path}} + C_{\text{off-path}}) / C_{\text{on-path}}$</p> <p>Προσπάθεια διακλάδωσης διαδρομής: $B = b_1 \cdot b_2 \cdot \dots \cdot b_N$</p> <p>Συνολική προσπάθεια διαδρομής: $H = G \cdot F \cdot B$</p> <p>Προσπάθεια πύλης για ελάχιστη καθυστέρηση διαδρομής: $h = \sqrt{H}$</p> <p>Ελάχιστη καθυστέρηση διαδρομής: $D_{\min} = t_{p0} \cdot \sum_{j=1}^N \left(p_j + \frac{N \cdot \sqrt{H}}{\gamma} \right)$</p>	<p>f: η ενεργός φόρτος εξόδου ή ηλεκτρική προσπάθεια πύλης</p> <p>p: λόγος της ενδογενούς καθυστέρησης (χωρίς φορτία) πύλης προς την ενδογενή καθυστέρηση του αντιστροφέα</p> <p>ξ: λογική προσπάθεια, δηλαδή πόσο μεγαλύτερη χωρητικότητα εισόδου πρέπει να διαθέτει μια πύλη, ώστε να παράξει το ίδιο ρεύμα εξόδου με έναν αντιστροφέα</p> <p>Η λογική προσπάθεια των πυλών υπολογίζεται με βάση αντιστροφέα αναφοράς με λόγο πλατών για τα PMOS και NMOS τρανζίστορ ίσο με 2</p> <p>f_j: ηλεκτρική προσπάθεια πύλης j της διαδρομής</p> <p>p_j: λόγος της ενδογενούς καθυστέρησης της πύλης j της διαδρομής προς την ενδογενή καθυστέρηση ενός αντιστροφέα</p> <p>ξ_j: λογική προσπάθεια της πύλης j</p> <p>$C_{\text{on-path}}$: χωρητικότητα φορτίου πύλης κατά μήκος της υπό ανάλυση διαδρομής</p> <p>$C_{\text{off-path}}$: χωρητικότητα συνδέσεων εκτός της υπό ανάλυση διαδρομής</p>
---	--

<p>Δραστηριότητα μετάβασης στατικών πυλών CMOS</p> <p>$\alpha_{0 \rightarrow 1} = p_0 \cdot p_1 = p_0 \cdot (1 - p_0)$</p> <p>$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} \cdot \frac{N_1}{2^N} = \frac{N_0 \cdot (2^N - N_0)}{2^{2N}}$</p>	<p>p_0: πιθανότητα η έξοδος της πύλης να είναι σε κατάσταση 0 σε έναν κύκλο</p> <p>p_1: πιθανότητα η έξοδος της πύλης να είναι σε κατάσταση 1 στον επόμενο κύκλο</p> <p>$N_0 (N_1)$: πλήθος των μηδενικών (μονάδων) στήλης εξόδου του πίνακα αλήθειας της πύλης</p> <p>N: πλήθος εισόδων της πύλης</p>
--	--

<p>Γραμμές διασύνδεσης κυκλωμάτων CMOS</p> <p>$C = C_{pp} + C_{\text{fringe}}$, $C_{pp} = W \cdot L \cdot C_{pp}$ ανά μονάδα επιφάνειας</p> <p>$C_{\text{fringe}} = 2 \cdot L \cdot C_{\text{fringe}}$, $C_{pp} = \frac{\epsilon}{t} \cdot W \cdot L$</p> <p>$c = C_{pp} + C_{\text{fringe}} = \frac{w \cdot \epsilon}{t} + \frac{2 \cdot \pi \cdot \epsilon}{\log(t/H)}$, $w = W - H/2$</p> <p>$R = \frac{\rho \cdot L}{A} = \frac{\rho \cdot L}{H \cdot W} = R_v \cdot \frac{L}{W}$, $R_v = \frac{\rho}{H}$, $c = 1 - \epsilon \cdot \mu$</p> <p>Καθυστέρηση Elmore κατανομής γραμμής IC: $\tau = r \cdot c \cdot L^2 / 2$</p>	<p>C, R: χωρητικότητα και αντίσταση γραμμής, C_{pp}: χωρητικότητα επιφάνειας γραμμής, C_{fringe}: πλευρική χωρητικότητα γραμμής</p> <p>ϵ, t: διηλεκτρική σταθερά και πάχος μονωτικού υλικού</p> <p>W, L, H: πλάτος, μήκος και πάχος γραμμής</p> <p>$C_{pp}, C_{\text{fringe}}$: χωρητικότητες (επιφάνειας, πλευρική) ανά μονάδα μήκους γραμμής, ρ, A: ειδική αντίσταση υλικού, διατομή γραμμής</p> <p>R_v: αντίσταση φύλλου, μ: διαπερατότητα μονωτικού υλικού</p> <p>c, r, l: χωρητικότητα, αντίσταση, αυτεπαγωγή γραμμής ανά μονάδα μήκους</p>
---	---

<p>Βασικά στοιχεία για το σχεδιασμό συμβολικών διαγραμμάτων (stick diagrams) κυκλωμάτων CMOS</p> <p> Μέταλλο</p> <p> Διέχουση τύπου p</p> <p> Διέχουση τύπου n</p> <p> Πολυκρυσταλλικό πυρίτιο</p> <p> Εκπαφή</p>

ΤΥΠΟΛΟΓΙΟ VLSI

(ΚΑΜΜΙΑ ΑΛΛΑΓΗ ΔΕΚΤΗ)

• Shockley 1st order transistor models

$$I_{ds} = \begin{cases} 0 & V_{gs} < V_t \\ \beta \left(V_{gs} - V_t - \frac{V_{ds}}{2} \right) V_{ds} & V_{ds} < V_{dsat} \\ \frac{\beta}{2} (V_{gs} - V_t)^2 & V_{ds} > V_{dsat} \end{cases}$$

• The current at which transistor is fully ON I_{dsat} :

$$I_{dsat} = \beta/2 (V_{DD} - V_t)^2$$

$$\beta = \mu C_{ox} \frac{W}{L}$$

$$I_{dsn} = \beta_n (V_{in} - V_{tn})^2 / 2$$

$$I_{dsn} = \beta_n [(V_{in} - V_{tn}) V_{out} - V_{out}^2 / 2]$$

$$I_{dsp} = -\beta_p [(V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) - (V_{out} - V_{DD})^2 / 2]$$

$$I_{dsp} = -(\beta_p / 2) (V_{in} - V_{DD} - V_{tp})^2$$

$$V_{in} = (V_{DD} + V_{tp} + V_{tn} * (k)^{1/2}) / (1 + (k)^{1/2})$$

$$V_{out} = (V_{in} - V_{tn}) - ((V_{in} - V_{tn})^2 - (1/k)(V_{in} - V_{DD} - V_{tp})^2)^{1/2}$$

$$V_{out} = V_{in} - V_{tp} + ((V_{in} - V_{tp})^2 - 2(V_{in} - V_{DD} - V_{tp})V_{DD} - k(V_{in} - V_{tn})^2)^{1/2}$$

$$k = \beta_n / \beta_p$$

$$NM_L = |V_{ILmax} - V_{OLmax}|$$

$$NM_H = |V_{OHmin} - V_{IHmin}|$$

$$V_{IL} = \frac{2V_{out} + V_{Tp} - V_{DD} + kV_{Tn}}{1 + k}$$

$$V_{IH} = \frac{V_{DD} + V_{Tp} + k(2V_{out} + V_{Tn})}{1 + k}$$

$$R = (\rho/t)(l/w) = R_s(l/w)$$

$$R_{ch} = k(L/W), k = 1/[\mu C_{ox}(V_{gs} - V_t)]$$

$$C_o = \epsilon_{SiO2} * \epsilon_o * A / t_{ox}$$

$$C_{dep} = \epsilon_{Si} * \epsilon_o * A / d$$

$$C_{gb} = C_{dep} * C_o / (C_{dep} + C_o)$$

$$C_g = C_{gb} + C_{gs} + C_{gd}$$

Αποκοπή: $C_{gs} = C_{gd} = 0,$

$$C_{gb} = C_o * C_{dep} / (C_o + C_{dep})$$

Γραμμική: $C_{gd} = C_{gs} = (1/2) * \epsilon_o * \epsilon_{SiO2} * A / t_{ox},$

$$C_{gb} = 0$$

Μη-γραμμική: $C_{gd} = 0,$

$$C_{gs} = (2/3) * \epsilon_o * \epsilon_{SiO2} * A / t_{ox}$$

$$C_g = C_o * A = \epsilon_o * \epsilon_{SiO2} * A / t_{ox}$$

$$C_j = C_{j0} * [1 - (V_j / V_b)]^m$$

$$t_n = 0.7 * RC * n * (n+1) / 2$$

$$t_i = 0.7 * r * c * I^2 / 2$$

$$L = (\mu / 2\pi) * \ln(4h/d)$$

$$L = (\mu / 2\pi) * \ln(8h/w + w/4h)$$

$$t_f = 2[C_L / (\beta_n * V_{DD} * (1-n))] * [(n-0.1)/(1-n) + 0.5 * \ln(19-20n)], n = V_{in} / V_{DD}$$

$$t_f \approx k * C_L / (\beta_n * V_{DD}), k = 3 \sim 4, V_{DD} = 3 \sim 5V, V_{in} = 0.5 \sim 1V$$

$$t_f = 2[C_L / (\beta_p * V_{DD} * (1-p))] * [(p-0.1)/(1-p) + 0.5 * \ln(19-20p)], p = |V_{tp}| / V_{DD}$$

$$t_f \approx k * C_L / (\beta_p * V_{DD}), k = 3 \sim 4, V_{DD} = 3 \sim 5V, |V_{tp}| = 0.5 \sim 1V$$

$$t_{dr} \approx t_f / 2, t_{df} \approx t_f / 2$$

$$t_{df} = A_N * C_L / \beta_n$$

$$A_N = [1 / (V_{DD} * (1-n))] * [2n / (1-n) + \ln[2(1-n) - V_o] / V_o], n = V_{in} / V_{DD}, V_o = V_{out} / V_{DD}$$

$$t_{dr} = A_p * C_L / \beta_p$$

$$A_p = [1 / V_{DD} * (1+p)] * [-2p / (1+p) + \ln[(2(1+p) - V_o) / V_o]], p = V_{tp} / V_{DD}, V_o = V_{out} / V_{DD}$$

$$t_{av} = (t_{df} + t_{dr}) / 2$$

$$t_{df} = \sum R_{pull\down} * \sum C_{pull\down}$$

$$t_{dr} = \sum R_{pull\up} * \sum C_{pull\up}$$

$$t_d = \sum R_i * C_i$$

```

*
* Rule File for CMOS 0.18μm
* Date : 18 May 98 by Etienne Sicard
* Date : 27 April 99 By Etienne/Fabrice
* 04 Jan 00 smaller dT
* 19 Feb 00 STI, Niso, low leakage, high VT
* 6 May 00 Fit nMOS models
* 10 Mar 01 vddh 3.3V
* 20 Apr 01 r303 for high volt gates
* 12 Jun 01 poly2
* 10 Jun 02 contact via sizes
* 14 Jan 05 correct level3 pmos
*
NAME CMOS 0.18μm - 6 Metal
*
lambda = 0.1 (Lambda is set to half the gate size)
metalLayers = 6 (Number of metal layers : 6)
lowK = 3.9 (inter-metal oxide)
salicide = 1 (Enable salicide 1=enable 0= disable)
*
* Design rules associated to each layer
*
* Well (Gds2 level 1)
r101 = 10 (well width)
r102 = 11 (well spacing)
*
* Diffusion (N+ 16, P+ 17, active 2)
*
r201 = 4 (diffusion width)
r202 = 4 (diffusion spacing)
r203 = 6 (border of nwell on diffp)
r204 = 6 (nwell to next diffn)
*
* Poly
*
r301 = 2 (poly width)
r302 = 2 (gate length)
r303 = 4 (high voltage gate length)
r304 = 3 (poly spacing)
r305 = 2 (spacing poly and unrelated diff)
r306 = 4 (width of drain and source diff)
r307 = 3 (extra gate poly)
*
* Poly 2
*
r311 = 2 (poly2 width)
r312 = 2 (poly2 spacing)
*
* Contact
r401 = 2 (contact width)

```

```

r403 = 2 (metal border for contact)
r404 = 2 (poly border for contact)
r405 = 2 (diff border for contact)
r406 = 3 (contact to poly gate)
* metal
r501 = 3 (metal width)
r502 = 4 (metal spacing)
* via
r601 = 2 (Via width)
r602 = 4 (Spacing)
r603 = 0 (via/contact)
r604 = 2 (border of metal&metal2)
* metal 2 (27)
r701 = 3 (Metal 2 width)
r702 = 4 (spacing)
* via 2 (32)
r801 = 2 (Via width)
r802 = 4 (Spacing)
r804 = 2 (border of metal2&metal3)
* metal 3 (34)
r901 = 3 (width)
r902 = 4 (spacing)
* via 3 (35)
ra01 = 2 (Via width)
ra02 = 4 (Spacing)
ra04 = 2 (border of metal3&metal4)
* metal 4
rb01 = 3 (width)
rb02 = 4 (spacing)
* via 4
rc01 = 2 (Via width)
rc02 = 4 (Spacing)
rc04 = 2 (border of metal4&metal5)
* metal 5
rd01 = 8 (width)
rd02 = 8 (spacing)
* via 5
re01 = 6 (Via width)
re02 = 4 (Spacing)
re04 = 2 (border of metal5&metal6)
* metal 6
rd01 = 8 (width)
rd02 = 8 (spacing)

```

Σταθερός όρος	Πρόθεμα	Σύμβολο	Σταθερός όρος	Σύμβολο	Σύμβολο
10^{24}	yotta	Y	10^{-1}	deci	d
10^{21}	zetta	Z	10^{-2}	centi	c
10^{18}	exa	E	10^{-3}	milli	m
10^{15}	peta	P	10^{-6}	micro	μ
10^{12}	tera	T	10^{-9}	nano	n
10^9	giga	G	10^{-12}	pico	p
10^6	mega	M	10^{-15}	femto	f
10^3	kilo	k	10^{-18}	atto	a
10^2	hecto	h	10^{-21}	zepto	z
10^1	deca	da	10^{-24}	yocto	y

Παραγόμενες Μονάδες:

Παραγόμενη	Μονάδες SI	
	όνομα	σύμβολο
Εμβαδό	Τετραγωνικό μέτρο	m ²
Όγκος	Κυβικό μέτρο	m ³
Ταχύτητα	Μέτρο ανά δευτερόλεπτο	m/s
Επιτάχυνση	Μέτρο ανά δευτ/το στο τετράγωνο	m/s ²
Γωνία	Ακτίνιο (rad)	1 rad=1 m/m
Στερεά γωνία	Στερεακτίνιο(steradian)sr	1 sr=1 m ² /m ²
Γωνιακή ταχύτητα	Ακτίνιο ανά δευτερόλεπτο	ω=rad/s
Συχνότητα	Hz (Hertz)	1 Hz=1/s
Δύναμη	N (Newton)	1N=1 m*kg/s ²
Πίεση	Pa (Pascal)	1Pa=1N/m ²
Ενέργεια, έργο	J (Joule)	1J=1N*m
Ισχύς	W (Watt)	1W=1J/s
Ηλεκτρικό φορτίο	C (coulomb)	1C=s*A
Ηλεκτρική τάση	V (Volt)	1V=1W/A
Ηλεκτρική αντίσταση	Ω(Ohm)	1Ω= 1V/A
Ηλ.αγωγιμότητα	S (siemens)	1S= 1Ω ⁻¹
Χωρητικότητα	F (Farad)	1F= 1C/V
Μαγνητική ροή	Wb (Weber)	1Wb= 1Vs
Πυκνότητα μαγνητικής ροής	T (Tesla)	1T=1Wb/m ²
Επαγωγή	H (Henry)	1H= 1Wb/A
Λαμπρότητα	L (Lambert)	1L=1lm/(m ² *sr)
Φωτεινή ροή	Lm (lumen)	1lm= 1 cd*sr
Φωτισμός επιφάνειας	Lx(Lux)	1lx=1m ⁻² ·lm
Ενεργότητα ραδιοκλειδίου	Bq (Becquerel)	1 Bq=s ⁻¹
Απορροφούμενη δόση	Gy (Gray)	1 Gy = 1 J/Kg
Ισοδύναμη δόση	Sv (sievert)	1 Sv=1J/Kg

MULTIPLIERS

<i>Value</i>	<i>Name</i>	<i>Standard Notation</i>
10^{18}	PETA	P
10^{15}	EXA	E
10^{12}	TERA	T
10^9	GIGA	G
10^6	MEGA	M
10^3	KILO	K
10^0	-	-
10^{-3}	MILLI	m
10^{-6}	MICRO	u
10^{-9}	NANO	n
10^{-12}	PICO	p
10^{-15}	FEMTO	f
10^{-18}	ATTO	a
10^{-21}	ZEPTO	z

PHYSICAL CONSTANTS & PARAMETERS

<i>Name</i>	<i>Value</i>	<i>Description</i>
ϵ_0	8.85×10^{-12} Farad/m	Vacuum dielectric constant
$\epsilon_r \text{ SiO}_2$	3.9 - 4.2	Relative dielectric constant of SiO_2
$\epsilon_r \text{ Si}$	11.8	Relative dielectric constant of silicon
$\epsilon_r \text{ ceramic}$	12	Relative dielectric constant of ceramic
k	1.381×10^{-23} J/°K	Boltzmann's constant
q	1.6×10^{-19} Coulomb	Electron charge
μ_n	$600 \text{ V}\cdot\text{cm}^{-2}$	Mobility of electrons in silicon
μ_p	$270 \text{ V}\cdot\text{cm}^{-2}$	Mobility of holes in silicon
γ_{al}	36.5×10^6 S/m	Aluminum conductivity
γ_{si}	4×10^{-4} S/m	Silicon conductivity
n_i	$1.02 \times 10^{10} \text{ cm}^{-3}$	Intrinsic carrier concentration in silicon at 300°K
ρ_{al}	$0.0277 \Omega\cdot\mu\text{m}$	Aluminum resistivity
γ_{cu}	58×10^6 S/m	Copper conductivity
ρ_{cu}	$0.0172 \Omega\cdot\mu\text{m}$	Copper resistivity
$\rho_{tungstène (W)}$	$0.0530 \Omega\cdot\mu\text{m}$	Tungsten resistivity
$\rho_{or (Ag)}$	$0.0220 \Omega\cdot\mu\text{m}$	Gold resistivity
μ_0	1.257×10^{-6} H/m	Vacuum permeability
T	300°K (27°C)	Operating temperature

Κώδικας ASCII

$b_7b_6b_5$ $b_4b_3b_2b_1$	000	001	010	011	100	101	110	111
0000	NUL	DLE	SP	0	@	P	'	p
0001	SOH	DC1	!	1	A	Q	a	q
0010	STX	DC2	"	2	B	R	b	r
0011	ETX	DC3	#	3	C	S	c	s
0100	EOT	DC4	\$	4	D	T	d	t
0101	ENQ	NAK	%	5	E	U	e	u
0110	ACK	SYN	&	6	F	V	f	v
0111	BEL	ETB	'	7	G	W	g	w
1000	BS	CAN	(8	H	X	h	x
1001	HT	EM)	9	I	Y	i	y
1010	LF	SUB	*	:	J	Z	j	z
1011	VT	ESC	+	;	K	[k	{
1100	FF	FS	'	<	L	\	l	!
1101	CR	GS	-	=	M]	m	}
1110	SO	RS	.	>	N	Æ	n	~
1111	SI	US	/	?	O	.	o	DEL

Κώδικας Gray

Δεκαδικός Αριθμός	Gray
0	0000
1	0001
2	0011
3	0010
4	0110
5	0111
6	0101
7	0100
8	1100
9	1101
10	1111
11	1110
12	1010
13	1011
14	1001
15	1000

Κώδικας BCD

Δεκαδικό ψηφίο	BCD
0	0000
1	0001
2	0010
3	0011
4	0100
5	0101
6	0110
7	0111
8	1000
9	1001

Δεκαδικό Βάση 10	Δυαδικό Βάση 2
00	0000
01	0001
02	0010
03	0011
04	0100
05	0101
06	0110
07	0111
08	1000
09	1001
10	1010
11	1011
12	1100
13	1101
14	1110
15	1111

Δεκαδικό Σύστημα

Το δεκαδικό σύστημα έχει σαν βάση το 10 και περιλαμβάνει τα ψηφία από το 0 ως το 9. Παραδείγματα:

ο πραγματικός αριθμός $567.824,93_{(10)}$ με βάση το 10 αναλύεται ως εξής:

$$5*10^5 + 6*10^4 + 7*10^3 + 8*10^2 + 2*10^1 + 4*10^0 + 9*10^{-1} + 3*10^{-2}$$

Δυαδικό Σύστημα

Το δυαδικό σύστημα έχει σαν βάση το 2 και περιλαμβάνει τα ψηφία 0 και 1.

Παραδείγματα:

ο ακέραιος αριθμός $10111001_{(2)}$ με βάση το 2 αναλύεται ως εξής:

$$1*2^7 + 0*2^6 + 1*2^5 + 1*2^4 + 1*2^3 + 0*2^2 + 0*2^1 + 1*2^0$$

και πρόκειται για τον $185_{(10)}$

Δεκαεξαδικό Σύστημα

Το δεκαεξαδικό σύστημα έχει σαν βάση το 16 και περιλαμβάνει τα 10 ψηφία του δεκαδικού ενώ τα υπόλοιπα 6 συμβολίζονται με A, B, C, D, E, F.

Οκταδικό Σύστημα

Έχει σαν βάση το 8 και περιλαμβάνει τα ψηφία από το 0 – 8 (0 – 7).

Πίνακας αντιστοιχίας αριθμητικών συστημάτων

10-δικό	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16
2-δικό	0	1	10	11	100	101	110	111	1000	1001	1010	1011	1100	1101	1110	1111	10000
8-δικό	0	1	2	3	4	5	6	7	10	11	12	13	14	15	16	17	20
16-δικό	0	1	2	3	4	5	6	7	8	9	A	B	C	D	E	F	10

Μετατροπή δυαδικού σε δεκαδικό

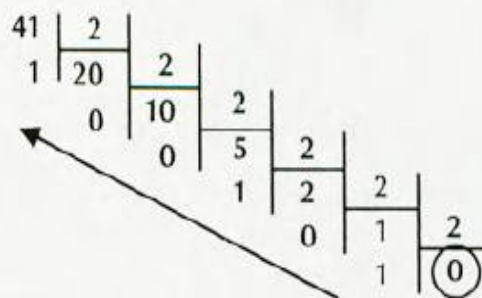
Για παράδειγμα, ο δυαδικός αριθμός $(1110)_2$ αντιστοιχεί στον δεκαδικό αριθμό $(14)_{10}$

αφού: $(1110)_2 = 1 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 = 1 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 1 = (14)_{10}$

Μετατροπή δεκαδικού σε δυαδικό

Για παράδειγμα, ο δεκαδικός αριθμός $(41)_{10}$ αντιστοιχεί στο δυαδικό αριθμό $(101001)_2$ αφού:

$(41)_{10} = (101001)_2$



Μετατροπή δεκαεξαδικού σε δεκαδικό

Παράδειγμα:

ο 16-δικός $3AC1_{(16)}$ είναι ο 10-δικός $15041_{(10)}$:

$$3 \times 16^3 + 10 \times 16^2 + 12 \times 16^1 + 1 \times 16^0 = 15041_{(10)}$$

Μετατροπή δεκαεξαδικού σε δυαδικό

Σε κάθε δεκαεξαδικό ψηφίο αντιστοιχούν τέσσερα δυαδικά.

Παράδειγμα:

για τον 16-δικό αριθμό $4A5D_{(16)}$ έχουμε:

16-δικό ψηφίο	2-δικό ψηφίο
4	0100
A	1010
5	0101
D	1101

ο αντίστοιχος δυαδικός λοιπόν αριθμός είναι ο:

$0100101001011101_{(2)}$

Μετατροπή δυαδικού σε δεκαεξαδικό

Εδώ εφαρμόζουμε το αντίστροφο. Δηλαδή μετατρέπουμε τέσσερα δυαδικά ψηφία σε ένα δεκαεξαδικό ψηφίο, ξεκινώντας από το τέλος.

Παράδειγμα:

Έστω ο 2-δικός αριθμός $10010000111010111_{(2)}$. Τον αναλύουμε σε τετράδες αρχίζοντας από το τέλος:

1 - 0010 - 0001 - 1101 - 0111

Σε κάθε τετράδα τώρα αντιστοιχεί ένα 16-δικό ψηφίο:

2-δικό ψηφίο	16-δικό ψηφίο
1	1
0010	2
0001	1
1101	D
0111	7

Οπότε, ο ζητούμενος 16-δικός είναι ο $121D7_{(16)}$

Αξιώματα Άλγεβρας Boole	
Αξίωμα 1. Ουδέτερα στοιχεία	
α) $x \cdot 1 = 1 \cdot x = x$	β) $x + 0 = 0 + x = x$
Αξίωμα 2. Αντιμεταθετική ιδιότητα	
α) $x \cdot y = y \cdot x$	β) $x + y = y + x$
Αξίωμα 3. Επιμεριστική ιδιότητα	
α) $x \cdot (y + z) = (x \cdot y) + (x \cdot z)$	β) $x + (y \cdot z) = (x + y) \cdot (x + z)$
Αξίωμα 4. Συμπλήρωμα (NOT)	
α) $x \cdot \bar{x} = 0$	β) $x + \bar{x} = 1$

Θεωρήματα Άλγεβρας Boole	
Θεώρημα 1.	
α) $x \cdot x = x$	β) $x + x = x$
Θεώρημα 2.	
α) $x \cdot 0 = 0$	β) $x + 1 = 1$
Θεώρημα 3.	
$x = \bar{\bar{x}}$	
Θεώρημα 4. Προσεταιριστική ιδιότητα	
α) $x \cdot y \cdot z = x \cdot (y \cdot z) = (x \cdot y) \cdot z$	β) $x + y + z = x + (y + z) = (x + y) + z$
Θεώρημα 5. Θεώρημα απορρόφησης	
α) $x + x \cdot y = x$	β) $x \cdot (x + y) = x$
Θεώρημα 6. Θεώρημα De Morgan	
α) $\overline{x \cdot y} = \bar{x} + \bar{y}$	β) $\overline{x + y} = \bar{x} \cdot \bar{y}$

Βιβλιογραφία

- [1] Σχεδίαση ολοκληρωμένων κυκλωμάτων CMOS VLSI, N.H. WESTE, K. ESHRAGHIAN, Μετάφραση – Επιμέλεια Κ. Πεκμετζή , Δ. Σούντρης, Κ. Γκούτης, εκδ. ΠΑΠΑΣΩΤΗΡΙΟΥ, Αθήνα 1996.
- [2] Σχεδίαση ολοκληρωμένων κυκλωμάτων CMOS VLSI, N.H. WESTE, K. ESHRAGHIAN, Μετάφραση – Επιμέλεια Κ. Πεκμετζή , Δ. Σούντρης, Κ. Γκούτης, εκδ. ΠΑΠΑΣΩΤΗΡΙΟΥ, Αθήνα 2011.
- [3] ψηφιακή Σχεδίαση , JOHN F. WAKERLY, Μετάφραση Κλειδάριθμος.
- [4] ψηφιακή Σχεδίαση Με εισαγωγή στην Verilog HDL M. MORRIS MANO , MICHAEL D. CILETTI , Μετάφραση – Επιμέλεια Δρ. Κ. Παπαοδυσσεύς, Δρ. Η. Κουκούτσης, Δρ. Π. Ρουσόπουλος, Δρ. Μ. Παναγόπουλος ,εκδ. ΠΑΠΑΣΩΤΗΡΙΟΥ, Αθήνα 2014
- [5] Microwind Book by Etienne Sicard
- [6] Δικές μου Σημειώσεις, Σχέδια και Layout στο Microwind και κώδικας σε VHDL
- [7] Σημειώσεις Μικροηλεκτρονική & VLSI , Θεωρία του Δρ. Κ. Λευτέρη Καπετανάκη
- [8] Σημειώσεις ψηφιακή Σχεδίαση/Κυκλώματα ,θεωρία και Εργαστηριακές Σημειώσεις του Δρ. Κ. Γιάννη Καλιακάτσου
- [9] Σημειώσεις Μικροηλεκτρονική & VLSI, Εργαστήριο των Δρ. Κ. Νικο Πετράκη και Δρ. Κ. Ηλία Μαλαμά
- [10] Πληροφορίες από Δυναμικό
- [11] ψηφιακά Ηλεκτρονικά , βιβλίο ΕΠΑΛ/ΤΕΛ Τομέας Ηλεκτρονικός, Παιδαγωγικό Ινστιτούτο , ΟΕΔΒ
- [12] Ψηφιακή Σχεδίαση , ενσωματωμένα συστήματα με VHDL, PETER J. ASHENDEN, Επιστημονική – Επιμέλεια Μετάφραση Μ. Ψαράκης, Ν. Κρανίτης, Δ. Γκιζόπουλος. Εκδόσεις Νέων Τεχνολογιών.
- [13] Ψηφιακά ολοκληρωμένα κυκλώματα ,Jan M. Rabaey,Anantha Chandrakasan, Borivole Nikolic , Εκδόσεις ΚΛΕΙΔΑΡΙΘΜΟΣ ,2006
- [14] https://eclass.uop.gr/modules/document/file.php/τυπολογιο_εξετάσεων.pdf

[15] ΤΥΠΟΛΟΓΙΟ VLSI ΔΡ. Κ. ΗΛΙΑΣ ΜΑΛΑΜΑΣ

[16] texas instruments

[17] Fairchild

[18] digital electronics and design with vhdl , Volnei A. Pedroni

[19] National Semiconductor

[20] Motorola

[21] Intel

[22] Hitachi

[23] Κ Βασιλάκης

[24] Digital design M. Morris Mano, Michael D. Ciletti