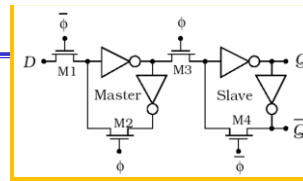


Μάθημα 12:



Ακολουθιακά λογικά κυκλώματα MOS

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο
Τμήμα Ηλεκτρονικών Μηχανικών
2023-2024

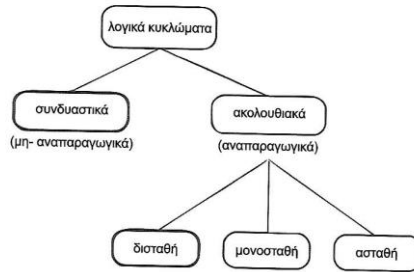
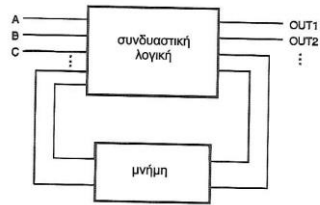
Slide 1

1

ΣΗΜΕΙΩΣΗ: Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

Slide 2

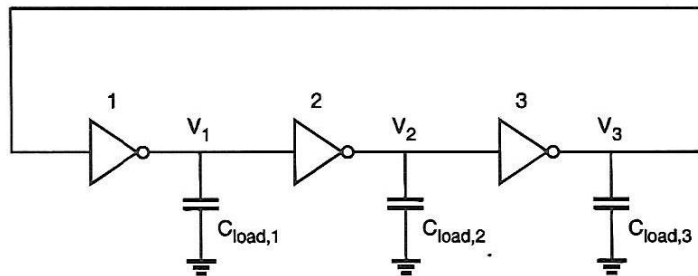
2



Σχήμα 8.1 (α) Ακολουθιακό κύκλωμα, αποτελούμενο από ένα συνδυαστικό λογικό τμήμα και ένα τμήμα (μπλοκ) μνήμης στον βρόχο ανάδρασης. (β) Κατηγοριοποίηση των λογικών κυκλωμάτων, βασισμένη στη χρονική συμπεριφορά τους.

3

Ασταθή λογικά κυκλώματα

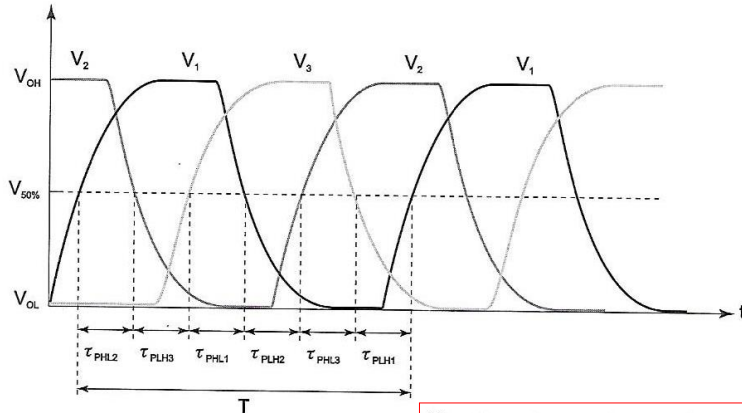


Σχήμα 6.9 Κύκλωμα ταλαντωτή δακτυλίου τριών σταδίων αποτελούμενο από πανομοιότυπους αντιστροφείς

Slide 4

4

Τυπικές κυματομορφές της τάσης των τριών αντιστροφένων



$$T = \tau_{PHL1} + \tau_{PLH1} + \tau_{PHL2} + \tau_{PLH2} + \tau_{PHL3} + \tau_{PLH3}$$

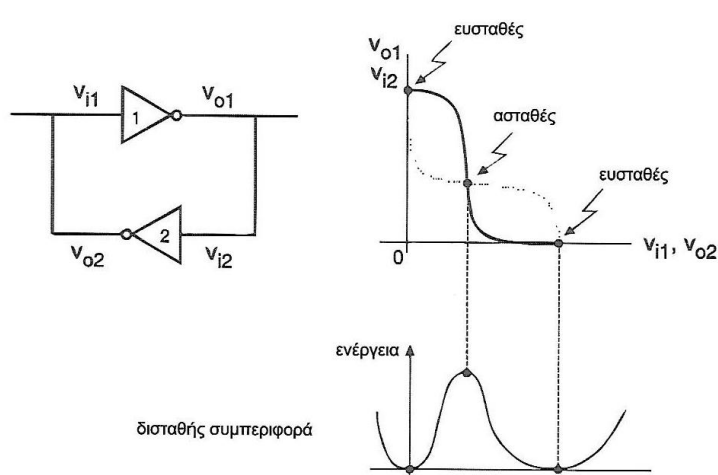
$$= 2\tau_p + 2\tau_p + 2\tau_p = 3 \cdot 2\tau_p = 6\tau_p$$

Γενικεύοντας αυτήν την σχέση για έναν αυθαίρετο περιττό αριθμό (n) των σε σειρά συνδεδεμένων αντιστροφένων λαμβάνουμε:

$$f = \frac{1}{T} = \frac{1}{2 \cdot n \cdot \tau_p}$$

5

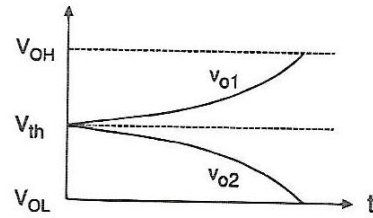
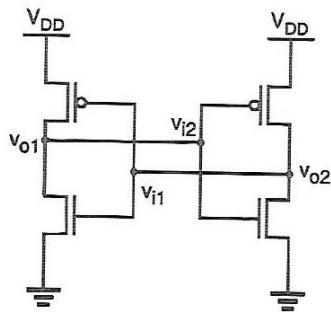
Συμπεριφορά των δισταθών στοιχείων



Σχήμα 8.2 Η στατική συμπεριφορά βασικού δισταθούς στοιχείου δύο αντιστροφένων: (α) Σχήμα κυκλώματος (β) Οι τεμνόμενες καμπύλες μεταφοράς τάσης των δύο αντιστροφένων που δείχνουν τα τρία πιθανά σημεία λειτουργίας (γ) Ποιοτική άποψη των επιπέδων δυναμικής ενέργειας που αντιστοιχούν στα τρία σημεία λειτουργίας

Slide 6

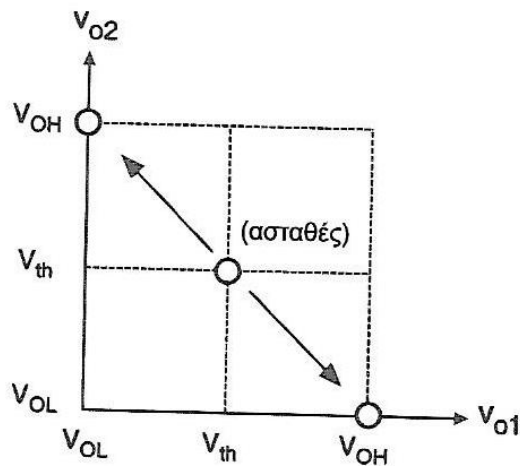
6



Σχήμα 8.3 (α) Διάγραμμα κυκλώματος ενός CMOS δισταθούς στοιχείου (β) Μια πιθανότητα για την αναμενόμενη χρονική συμπεριφορά των τάσεων εξόδου, αν το κύκλωμα τίθεται αρχικά στο ασταθές σημείο λειτουργίας του.

Slide 7

7

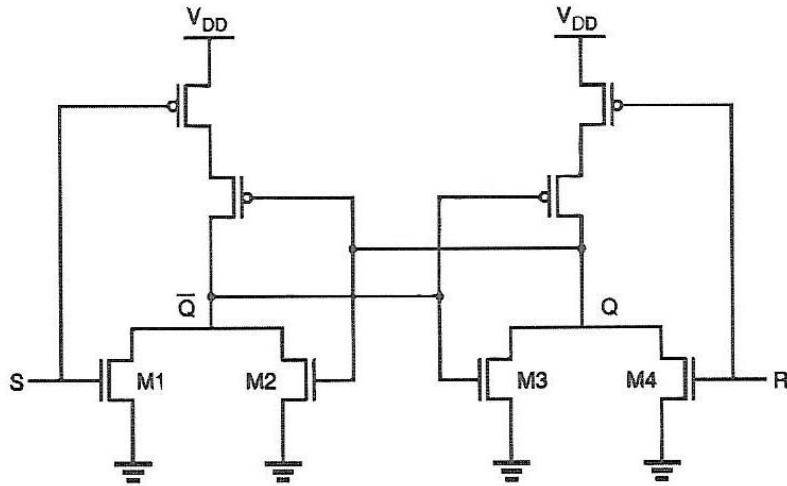


Σχήμα 8.5 Η αναπαράσταση στο χώρο των φάσεων της συμπεριφοράς του δισταθούς κυκλώματος.

Slide 8

8

Κύκλωμα μανδαλωτή SR

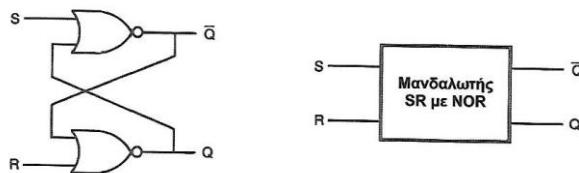


' Κύκλωμα CMOS SR μανδαλωτή βασισμένου σε πύλες NOR2.

Slide 9

9

S	R	Q_{n+1}	\overline{Q}_{n+1}	Operation
0	0	Q_n	\overline{Q}_n	hold
1	0	1	0	set
0	1	0	1	reset
1	1	0	0	not allowed



Σχήμα 8.8 Σχήμα επιπέδου πύλης και μπλοκ διάγραμμα του βασισμένου σε NOR SR μανδαλωτή.

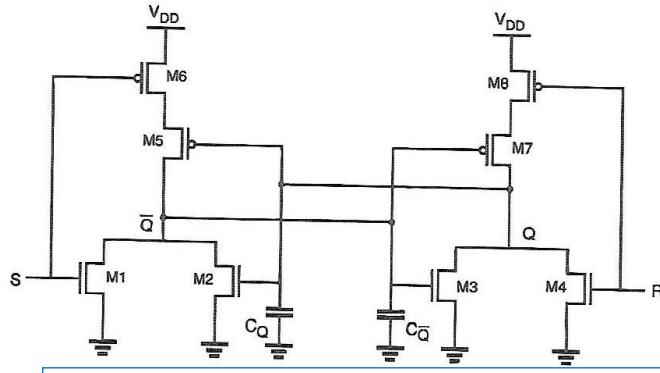
S	R	Q_{n+1}	\overline{Q}_{n+1}	Λειτουργία
V_{OH}	V_{OL}	V_{OH}	V_{OL}	M1 and M2 on, M3 and M4 off
V_{OL}	V_{OH}	V_{OL}	V_{OH}	M1 and M2 off, M3 and M4 on
V_{OL}	V_{OL}	V_{OH}	V_{OL}	M1 and M4 off, M2 on or
V_{OL}	V_{OL}	V_{OL}	V_{OH}	M1 and M4 off, M3 on

10

Για να υπολογίσουμε τους χρόνους μεταγωγής και για τους δύο κόμβους εξόδου πρέπει πρώτα να υπολογίσουμε τη συνολική παρασιτική χωρητικότητα που συνδέεται με κάθε κόμβο. Ένας απλός έλεγχος του κυκλώματος δείχνει ότι η συνολική χωρητικότητα σε κάθε κόμβο εξόδου μπορεί να υπολογιστεί ως εξής:

$$C_Q = C_{gb,2} + C_{gb,5} + C_{db,3} + C_{db,4} + C_{db,7} + C_{sb,7} + C_{db,8}$$

$$C_{\bar{Q}} = C_{gb,3} + C_{gb,7} + C_{db,1} + C_{db,2} + C_{db,5} + C_{sb,5} + C_{db,6}$$

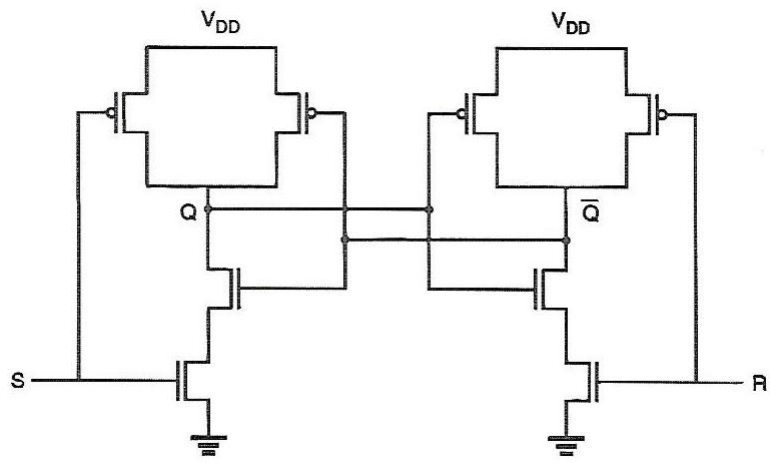


$$\tau_{rise,Q}(SR-latch) = \tau_{rise,Q}(NOR2) + \tau_{fall,\bar{Q}}(NOR2)$$

Slide 11

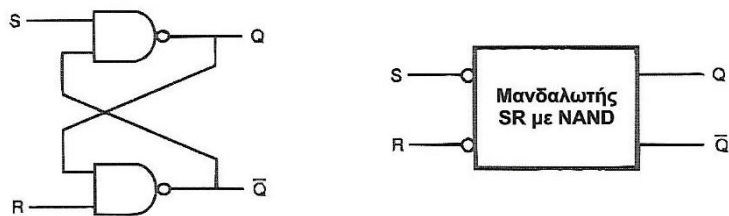
11

Κύκλωμα μανδαλωτή SR CMOS, βασισμένο σε πύλες NAND2.



Slide 12

12



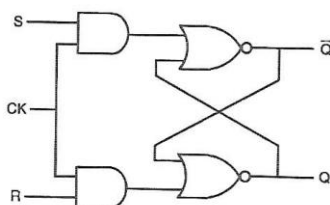
S	R	Q_{n+1}	\overline{Q}_{n+1}	Operation
0	0	1	1	not allowed
0	1	1	0	set
1	0	0	1	reset
1	1	Q_n	\overline{Q}_n	hold

Σχήμα 8.12 Σχήμα επιπέδου πύλης και μπλοκ διάγραμμα του μανδαλωτή SR που βασίζεται σε NAND.

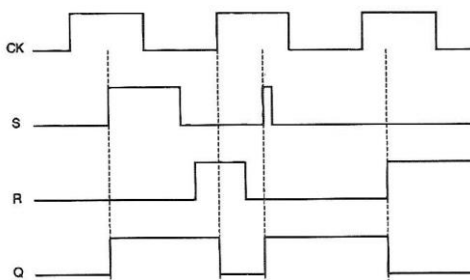
Slide 13

13

Χρονισμένος μανδαλωτής SR



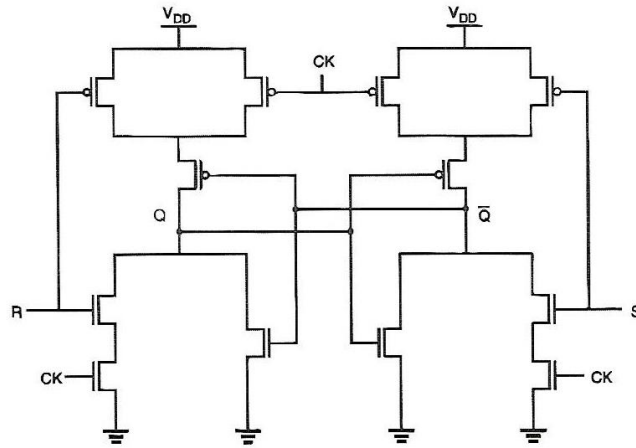
Σχήμα 8.14 Σχήμα επιπέδου πύλης του χρονισμένου και βασισμένου σε NOR μανδαλωτή SR.



Σχήμα 8.15 Δείγμα κυματομορφών εισόδου και εξόδου που επεξηγεί την λειτουργία χρονισμένου, βασισμένου σε NOR κυκλώματος μανδαλωτή.

Slide 14

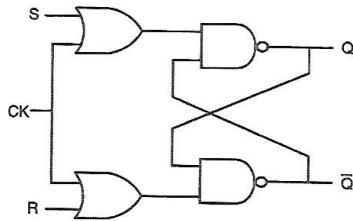
14



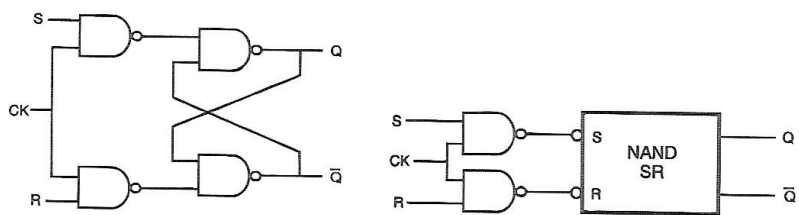
Σχήμα 8.16 Υλοποίηση του χρονισμένου, βασισμένου σε NOR, κυκλώματος μανδαλωτή, η οποία βασίζεται σε AOI.

Slide 15

15



Σχήμα 8.17 Σχήμα επιπέδου πύλης του χρονισμένου και βασισμένου σε NAND μανδαλωτή SR, με ενεργά χαμηλές εισόδους.

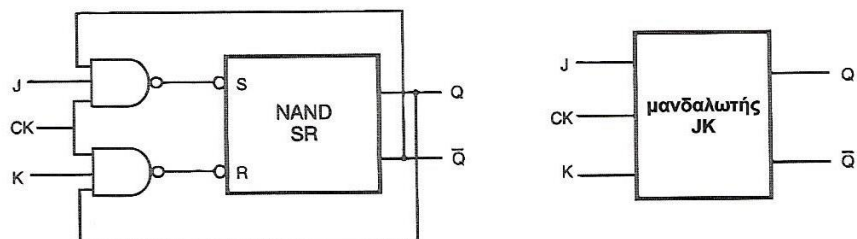


Σχήμα 8.18 (a) Σχήμα επιπέδου πύλης του χρονισμένου και βασισμένου σε NAND μανδαλωτή SR, με ενεργά υψηλές εισόδους. (b) Μερική αναπαράσταση μπλοκ διαγράμματος του ίδιου κυκλώματος.

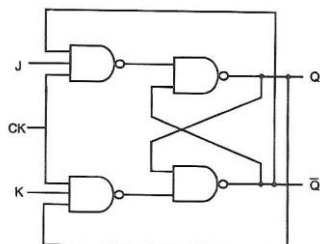
Slide 16

16

Χρονισμένος μανδαλωτής JK



Σχήμα 8.19 Σχήμα επιπέδου πύλης του χρονισμένου και βασισμένου σε NAND μανδαλωτή JK.



Σχήμα 8.20 Υλοποίηση μόνο με NAND του χρονισμένου μανδαλωτή JK

Slide 17

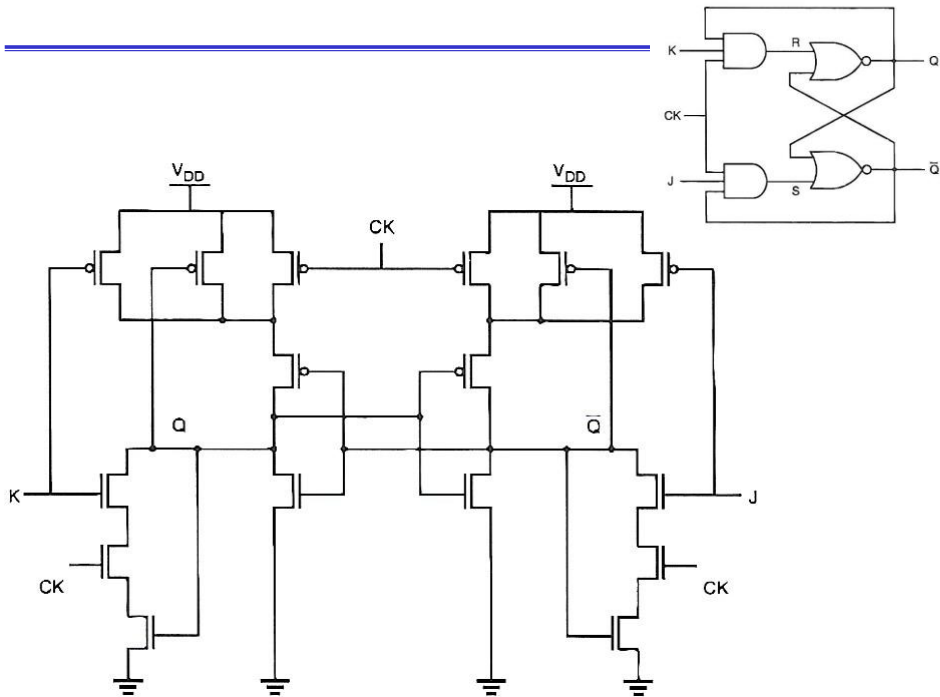
17

Πίνακας 8.3 Αναλυτικός πίνακας αλήθειας του μανδαλωτή JK.

J	K	Q_n	$\overline{Q_n}$	S	R	Q_{n+1}	$\overline{Q_{n+1}}$	Λειτουργία
0	0	0	1	1	1	0	1	Hold
		1	0	1	1	1	0	
0	1	0	1	1	1	0	1	Reset
		1	0	1	0	0	1	
1	0	0	1	0	1	1	0	Set
		1	0	1	1	1	0	
1	1	0	1	0	1	1	0	Toggle
		1	0	1	0	0	1	

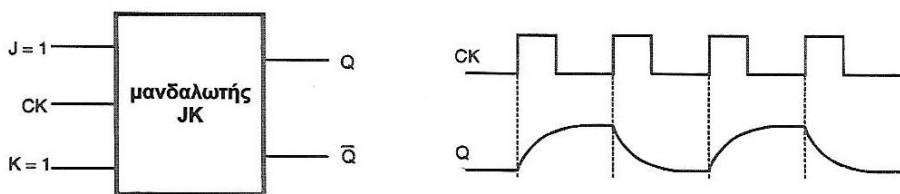
Slide 18

18



Slide 19

19



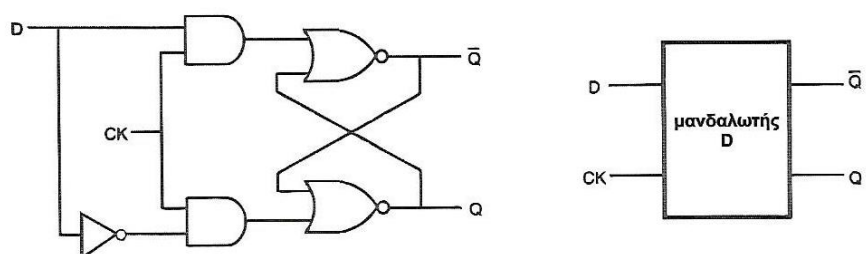
Σχήμα 8.22 Λειτουργία του μανδαλωτή JK ως δισταθή διακόπτη.

Υποθέτοντας ότι ο περιορισμός του ρολογιού που περιγράφεται παραπάνω ικανοποιείται, η έξοδος του μανδαλωτή JK θα μεταπίπτει (θα αλλάζει την κατάσταση της) μόνο μια φορά για κάθε παλμό ρολογιού, εάν και οι δύο είσοδοι είναι ίσες με το λογικό "1" (Σχήμα 8.22). Ένα κύκλωμα που λειτουργεί αποκλειστικά με αυτό τον τρόπο ονομάζεται *δισταθής διακόπτης (toggle switch)*.

Slide 20

20

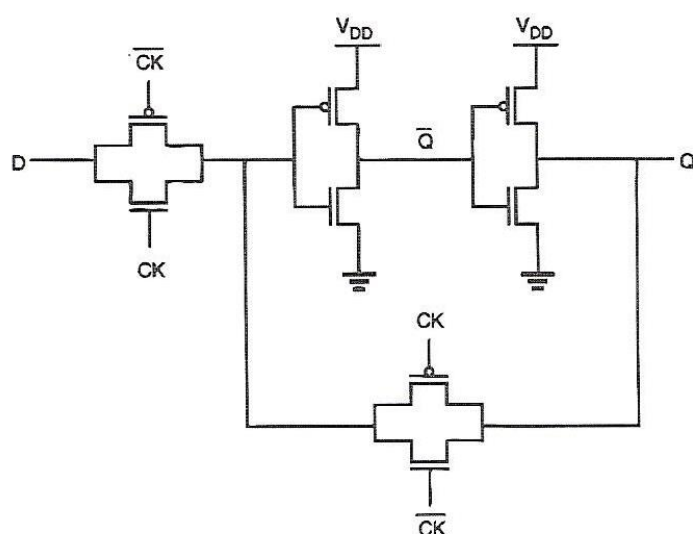
D-μανδαλωτής CMOS και ακμοπυροδότηση Flip-Flop



Σχήμα 8.26 Σχήμα επιπέδου πύλης και μπλοκ διάγραμμα του D-μανδαλωτή.

Slide 21

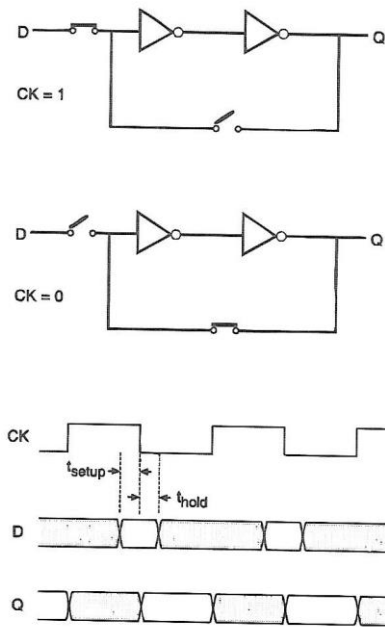
21



Σχήμα 8.27 Υλοποίηση του D-μανδαλωτή CMOS (εκδοχή 1).

Slide 22

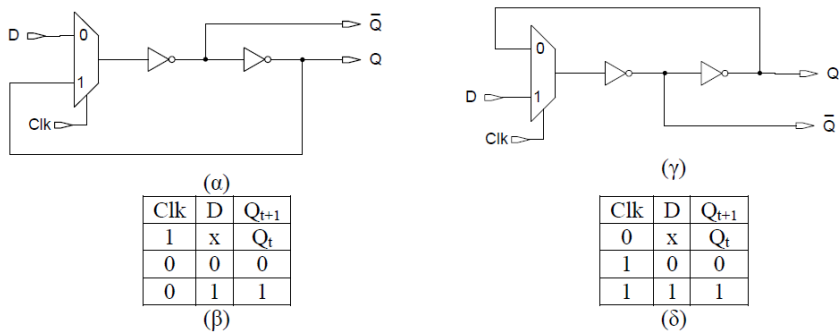
22



Σχήμα 8.28 Απλοποιημένη σχηματική άποψη και το αντίστοιχο διάγραμμα χρόνου του D-μανδαλωτή CMOS, που δείχνει το χρόνο αποκατάστασης και το χρόνο συγκράτησης.

Slide 23

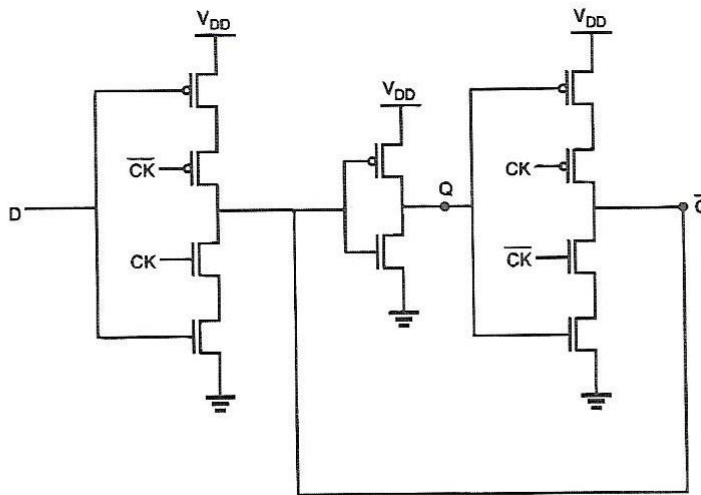
23



Σχήμα 10.3: (α) Λογικό διάγραμμα και (β) πίνακας αληθείας μανταλωτή D αρνητικής στάθμης. (γ) Λογικό διάγραμμα και (δ) πίνακας αληθείας μανταλωτή D θετικής στάθμης.

Slide 24

24



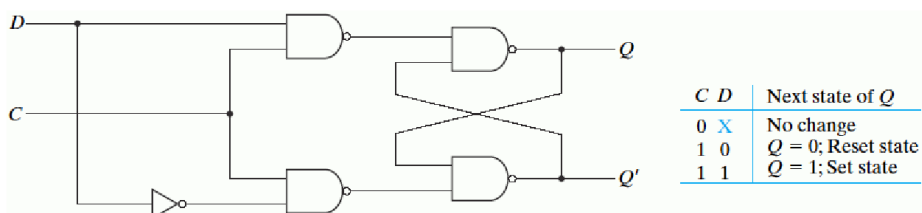
Σχήμα 8.29 Υλοποίηση του D-μανδαλωτή CMOS (εκδοχή 2)

Slide 25

25

Μανδαλωτής D

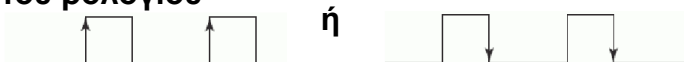
Κύκλωμα μανδαλωτή D



Τα δεδομένα αποθηκεύονται όσο το ρολόι είναι στο θετικό επίπεδο



Πώς μπορούμε να κατασκευάσουμε ένα flip-flop το οποίο να ενεργοποιείται κατά την άνοδο ή την κάθοδο του παλμού του ρολογιού



Slide 26

26

Flip-Flops

Τα Flip-Flops είναι μία παραλλαγή των μανταλωτών

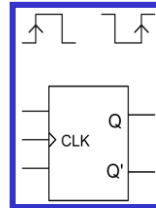
Η ενεργοποίηση των Flip-Flops (FFs) γίνεται κατά την άνοδο ή κάθοδο του παλμού του ρολογιού (ακμοπυροδοτούμενα, edge-triggered) και όχι κατά τη διάρκεια του παλμού.

Θετικά ακμοπυροδοτούμενα FFs (positive edge-triggered FFs)

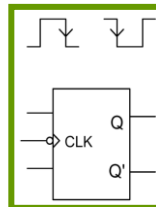
Τα FFs, που είναι ευαίσθητα κατά τη μετάβαση του ωρολογιακού παλμού από το 0 (LOW) στο 1 (HIGH)

Αρνητικά ακμοπυροδοτούμενα FFs (negative edge-triggered FFs)

Τα FFs, που είναι ευαίσθητα κατά τη μετάβαση του ωρολογιακού παλμού από το 1 (HIGH) στο 0 (LOW)



Μπορούμε να έχουμε ακμοπυροδοτούμενα FFs όλων των τύπων, SR, D, JK, T

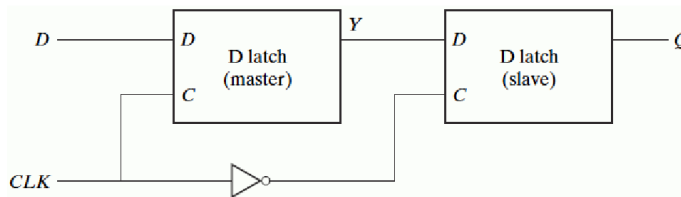


Slide 27

27

Master-Slave FF

Κατασκευή flip-flop από δύο μανδαλωτές:



- Όταν $C=1$, ο master ενεργοποιείται και φυλάει νέα δεδομένα, και ο slave αποθηκεύει παλιά δεδομένα.
- Όταν $C=0$, η κατάσταση του master ενεργοποιεί τον slave ($Q=Y$), και δεν νοιάζεται ο master για νέα δεδομένα.

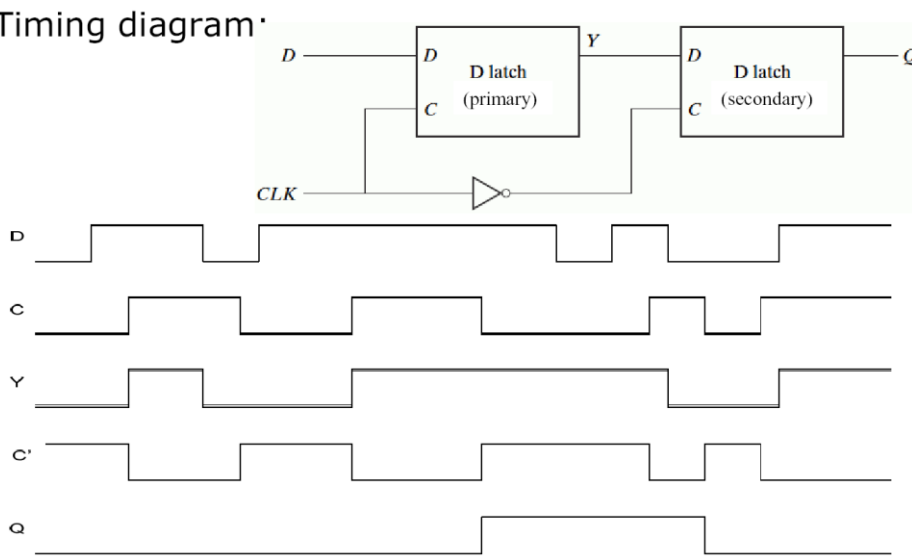
Τύπου D Αρνητικής Ενεργοποίησης-ακμής FF:

Slide 28

28

Λειτουργία ακμοπτυροδοτούμενο D FF

- Timing diagram:

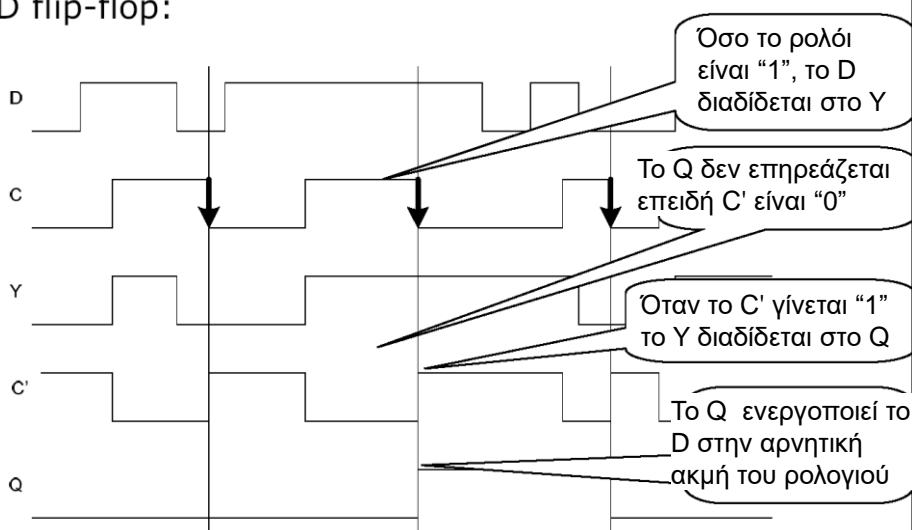


Slide 29

29

D FF Αρνητικής Ενεργοποίησης-Ακμής

- D flip-flop:



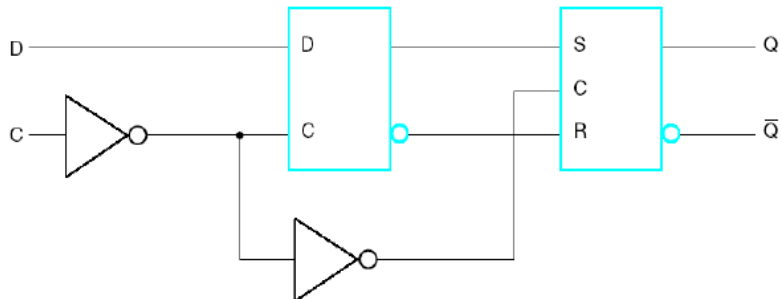
Slide 30

30

Ακμοπυροδοτούμενα Flip-Flops

- Συνδέουμε ένα D-latch με πυροδότηση-επιπέδου (master) με ένα SR-latch με πυροδότηση-επιπέδου (slave) και συμπληρωματικά ρολόγια.

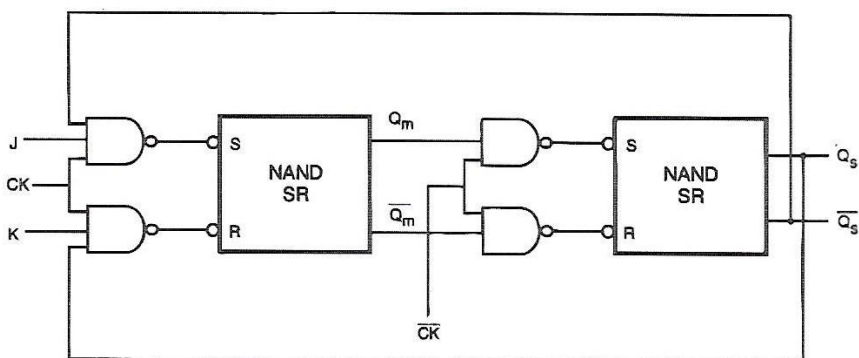
D-FF με Θετική Ακμοπυροδότηση



Slide 31

31

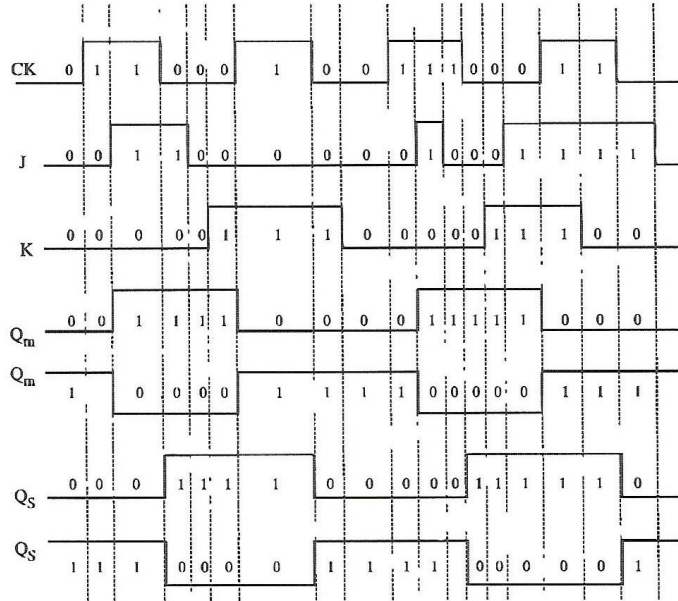
Flip-Flop αφέντη-σκλάβου



Σχήμα 8.23 Flip-flop αφέντη-σκλάβου αποτελούμενο από μανδαλωτές JK, βασισμένους σε NAND.

Slide 32

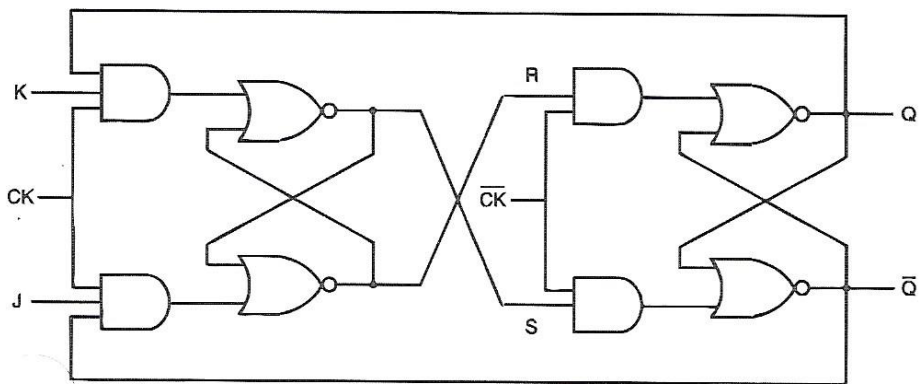
32



Σχήμα 8.24 Δείγμα κυματομορφών εισόδου και εξόδου του flip-flop αφέντη-σκλάβου κυκλώματος.

Slide 33

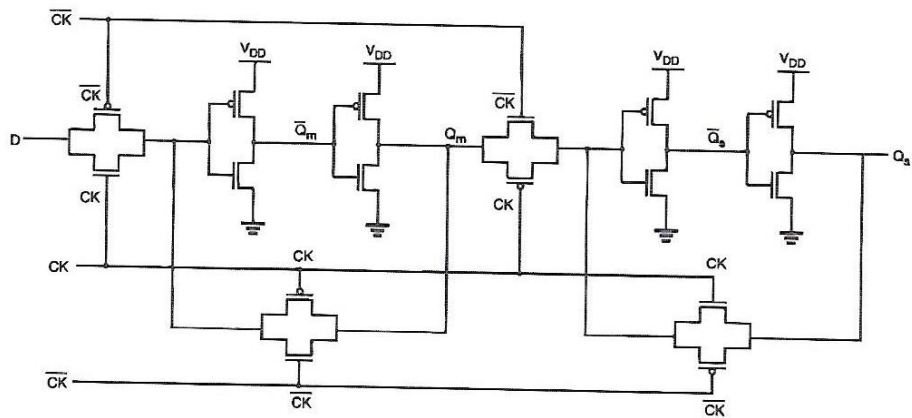
33



Σχήμα 8.25 Βασισμένο σε υλοποίηση NOR του αφέντη-σκλάβου JK flip-flop.

Slide 34

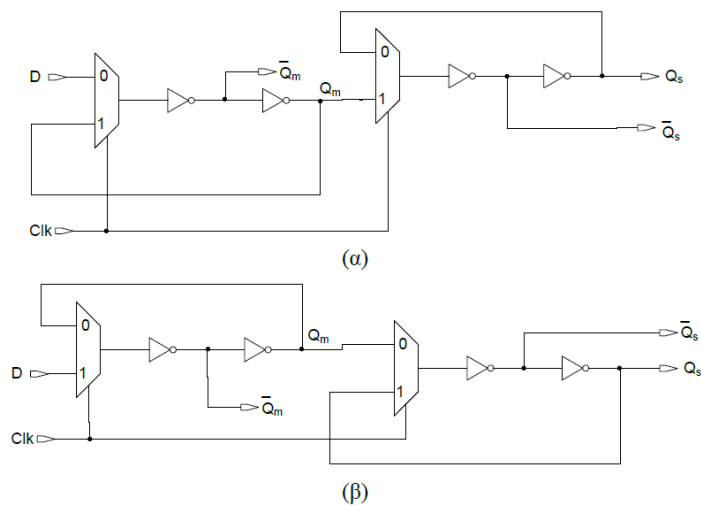
34



Σχήμα 8.30 Αρνητικά ακμοπυροδότητο D flip-flop αφέντη-σκάλαου (DFF) CMOS.

Slide 35

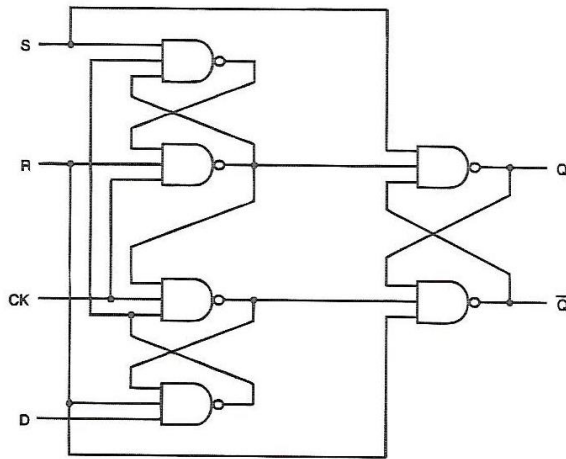
35



Σχήμα 10.5: (α) Θετικά (ανιούσα παρυφή ρολογιού) και (β) αρνητικά (κατιούσα παρυφή ρολογιού) ακμοπυροδοτούμενο MS FF.

Slide 36

36



Σχήμα 8.34 Κύκλωμα θετικού ακμοπυροδότητου D flip-flop που βασίζεται σε NAND3.

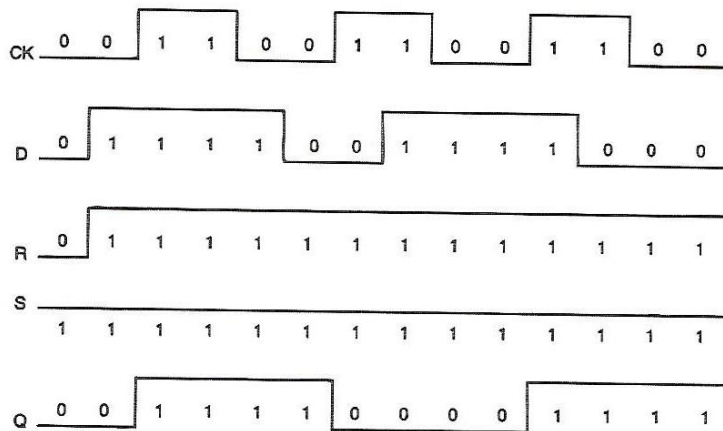
Slide 37

37

Σχήματος 8.35. Αρχικά, όλες οι τιμές των σημάτων εκτός από το S είναι 0. π.χ. $(S, R, CK, D) = (1, 0, 0, 0)$ και $Q = 0$. Στη δεύτερη φάση, τόσο το D όσο και το R αλλάζουν σε 1, δηλαδή $(S, R, CK, D) = (1, 0, 1, 1)$, αλλά δεν συμβαίνει καμία αλλαγή στο Q και η τιμή του Q παραμένει στο 0. Ωστόσο, στην τρίτη φάση, εάν το CK πηγαίνει σε υψηλό δυναμικό, δηλαδή $(S, R, CK, D) = (1, 1, 1, 1)$, η έξοδος της πύλης 2 αλλάζει σε 0, η οποία με τη σειρά της αλλάζει σε 1 την έξοδο του μονοαλωτή SR στο τελευταίο επίπεδο. Επομένως, η έξοδος αυτού του D flip-flop αλλάζει σε 1 στις θετικές ακμές του σήματος του ρολογιού CK. Εντούτοις, όπως μπορεί να παρατηρηθεί στην ένατη φάση του πίνακα διαγραμμάτων κυματομορφών, η έξοδος Q δεν επηρεάζεται από τις αρνητικές ακμές του CK, ούτε από άλλες αλλαγές στα σήματα.

Slide 38

38



Σχήμα 8.35 Διάγραμμα χρονισμού του θετικού ακμοπυροδότητου D flip-flop.

Slide 39

39

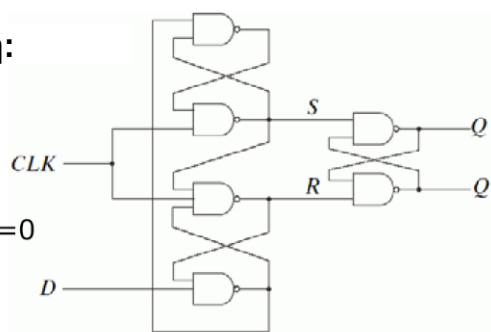
Ακμοπυροδοτούμενο D Flip-Flop

- Απαιτεί 2 D μανδαλωτές και έναν αντιστροφέα

- Αποδοτικότερη υλοποίηση:

- **Λειτουργία:**

- Αν $CLK=0$, τότε $S=R=1$
 - » Q μένει σταθερό
- Αν $CLK=1$ και $D=0$, τότε $R=0$
 - » Q επαναφέρεται στο 0
 - » Q μένει στο 0 ανεξάρτητα από το D
- Αν $CLK=0$, τότε $S=R=1$
- Αν $CLK=1$ και $D=1$, τότε $S=0$
 - » Q ενεργοποιείται στο 1
 - » Q μένει στο 1 ανεξάρτητα από το D



Αποτελείται ουσιαστικά από τρία βασικά flip-flops.

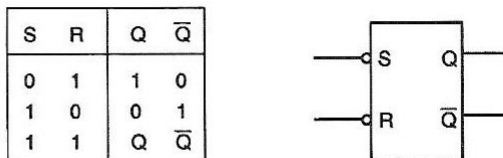
- **Αυτό το FF είναι αρνητικά ή θετικά ακμοπυροδοτούμενο;**

Slide 40

40

Άσκηση -1

Να σχεδιαστεί ένα κύκλωμα, το οποίο υλοποιεί τον πίνακα αλήθειας του Σχήματος Π8.6. Μία σχεδίαση επιπέδου πύλης είναι αρκετή.



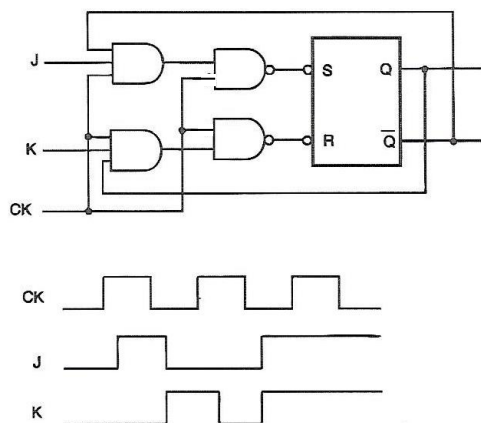
Σχήμα Π8.6

Slide 41

41

Άσκηση -2

Το κύκλωμα που σχεδιάστηκε στο Πρόβλημα 8.6 είναι ενσωματωμένο στο μεγαλύτερο κύκλωμα που φαίνεται στο Σχήμα Π8.7. Να συμπληρωθεί το διάγραμμα χρονισμού για την έξοδο.



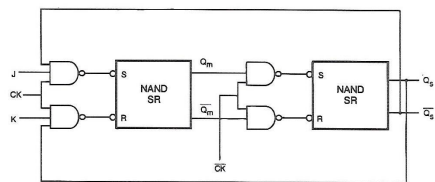
Σχήμα Π8.7

Slide 42

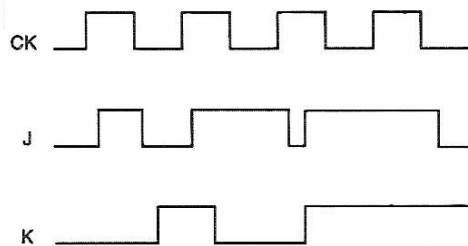
42

Άσκηση -3

Οι κυματομορφές τάσης που φαίνονται στο σχήμα Π8.8 εφαρμόζονται στο nMOS JK flip-flop αφέντη-σκλάβου που φαίνεται στο σχήμα 8.23. Με το flip-flop αρχικά reset, να δειχθούν οι κυματομορφές που απορρέουν στους κόμβους Qm (έξοδος flip-flop αφέντη) και Qs (έξοδος flip-flop σκλάβου).



Σχήμα 8.23 Flip-flop αφέντη-σκλάβου αποτελούμενο από μανδαλωτές JK, βασισμένους σε NAND.



Σχήμα Π8.8