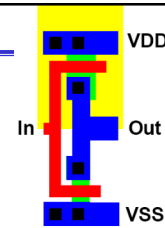


## Μάθημα 3: Φυσικό σχέδιο (Layout) Διαγράμματα γραμμής (Stick Diagrams)

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο  
Τμήμα Ηλεκτρονικών Μηχανικών  
2021-2022



**ΣΗΜΕΙΩΣΗ:** Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

## Διαδικασία κατασκευής CMOS

- Τι είναι η διαδικασία CMOS “CMOS process”
  - διαδοχικά βήματα τα οποία χρησιμοποιούνται για την κατασκευή κυκλωμάτων πάνω σε ένα δισκίο Si
  - χρήση προσθετικών (εναπόθεση) και αφαιρετικών (εγχάραξη) βημάτων

### CMOS Layers

- n-well process
- p-well process
- Twin-tub process

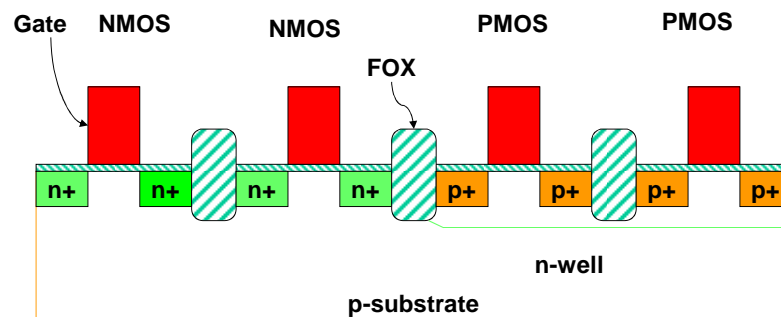
TL 503

L3: Αρχές Φυσικού Σχεδιασμού

Slide 3

## Διαδικασία n-πηγαδιού

- διαδικασία n-πηγαδιού
  - ξεκινά με ένα δισκίο p-τύπου (νοθευμένο με αποδέκτες)
  - επιτρέπει την κατασκευή nMOS απευθείας πάνω στο υπόστρωμα-p
  - προσθήκη ενός n-πηγαδιού για τον ορισμό της περιοχής των pMOS
- Απομόνωση μεταξύ των διατάξεων
  - παχύ μονωτικό στρώμα που ονομάζεται οξείδιο πεδίου (Field Oxide, FOX)



Καθιερωμένη τομή των στρωμάτων MOSFET στην διαδικασία n-πηγαδιού

TL 503

L3: Αρχές Φυσικού Σχεδιασμού

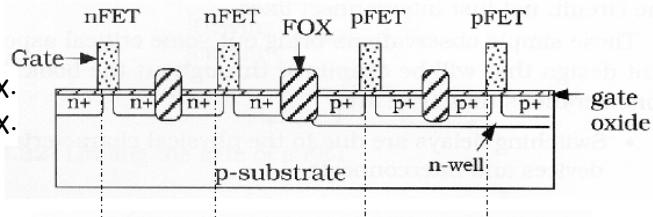
Slide 4

## Κατώτερες στρώσεις CMOS (Front-end layers)

☐ Όλες οι στρώσεις των διατάξεων (πχ, τρανζίστορ)

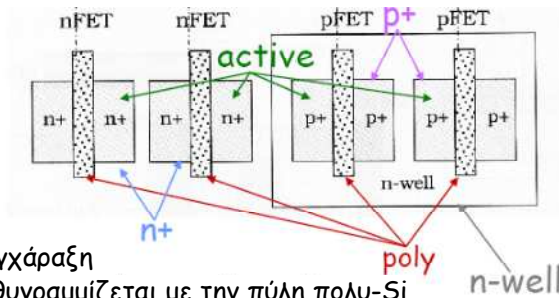
☐ Κυρίως μέσα στο πυρίτιο (μόνο το στρώμα της πύλης είναι πάνω από το Si)

- p- υπόστρωμα
- n- πηγάδι
- n+ S/D περιοχές διάχ.
- p+ S/D περιοχές διάχ.
- Οξειδίο πύλης
- πύλη πολυπυριτίου



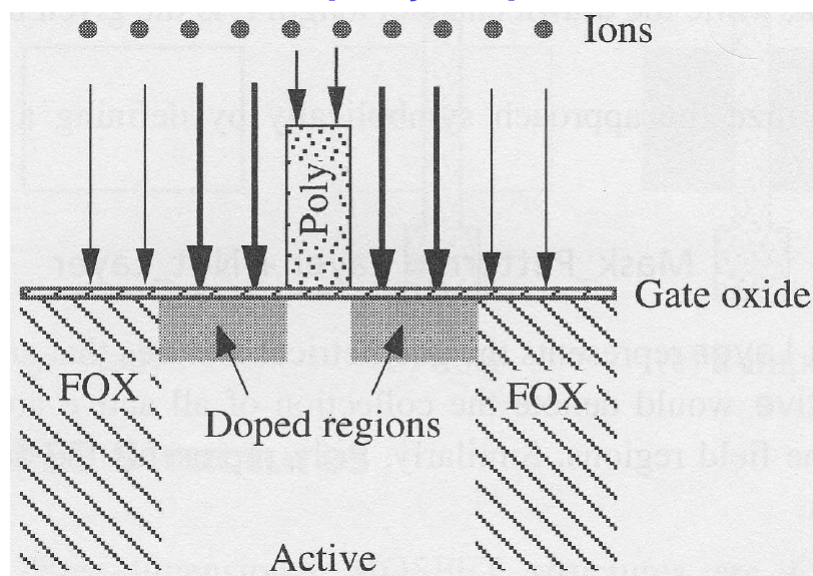
☐ Επίπεδα μάσκων

- n-πηγάδι
- ενεργές (περιοχές S/D)
  - ενεργές = όχι FOX
- n+ νόθευση
- p+ νόθευση
- poly σχέδιο πύλης με εγχάραξη
  - το οξειδίο πύλης ευθυγραμμίζεται με την πύλη πολυ-Si, δηλ., δεν υπάρχει μάσκα οξειδίου πύλης

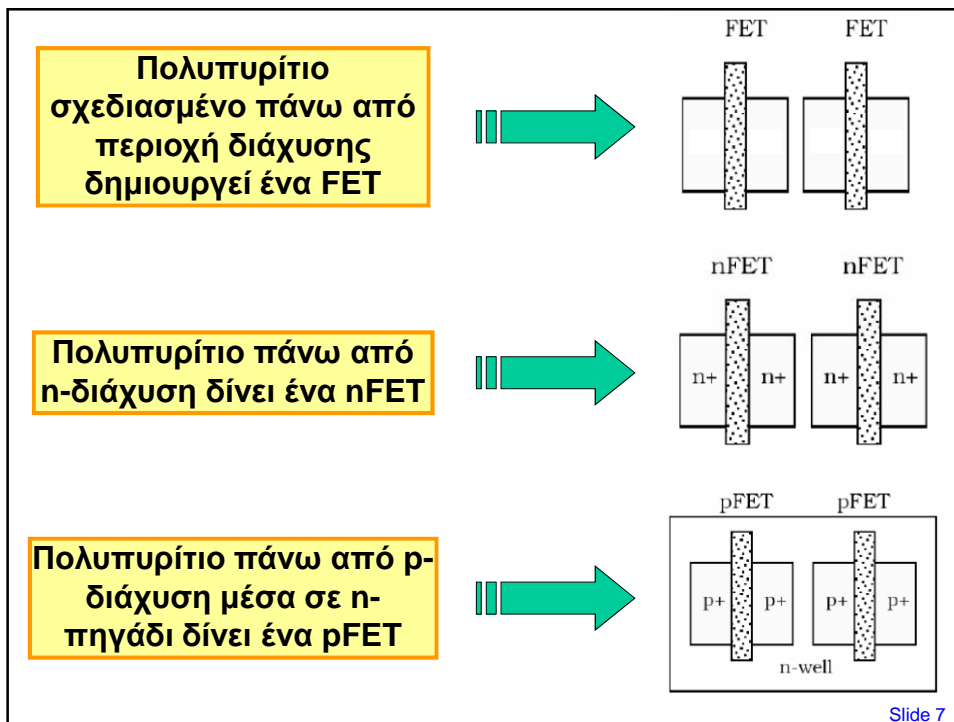


Slide 5

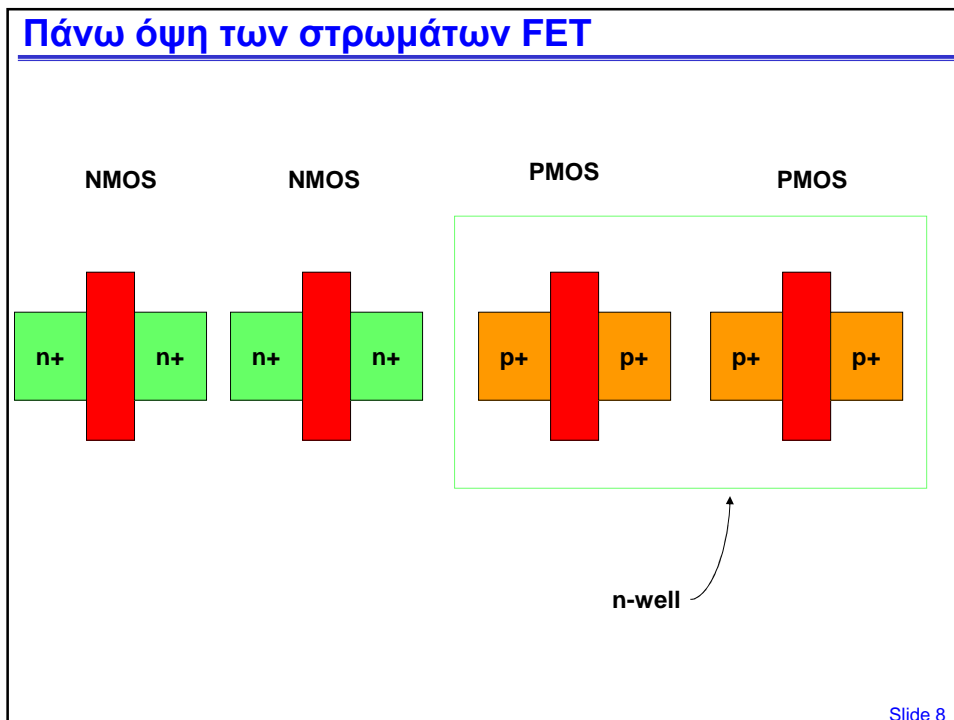
## Κατασκευή αυτό-ευθυγραμμισμένου τρανζίστορ



Slide 6

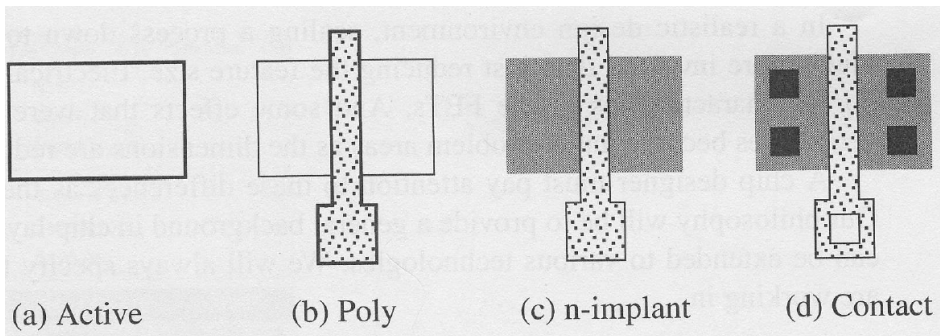


Slide 7



Slide 8

## Ακολουθία μασκών για το nFET



(a) Active

(b) Poly

(c) n-implant

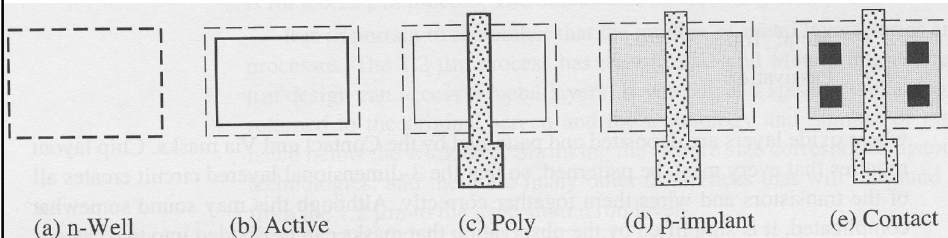
(d) Contact

for an nFET:

- Active
- Poly
- n-implant

Slide 9

## Ακολουθία μασκών για το pFET



(a) n-Well

(b) Active

(c) Poly

(d) p-implant

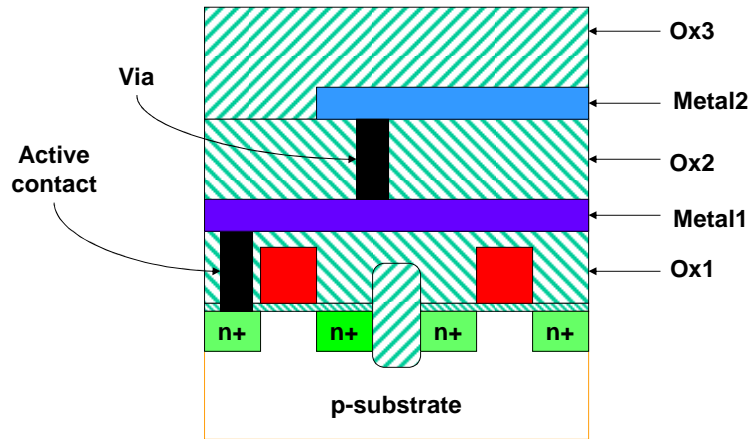
(e) Contact

The sequence for a pFET

- n-well
- Active
- Poly
- p-implant

Slide 10

## Μεταλλικά Στρώματα Διασύνδεσης

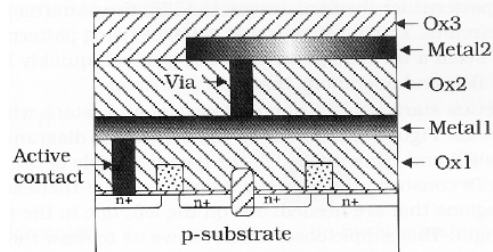


Slide 11

## Ανώτερες στρώσεις CMOS (Back-end layers)

### Διασύνδεση των διατάξεων μεταξύ τους

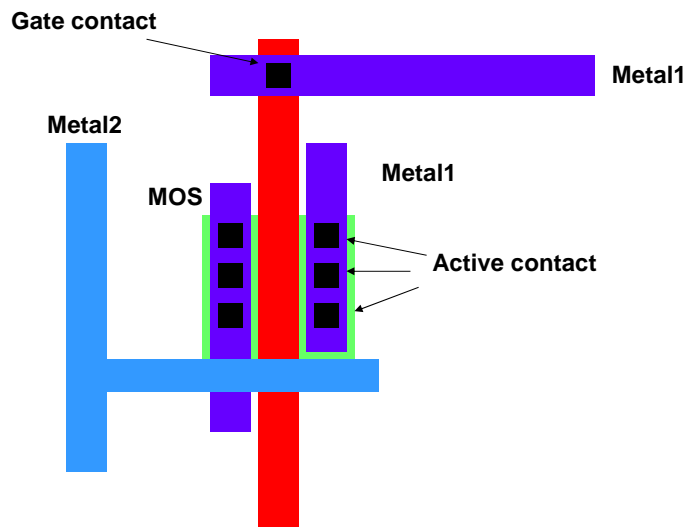
- ❑ Κάλυψη κατώτερων στρωμάτων με μονωτικό στρώμα οξειδίου, Ox1
- ❑ Επαφές διαμέσου του οξειδίου, active contacts
  - το πρώτο μεταλλικό στρώμα **metal1** διασυνδέεται με το **πολυπυρίτιο** και τις **ενεργές περιοχές**
- ❑ Πρώτη μεταλλική στρώση, **Metal 1**
- ❑ Μονωτικό στρώμα, Ox2
- ❑ Οπές διασύνδεσης μετάλλων, Via contacts
- ❑ Δεύτερη μεταλλική στρώση, **Metal 2**
- ❑ Επανάληψη των στρωμάτων, insulator/via/metal



**Μόνο το στρώμα Metal 1 έχει άμεση επαφή με τα κατώτερα στρώματα**

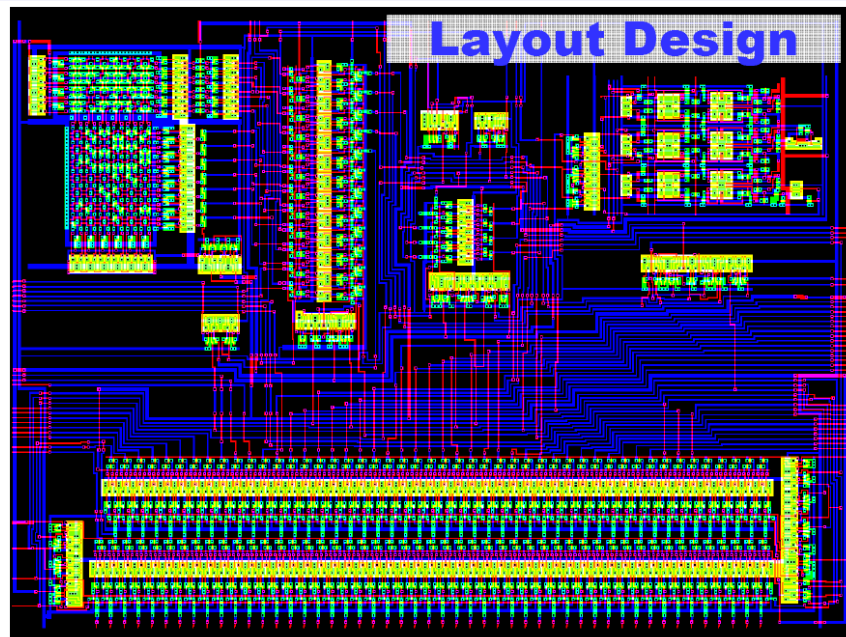
Slide 12

## Πλήρης αναπαράσταση τρανζίστορ



Slide 13

## Φυσικό Σχέδιο (Layout)



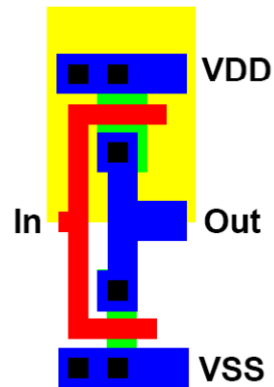
Slide 14

## Βασικές έννοιες φυσικής σχεδίασης

- Σχεδίαση Στρωμάτων
- Παραδείγματα Layout
- Διαγράμματα γραμμής (Stick diagrams)

Θα πρέπει να είστε σε θέση να κατανοείτε τέτοιου είδους σχέδια

Καθώς, και πιο απλά σχέδια τα οποία ονομάζονται 'διαγράμματα γραμμής'



Slide 15

## Φυσικός Σχεδιασμός (Layout Design)

Το Φυσικό σχέδιο (Layout) είναι ο σχεδιασμός των **μασκών κατασκευής**

Κάθε μάσκα απεικονίζεται με **διαφορετικό χρώμα**

Το φυσικό σχέδιο δεν είναι ένα σχέδιο ελεύθερης-μορφής

Συνήθως: **Manhattan Layout** (ορθογώνιο, δηλ. γωνίες 90°)

Μερικές φορές γωνίες 45°

Καμπυλοειδής γεωμετρία μόνο για ιδιαίτερες εφαρμογές

Το φυσικό σχέδιο θα πρέπει να υπακούει κανόνες σχεδίασης (**Design Rules**)

Slide 16



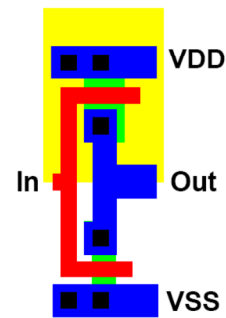
## Απεικόνιση Στρωμάτων

Τα στρώματα προσδιορίζονται με χρώματα και/ή πρότυπα σχέδια, ο προσδιορισμός δεν είναι πάντα 1 προς 1

Είναι θέμα σύμβασης

Εξάρτηση από: τη θέση, την κατεργασία, το εργαλείο σχεδίασης

Θα πρέπει να εξασκηθείτε ώστε να αναγνωρίζετε τις στρώσεις ενός άγνωστου φυσικού σχεδίου



## Προσδιορισμός χρωμάτων στο εργαλείο Microwind

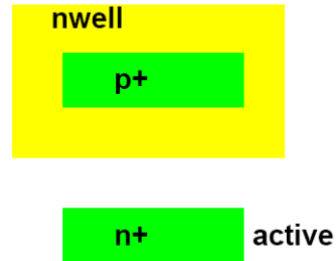
Layer name	Code	Colour in Microwind
Polysilicon	Poly	Red
N+ diffusion	Diffn	Dark green
P+ diffusion	Diffn	Maroon
Contact	Contact	White cross
First level of metal	Metal 1	Blue
n-well	n-well	Dotted green



Slide 18

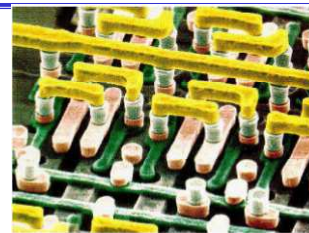
## Πολικότητα της Ενεργού Περιοχής

- ❑ **Ενεργό στρώμα (Active layer)** ή ενεργός περιοχή είναι η περιοχή νόθευσης πηγής/υποδοχής.
- ❑ Συνήθως, για συντομία αναφέρεται μόνο ως **'active'**.
- ❑ Φυσιολογικά, μια μάσκα που ονομάζεται μάσκα επιλογής (**select mask**) καθορίζει την πολικότητα της ενεργού περιοχής.
- ❑ Εμείς, θα καθορίζουμε χωρίς καμιά αμφιβολία την πολικότητα της ενεργού περιοχής, διαμέσου του **πηγαδιού-n (n-well)**.
- ❑ Ή μπορεί ακόμη να παραλείψουμε το όνομα του πηγαδιού (**n-well**) και να χρησιμοποιούμε μόνο το πλαίσιο



Slide 19

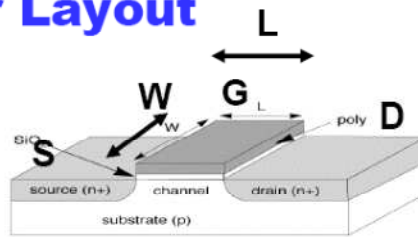
## Τρύπες επαφής & Vias



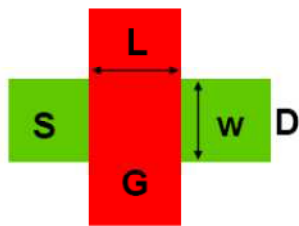
Slide 20

## Transistor Layout

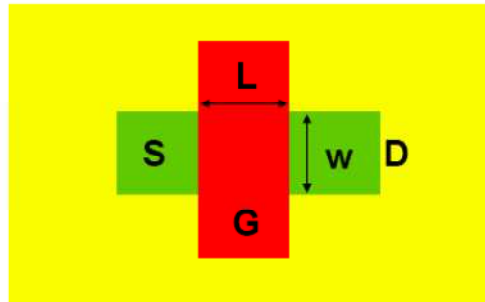
n-well (p-sub)



n-type



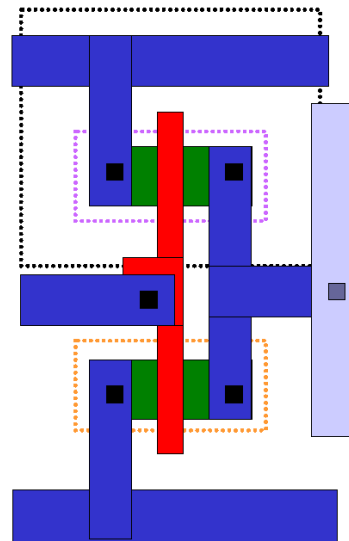
p-type



Slide 21

## CMOS Layout Layers

- Mask layers for 1 poly, 2 metal, n-well CMOS process
  - Background: p-substrate
  - nWell
  - Active
  - Poly
  - pSelect
  - nSelect
  - Active Contact
  - Poly Contact
  - Metal1
  - Via
  - Metal2
  - Overglass



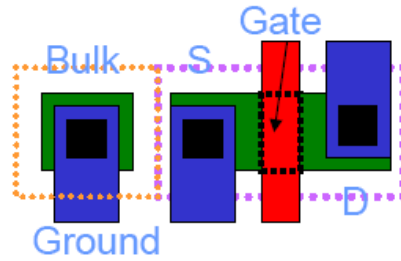
Slide 22

### Φυσικό σχέδιο (Layout) nMOS

–η πύλη είναι η τομή της ενεργής περιοχής, του πολυπυριτίου και της περιοχής n-εμφύτευσης

–η επαφή της πηγής/υποδοχής (S/D) δημιουργείται στην ενεργό περιοχή με σύνδεση στο Μέταλλο 1

–Η σύνδεση του υποστρώματος γίνεται μέσω επαφής p+ στο υπόστρωμα

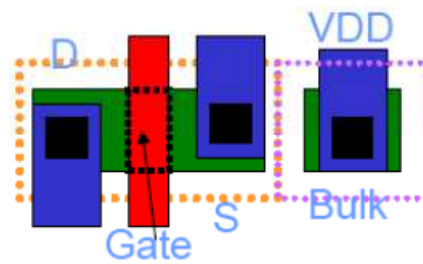


### Φυσικό σχέδιο (Layout) pMOS

–η πύλη είναι η τομή της ενεργής περιοχής, του πολυπυριτίου και της περιοχής p-εμφύτευσης

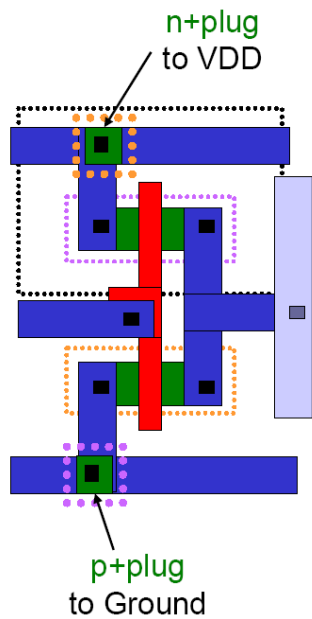
–η επαφή της πηγής/υποδοχής (S/D) δημιουργείται στην ενεργό περιοχή με σύνδεση στο Μέταλλο 1

–Η σύνδεση του υποστρώματος γίνεται μέσω επαφής n+ στο υπόστρωμα



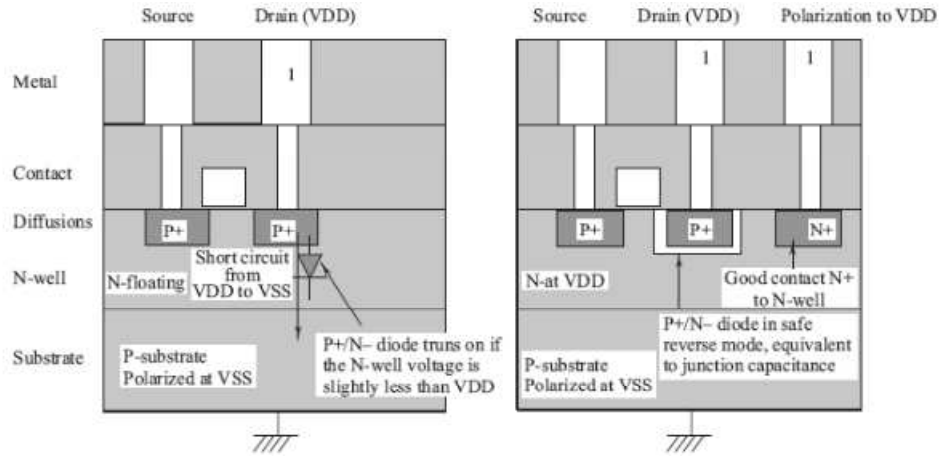
Slide 23

## Πόλωση υποστρώματος-p και πηγαδιού-n



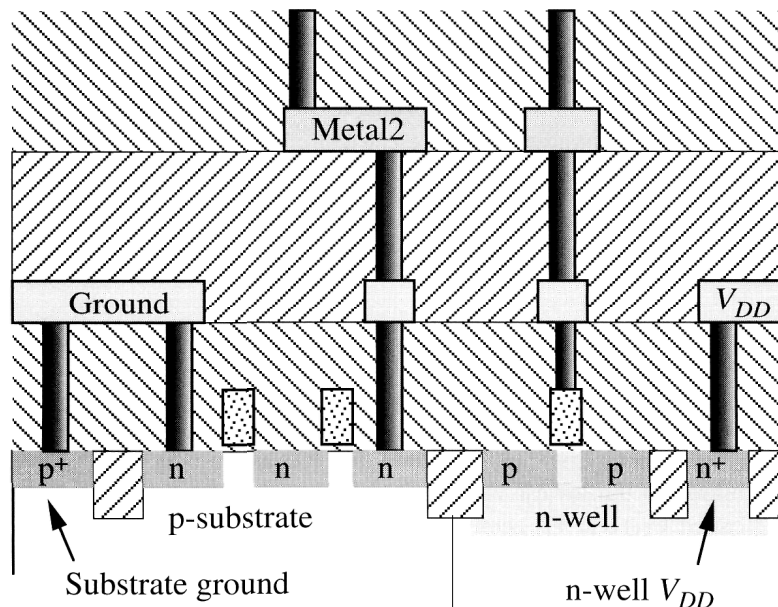
Slide 24

## Λανθασμένη και σωστή πόλωση του πηγαδιού-n



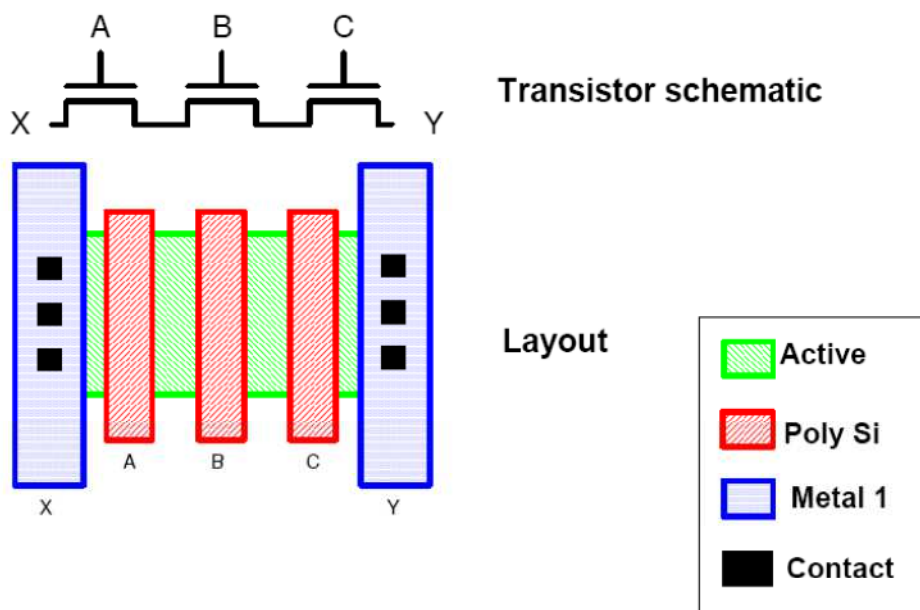
Slide 25

## Πόλωση υποστρώματος-p και πηγαδιού-n








Slide 26

## Από το κύκλωμα στο φυσικό σχέδιο



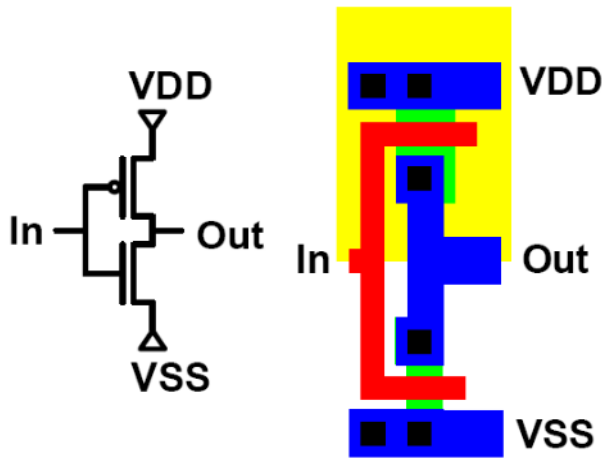
Slide 27

## Απλοποιημένη απεικόνιση στρώσεων

- yellow  nwell – θέση P-τρανζίστορ
- green  active – περιοχές πηγής υποδοχής
- red  polysilicon – υλικό πύλης
- blue  metal 1 – 1<sup>ο</sup> μέταλλο διασύνδεσης
- black  contact, via – τρύπα στο οξειδίο

Slide 28

## Απλοποιημένη απεικόνιση στρώσεων

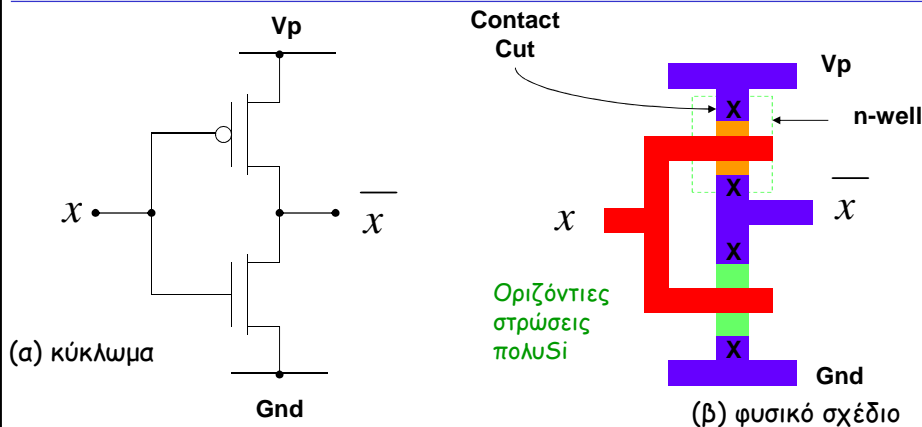


Αν σας δώσουν ένα τέτοιο φυσικό σχέδιο, θα πρέπει να είστε σε θέση να σχεδιάσετε το κύκλωμα στα αριστερά, καθώς και τις διαφορετικές κάθετες τομές

Κύρια δυσκολία: πρέπει να μαντέψετε/εξάγετε τις καλυμμένες περιοχές του layout (π.χ. πράσινη περιοχή κάτω από τη μπλε περιοχή)

Slide 29

## Φυσικό Σχέδιο Αντιστροφέα



### •Χαρακτηριστικά

-VDD & Γείωση 'γραμμές τάσης'  
•χρήση στρώσης Metal1

-περιοχές N-well  
•για pMOS

-Ενεργές στρώσεις  
•διαφορετική πολικότητα n+ και p+

-Επαφές  
•n+/p+ με μέταλλο  
•poly με μέταλλο

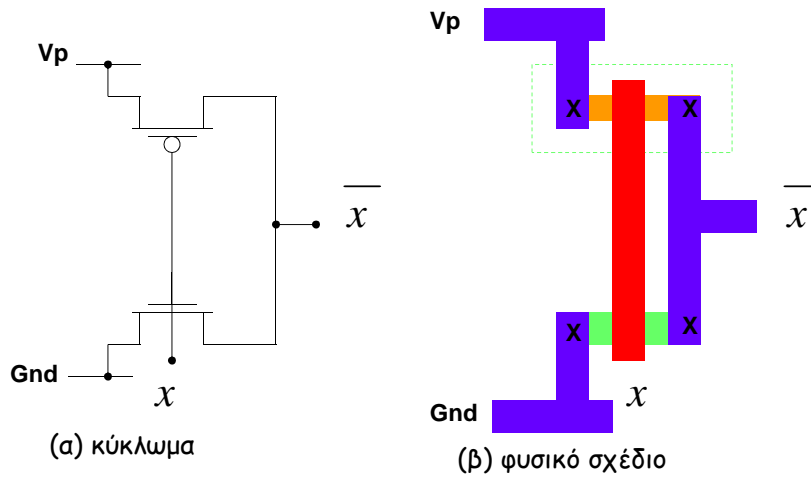
Slide 30

## Φυσικό Σχέδιο Αντιστροφέα

• Εναλλακτικό layout Κατακόρυφη στρώση πολυSi

- πλεονέκτημα  
• απλή γραμμή poly

- μειονέκτημα  
• δύσκολο να φτιάξουμε το W μεγάλο

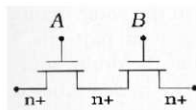


Slide 31

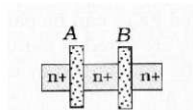
## Φυσικό Σχέδιο σειριακών Τρανζίστορ

• τρανζίστορ σε σειρά

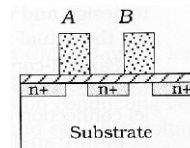
-2 τρανζ μοιράζονται μια επαφή S/D



(α) κύκλωμα



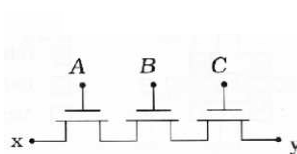
(β) φυσικό σχέδιο



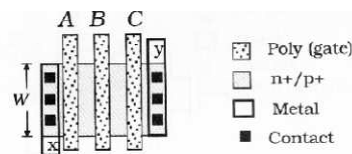
(γ) κάθετη όψη

• Πολλαπλά τρανζίστορ σε σειρά

-οι πύλες πολυSi τοποθετούνται δίπλα-δίπλα



(α) κύκλωμα



(β) φυσικό σχέδιο

Slide 32

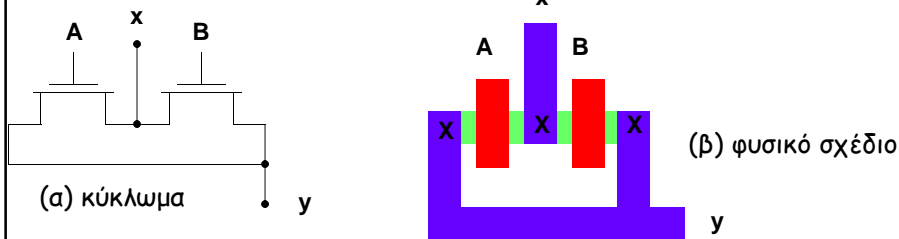


## Φυσικό Σχέδιο παράλληλων Τρανζίστορ

• Παράλληλα τρανζίστορ

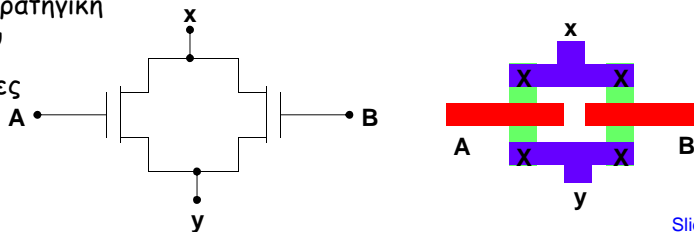
-μία κοινή περιοχή S/D με επαφή

-βραχυκύκλωμα των άλλων περιοχών S/D χρησιμοποιώντας στρώμα διασύνδεσης (metal1)



• Εναλλακτική στρατηγική φυσικού σχεδίου

-οριζόντιες πύλες

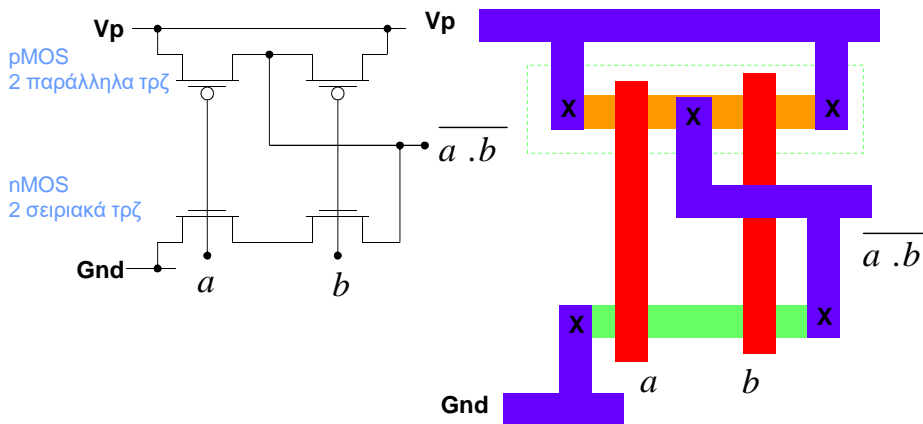


Slide 33

## Φυσικό Σχέδιο NAND2 (2-input NAND)

### Κατακόρυφη στρώση πολυSi

• Μια επιλογή layout με οριζόντια τρανζίστορ (L απλώνεται οριζόντια)

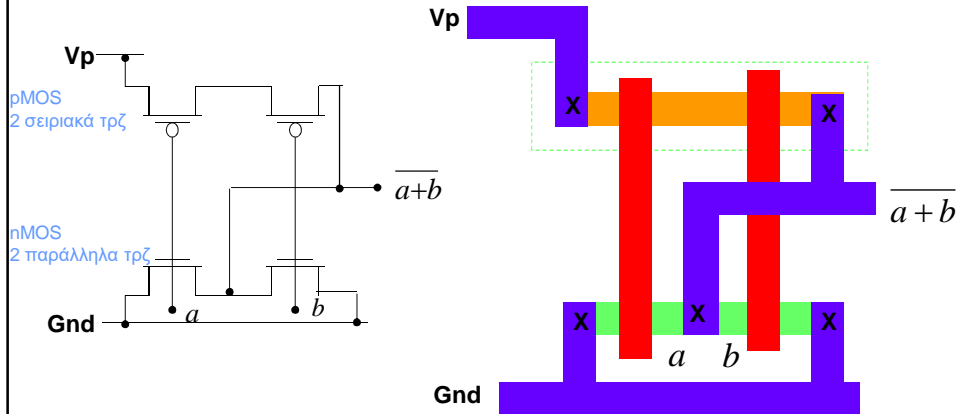


Slide 34

## Φυσικό Σχέδιο NOR2 (2-input NOR)

### Κατακόρυφη στρώση πολυSi

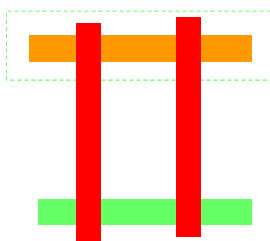
- Μια επιλογή layout με οριζόντια τρανζίστορ (L απλώνεται οριζόντια)



Slide 35

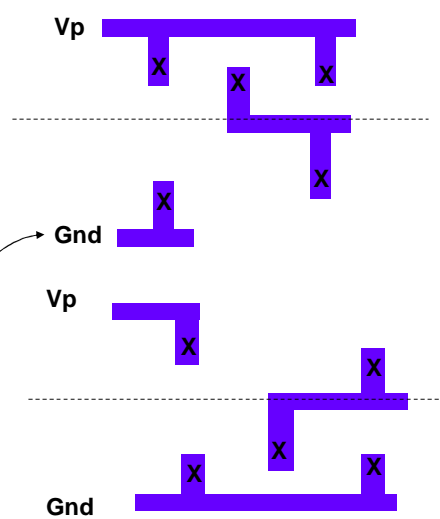
## Σύγκριση NAND2-NOR2

### Κατακόρυφη στρώση πολυSi



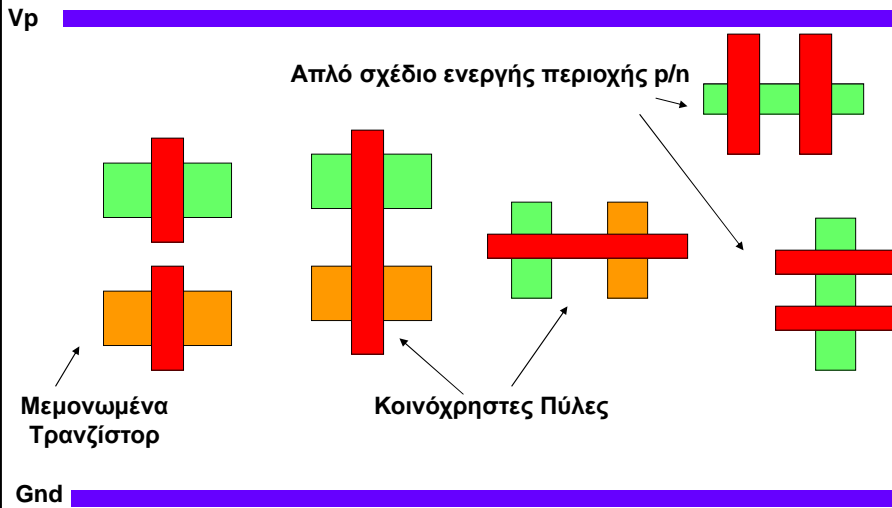
MOS Layout

Wiring



Slide 36

## Γενική Γεωμετρία Φυσικού Σχεδίου



Slide 37

Layout Generator

Pads | Inductor | Contacts | MOS | Path | Logo | Bus | Resistor

Mos Parameters

Width MOS: 1.800 μm

Length MOS: 0.200 μm

Nbr of fingers: 2

nMOS pMOS double gate

Options: low leakage, high speed, high voltage

Units: in micron (μm), in lambda

Imax: 670mA

Generate Device Cancel

Vdd+

pFETs  
W = 16 λ

nFETs  
W = 16 λ

VSS-

Vdd+

VSS-

(a) NOR2 Layout

(b) NAND2 Layout

Slide 38

## Διαγράμματα Γραμμής ( Stick Diagrams)

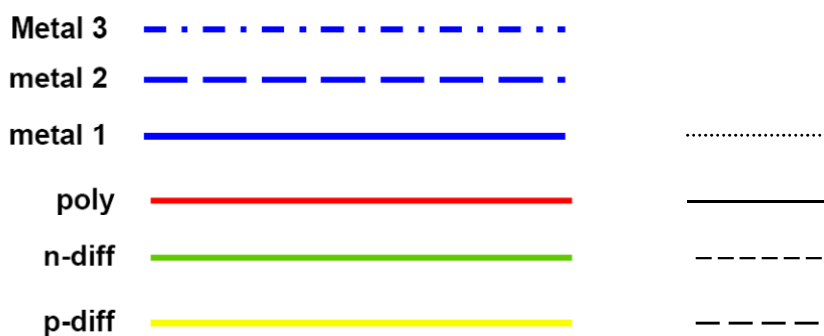
Ένα διάγραμμα γραμμής είναι ένα προπαρασκευαστικό σχέδιο (**cartoon**) του φυσικού σχεδίου.

Δείχνει τα τρανζίστορ/νίας αλλά μόνο τη **σχετική τους θέση**.

**Δεν** δείχνει την ακριβή θέση, το μέγεθος των τρανζίστορ, το μήκος των καλωδίων, το πλάτος των καλωδίων, τα όρια των πηγαδιών, κάποια ειδικά στοιχεία.

Slide 39

## Διαγράμματα Γραμμής ( Stick Diagrams)



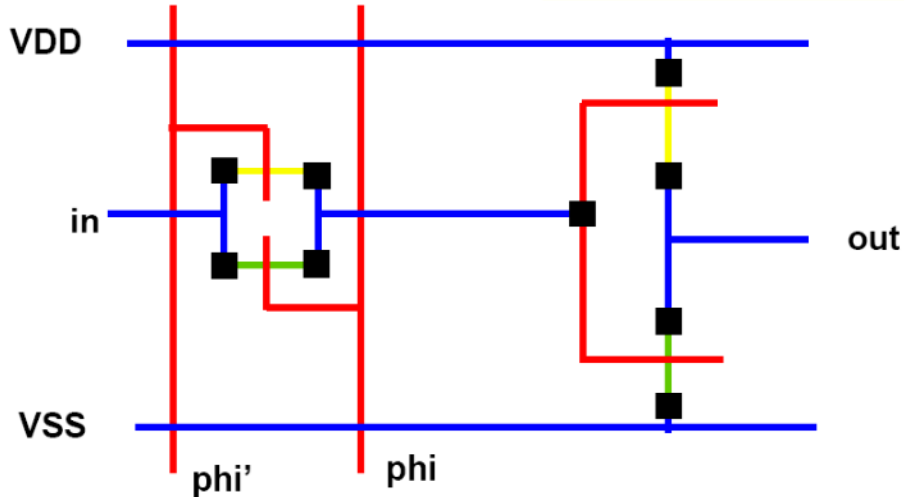
Προσοχή: Τα διαγράμματα γραμμής μπορεί να ή να μην απεικονίζουν πηγάδια.

Αν όχι, χρησιμοποιείστε διαφορετικά χρώματα για τη διάκριση μεταξύ των περιοχών n-diff και p-diff.

Slide 40

## Διαγράμματα Γραμμής δυναμικού μανδαλωτή (Latch)

Ποιο είναι το κύκλωμα;



Slide 41

## Μεθόδευση εξατομικευμένου φυσικού σχεδίου (Full Custom layout)

- ❑ Επιλογή του καθολικών διευθύνσεων για τις στρώσεις των αγωγών
  - Γειτονικές στρώσεις αγωγών θα πρέπει να κατευθύνονται κάθετα
  - Παράδειγμα: m2 οριζόντιο m1 κάθετο
- ❑ Τοποθέτηση πρώτα των γραμμών παροχής στο ανώτερο στρώμα μετάλλου.
- ❑ Ομαδοποίηση τρανζίστορ μεταξύ τους, NMOS με NMOS και PMOS με PMOS.
- ❑ Γενικά, διατήρηση του προσανατολισμού της πύλης
- ❑ Τοποθέτηση των τρανζίστορ έτσι ώστε οι κοινές επαφές πηγής/υποδοχής να μπορούν να μοιράζονται
- ❑ Τοποθέτηση των τρανζίστορ έτσι ώστε οι κοινές πύλες να ευθυγραμμίζονται

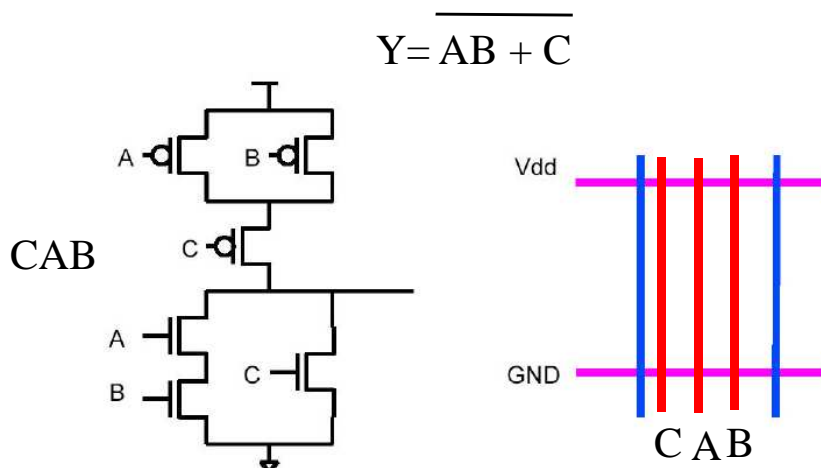
Slide 42

## Μεθόδευση Διαγραμμάτων Γραμμής

- ❑ Απλοποιημένη έκδοση του φυσικού σχεδίου
- ❑ Διευθέτηση τοπολογίας χωρίς λεπτομέρειες
  - Γραμμές σχεδιάζονται με χρώματα για να καθορίσουν το είδος της στρώσης
  - Οι γραμμές της ίδιας στρώσης δεν τέμνονται
  - Οι γραμμές σχεδιάζονται χωρίς πάχος
  - Κατά προσέγγιση σχετικές αποστάσεις

Slide 43

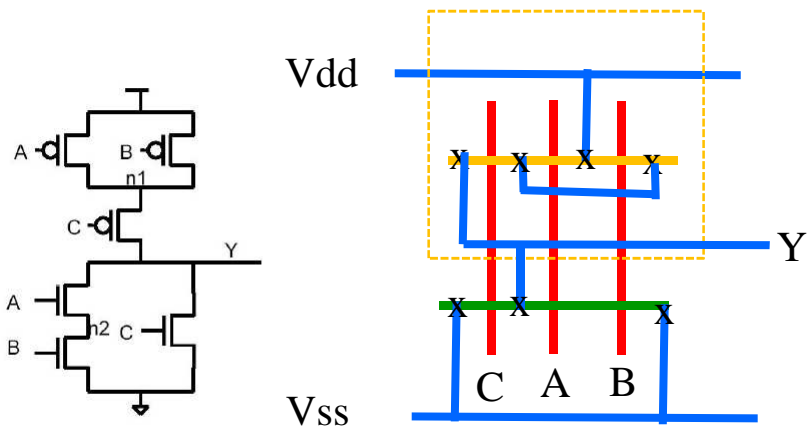
## Διαγράμματα Γραμμής ( Stick Diagrams)



- Επιλογή καθολικών διευθύνσεων για τις στρώσεις των αγωγών
- Τοποθέτηση των γραμμών παροχής στο ανώτερο στρώμα μετάλλου

Slide 44

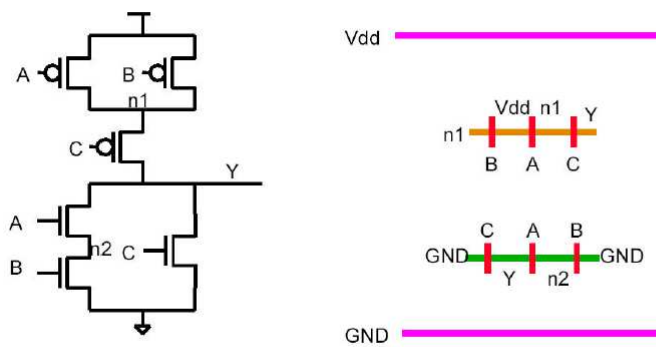
## Διαγράμματα Γραμμής ( Stick Diagrams)



- Ομαδοποίηση τρανζίστορ, NMOS με NMOS και PMOS με PMOS.
- Γενικά, διατήρηση του προσανατολισμού της πύλης

Slide 45

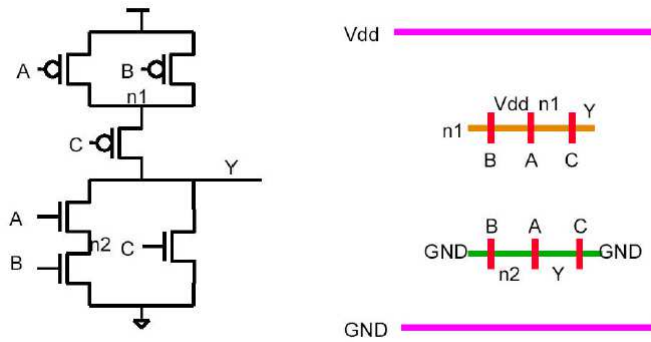
## Διαγράμματα Γραμμής ( Stick Diagrams)



- Τοποθέτηση των τρανζίστορ έτσι ώστε οι κοινές επαφές πηγής/υποδοχής να μπορούν να μοιράζονται.
- Προτεραιότητα στα κοινά σήματα σε σχέση με τα σταθερά δυναμικά ( $V_{DD}$  & GND).

Slide 46

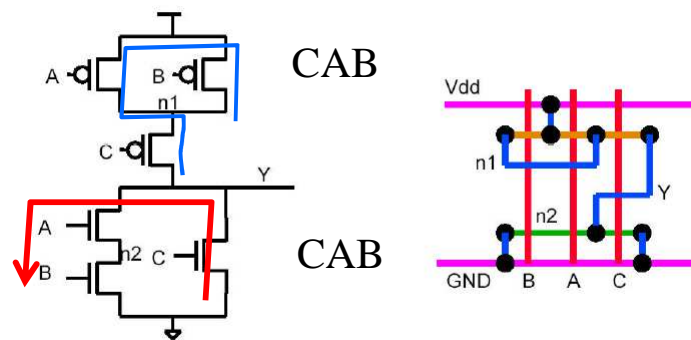
## Διαγράμματα Γραμμής ( Stick Diagrams)



- Τοποθέτηση των τρανζίστορ έτσι ώστε οι κοινές πύλες να ευθυγραμμίζονται

Slide 47

## Διαγράμματα Γραμμής ( Stick Diagrams)

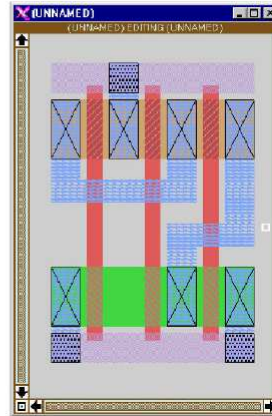
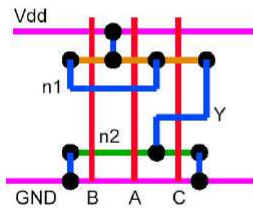


- Σύνδεση όλων

Slide 48



## Μετατροπή σε Μάσκες Φυσικού σχεδίου



Slide 49

## Μεταφορά λογικών κυκλωμάτων σε φυσικό σχέδιο

• **τεχνικές σχεδίασης:** διευθέτηση τρζ στο φυσικό σχέδιο

- μέθοδος δοκιμής και σφάλματος
  - δουλεύει αρκετά καλά για απλές πύλες

- **διαδρομές Euler**

- γραφική μέθοδος διευθέτησης των τρζ. στο φυσικό σχέδιο

• **τεχνικές φυσικού σχεδιασμού:** βελτιστοποίηση των διασυνδέσεων στο φυσικό σχέδιο

- μέθοδος δοκιμής και σφάλματος
  - δουλεύει αρκετά καλά για απλές πύλες αλλά απαιτεί πολλές επαναλήψεις

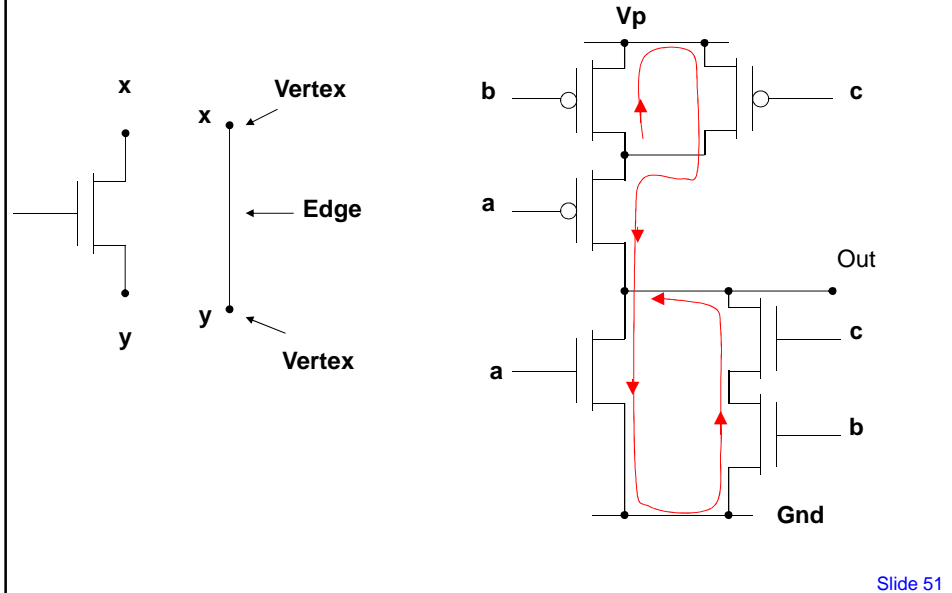
- **διαγράμματα γραμμής**

- απλή μέθοδος πρόχειρης απεικόνισης φυσικών σχεδίων, ώστε να δούμε ποιο σχέδιο είναι το καλύτερο πριν περάσουμε στο δεσμευτικό 'πραγματικό' φυσικό σχέδιο.

• **Καλύτερη μέθοδος:** συνδυασμός των μονοπατιών Euler και των διαγραμμάτων γραμμής

Slide 50

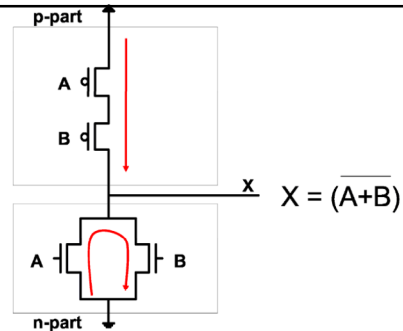
## Graph Theory: Euler Path



Slide 51

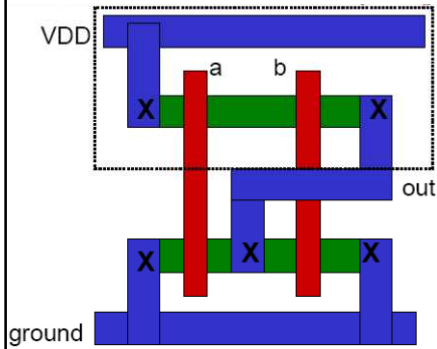
### Euler paths:

μοναδική διαδρομή,  
ανά ομάδα καναλιών,  
που διατρέχει όλα τα  
στοιχεία mos



Η ύπαρξη κοινού δρόμου που περνά από όλα τα τρανζίστορ (πηγή-πύλη-υποδοχή) στο p-τμήμα και στο n-τμήμα υποδεικνύει ότι το φυσικό σχέδιο μπορεί να κατασκευαστεί χρησιμοποιώντας ένα απλό σχέδιο ενεργής περιοχής p/n.

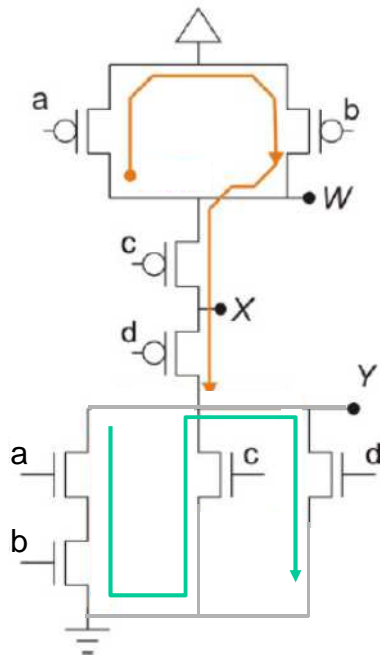
## Διάγραμμα Γραμμής NOR



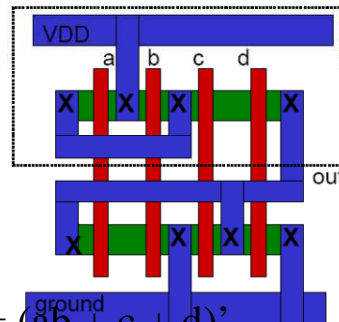
- Αγωγοί παροχής  
- μπλε
- Ενεργές περιοχ. n και p  
- πράσινο
- Πύλες Poly  
- κόκκινο
- μεταλλικές συνδέσεις  
- παροχή, έξοδοι
- Επαφές  
- μαύρο X

Slide 53

## Παράδειγμα: Διαδρομή Euler



- Αναπαράσταση του κυκλώματος σε επίπεδο τρανζιστορ
- Επιλογή ενός μοναδικού δρόμου στο r-τμήμα που περνά από όλα τα τρανζιστορ (πηγή-πύλη-υποδοχή)
- Ο ίδιος δρόμος πρέπει να ισχύει και στο n-τμήμα



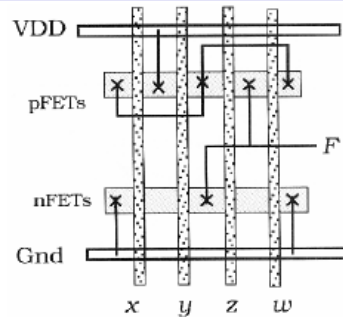
$$Y = (ab + c + d)'$$

Slide 54

## Παράδειγμα: Διάγραμμα γραμμής

### Κανόνες διαγράμματος γραμμής

- Το Poly πάνω από Active = τρζ  
nMOS αν δεν είναι σε n-πηγάδι  
ή κοντά στην κορυφή/VDD
- Το Poly μπορεί να τέμνει το Metal1 και Metal2
- Το Metal1 μπορεί να τέμνει το Poly, Active, Metal2
- Το Metal2 μπορεί να τέμνει το Poly, Active, Metal1
- Το n-well θα πρέπει να περιβάλλει τα τνζ pMOS
- Η Επαφή τρζ/D πρέπει να είναι μεταξύ Active-Metal1
- Η επαφή (poly) πρέπει να είναι μεταξύ Poly-Metal1
- Οι επαφές Via είναι μεταξύ Metal1 και Metal2



Προσέξτε την ομοιότητα του  
"κανονικού" φυσικού σχεδίου με τη  
δομημένη λογική AOI & OAI

Slide 55

## Φυσικό σχέδιο σύνθετων πυλών

### • Γενική μεθοδολογία

- αγωγοί παροχής
- οριζόντιες ενεργές περιοχές
- κάθετες γραμμές Poly (είσοδοι από πάνω/κάτω)
- Το μέταλλο 1 συνδέει τους κόμβους που φαίνονται στο κυκλωματικό σχέδιο

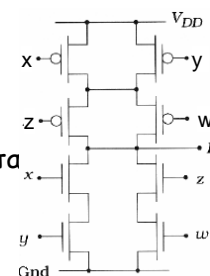
### • Δομημένο φυσικό σχέδιο

- κύκλωμα της μορφής AOI/OAI
- πρακτικό για πολλές λογικές συναρτήσεις
- δείτε προηγούμενα παραδείγματα

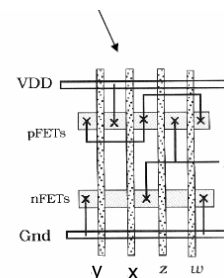
### • Μειονεκτήματα

- όχι το βέλτιστο από πλευράς ταχύτητα
- μεγάλες περιοχές S/D  
= μεγαλύτερες χωρητικότητες
- οι διαδρομές των διασυνδέσεων μπορούν να γίνουν μικρότερες
- όχι το βέλτιστο από πλευράς επιφάνειας/μεγέθους

Ένα καλό παράδειγμα "κανονικού" φυσικού σχεδίου σύνθετης πύλης πρακτικό για γενικές λογικές συναρτήσεις



(α) κύκλωμα

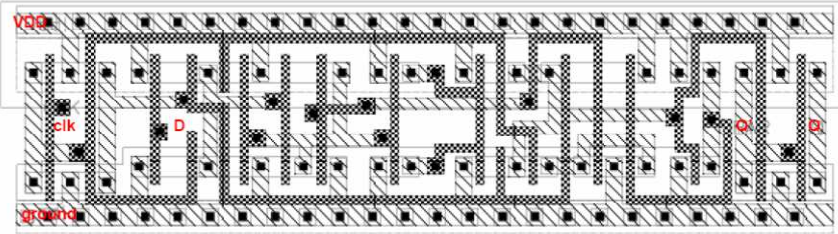


(β) διάγραμμα γραμμής

Slide 56

## Παράδειγμα Φυσικού σχεδίου σύνθετης πύλης

- D-τύπου Flip Flop με Reset
- καλύπτεται στο Εργ. 9



- Χαρακτηριστικά
- το χαρακτηριστικό μέγεθος του κυττάρου (pitch) είναι ίδιο με αυτό των βασικών κυττάρων in, nand, nor, xor
- περίπλοκες διασυνδέσεις μεταλλικών στρώσεων και poly
  - διέρχονται κάτω, πάνω και ανάμεσα από τα τρανζίστορ
- οι θύρες I/O είναι προσβάσιμες μέσω του M1 ή poly (η στρώση M2 απαιτείται για τα δεδομένα D)

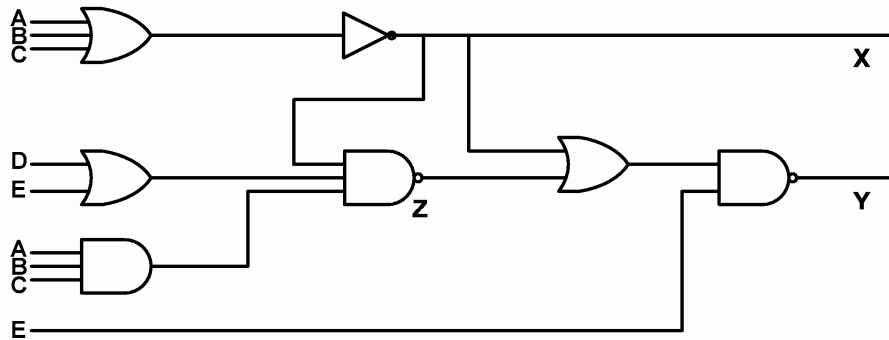
Slide 57

## Σχεδιασμός σύνθετων συναρτήσεων

- Λογική σχεδίαση της συνάρτησης  $f$  με απλές πύλες (AND, OR, NOT, NAND, NOR)
- Κατακερματισμός του κυκλώματος ανά σημείο αναστροφής
- Δημιουργία των επί μέρους συναρτήσεων

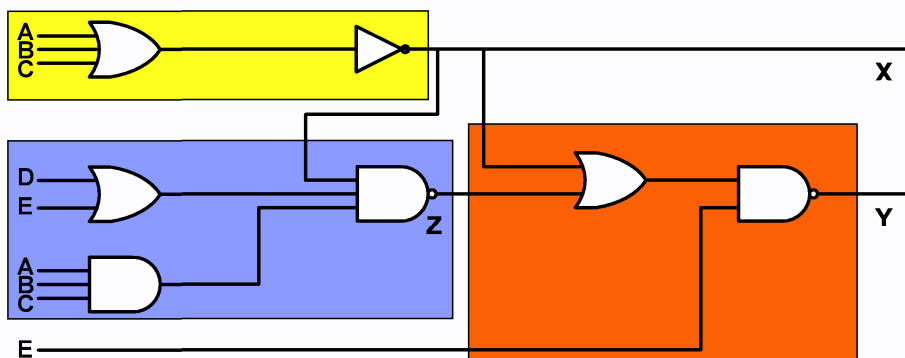
Slide 58

## Παράδειγμα



## Παράδειγμα

$$X = \overline{(A+B+C)}, Y = \overline{E \cdot (X + ((ABC) \cdot (D+E) \cdot X))}$$

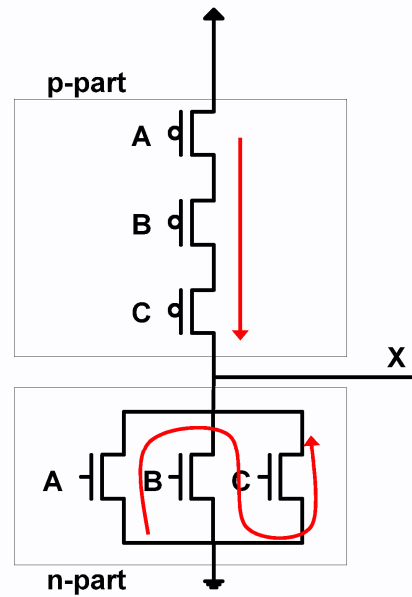


# Παράδειγμα

$$X = \overline{(A+B+C)}$$

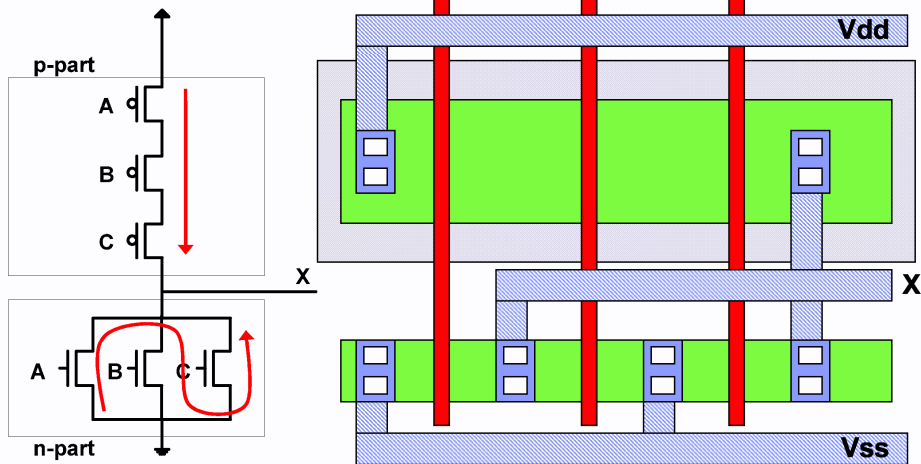
## Euler paths:

μοναδική διαδρομή,  
ανά ομάδα καναλιών,  
που διατρέχει όλα τα  
στοιχεία mos χωρίς να  
διαπερνά 2 φορές τον  
ίδιο κόμβο



Slide 61

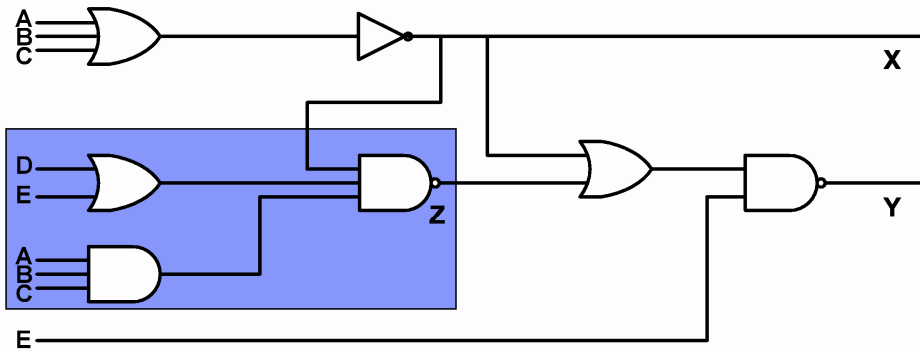
# Παράδειγμα



Slide 62

# Παράδειγμα

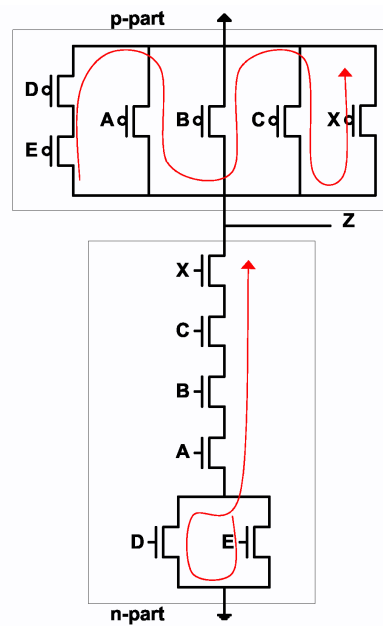
$$X = \overline{(A+B+C)}, Y = \overline{(E.(X + ((ABC).(D+E).X))})$$



Slide 63

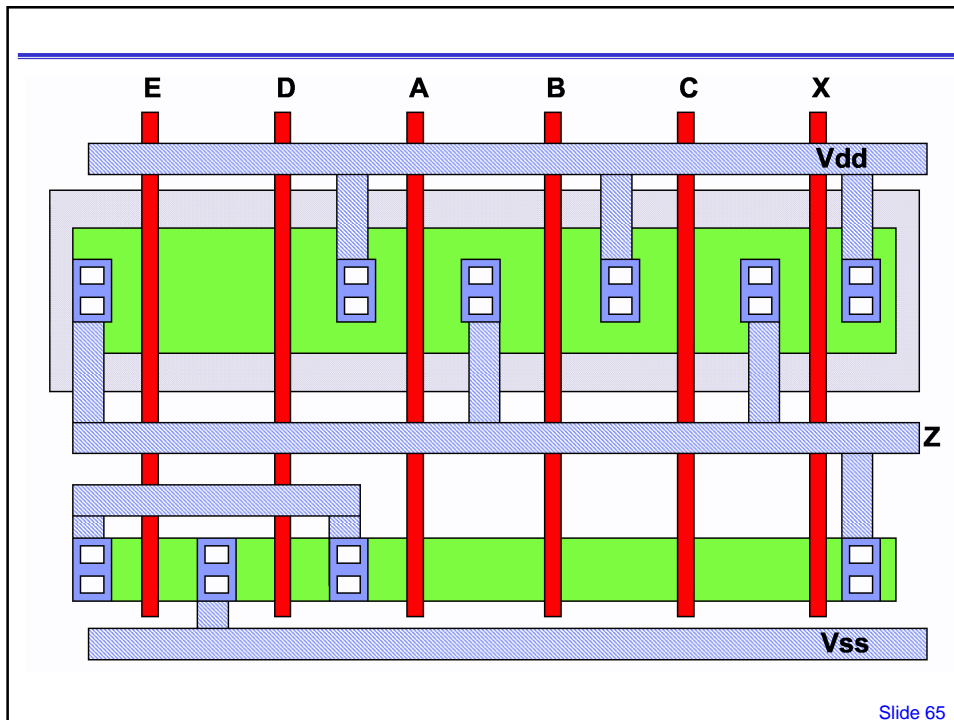
# Παράδειγμα

$$Z = \overline{(D + E).A.B.C.X}$$



Slide 64

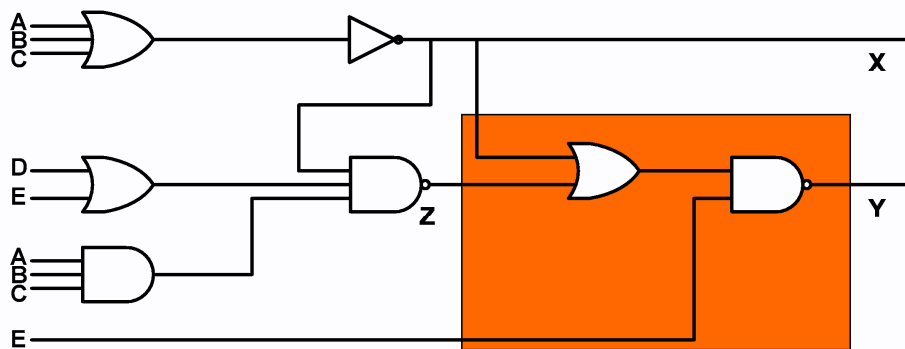




Slide 65

## Παράδειγμα

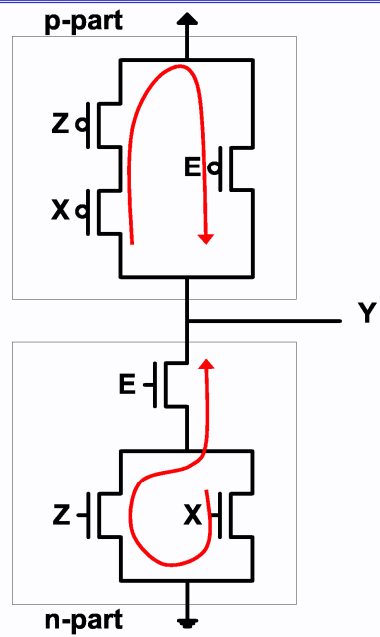
$$X = \overline{(A+B+C)}, Y = \overline{(E \cdot (X + ((ABC) \cdot (D+E) \cdot X)))}$$



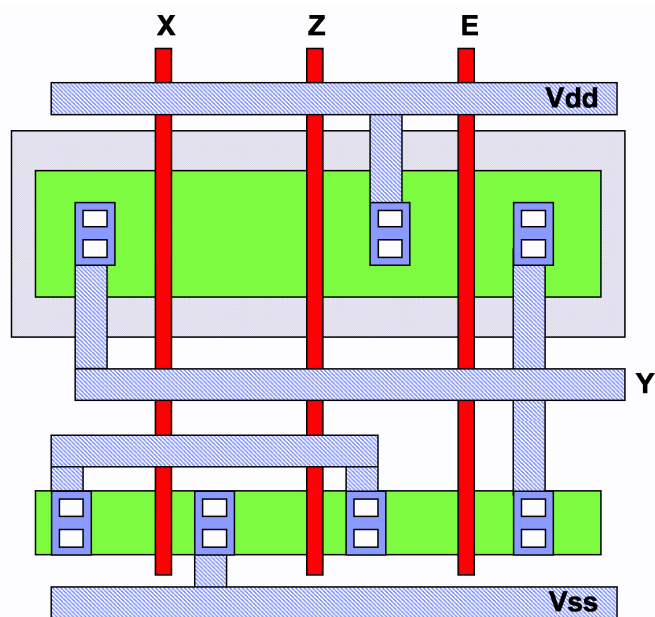
Slide 66

# Παράδειγμα

$$Y = \overline{(Z + X)}.E$$



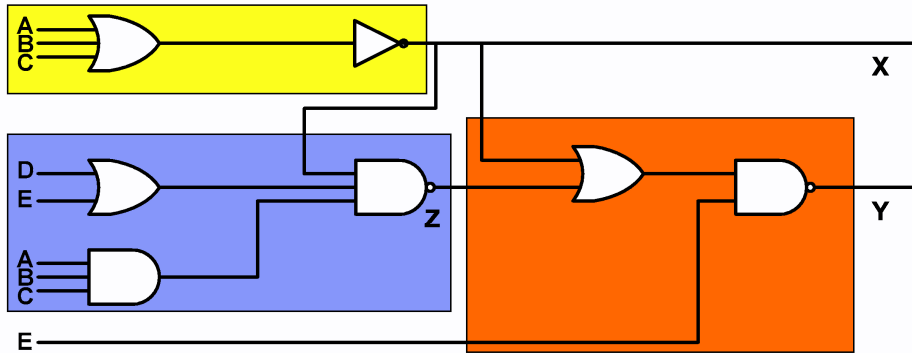
Slide 67



Slide 68

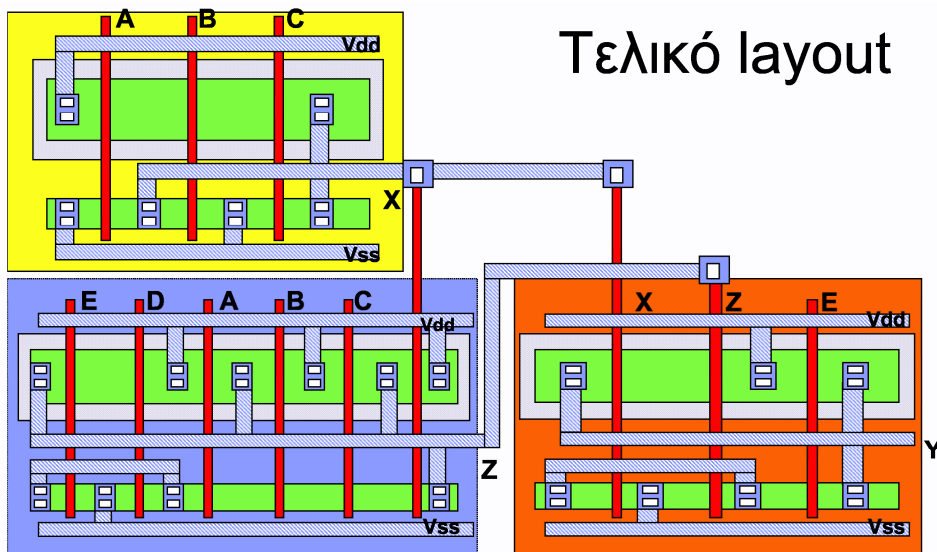
# Παράδειγμα

$$X = \overline{(A+B+C)}, Y = \overline{(E \cdot (X + ((\overline{A \cdot B \cdot C}) \cdot (D+E) \cdot X)))}$$



Slide 69

# Τελικό layout



Slide 70

---

## Θέματα στο Σχεδιασμό Ολοκληρωμένων Κυκλωμάτων CMOS

ΤΛ 503

L3: Αρχές Φυσικού Σχεδιασμού

Slide 71

- 
- Στόχοι σχεδίασης
  - Παράδειγμα απλοποίησης
  - Παράδειγμα βελτιστοποίησης οδηγητικής ικανότητας

Slide 72

## Στόχοι βέλτιστης σχεδίασης

- **Μικρό κόστος** (λιγότερα επίπεδα μετάλλου, μικρότερο μήκος γραμμών, λιγότερες επαφές)
- **Υλοποίηση του βέλτιστου σχεδιασμού ως προς τη λογική σχεδίαση** (απλοποίηση, εξάλειψη πλεονασμού)
- **Βελτίωση των χαρακτηριστικών** (ταχύτερη απόκριση, μεγαλύτερο fan-out => λιγότερες επαφές στην έξοδο)

Slide 73

## Μικρό κόστος

- Εξάλειψη των πλεοναζόντων επαφών
- Μείωση του μήκους των γραμμών (γεωμετρικό πρόβλημα, floor-planning)
- Μείωση των επιπέδων μετάλλου (2 επίπεδα μετάλλου συνήθως είναι αρκετά)
- Χρήση ειδικών οικογενειών κυκλωμάτων (dynamic CMOS κ.τ.λ.)

Slide 74

---

## Μικρό κόστος

### ΠΡΟΣΟΧΗ

- Πρέπει να ικανοποιούνται οι στοιχειώδεις κανόνες σχεδιασμού
- Πρέπει να τηρούνται οι απαιτήσεις του κυκλώματος (π.χ. απόδοση)

Slide 75

---

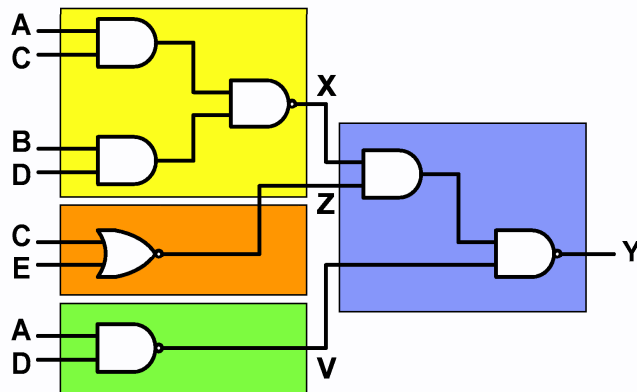
## Απλοποίηση Λογικής

- Καταγράφεται η συνάρτηση  $f$
- Απλοποιείται ώστε να περιγράφεται από το δυνατόν λιγότερους όρους
- Χρησιμοποιείται πάντα η συμπληρωματική της μορφή
- Επανασχεδιάζουμε την λογική της  $f$  σε τρανζίστορ ή λογικές πύλες και καταλήγουμε στο layout

Slide 76

## Παράδειγμα Απλοποίησης Λογικής

Να σχεδιαστεί το layout της παρακάτω συνάρτησης



Slide 77

## Παράδειγμα Απλοποίησης Λογικής

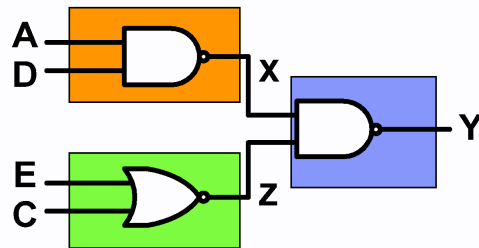
Η συνάρτηση Y ισούται με:

$$\begin{aligned}
 Y &= \overline{[\overline{ACBD} \cdot (\overline{E+C})]} \cdot \overline{AD} = \overline{[(\overline{AD} + \overline{BC}) \cdot (\overline{E+C})]} \cdot \overline{AD} = \\
 &= \overline{[\overline{AD} \cdot (\overline{E+C}) \cdot \overline{AD}] + [\overline{BC} \cdot (\overline{E+C}) \cdot \overline{AD}]} = \\
 &= \overline{[\overline{AD} \cdot (\overline{E+C})]} + \overline{[\overline{AD} \cdot (\overline{E+C}) \cdot \overline{BC}]} = \\
 &= \overline{[\overline{AD} \cdot (\overline{E+C})]} \cdot [1 + \overline{BC}] = \\
 &= \overline{[\overline{AD} \cdot (\overline{E+C})]}
 \end{aligned}$$

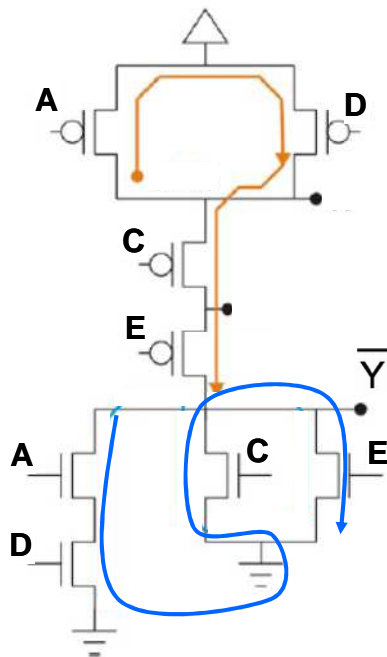
Slide 78

## Παράδειγμα Απλοποίησης Λογικής

Συνεπώς η αρχική συνάρτηση απλοποιείται στην:



Slide 79



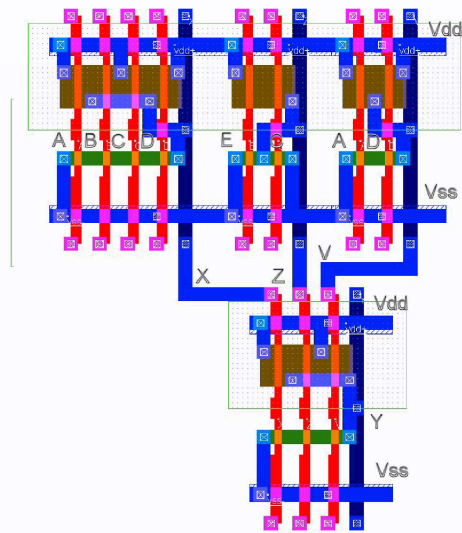
$$Y = \overline{\overline{AD} \cdot \overline{(E + C)}} \\ = AD + (E + C)$$

Slide 80



## Παράδειγμα Απλοποίησης Λογικής

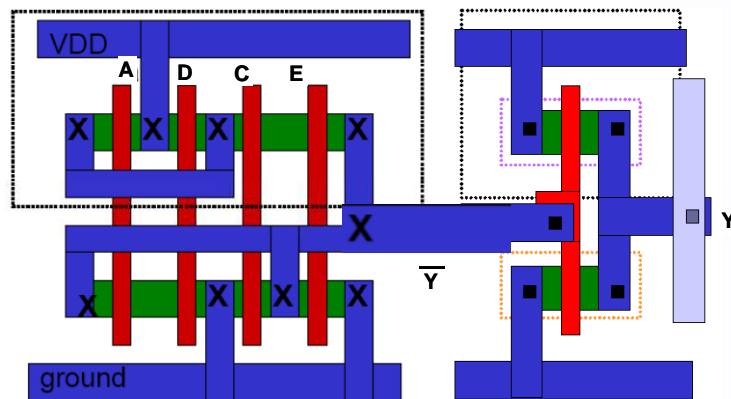
ΠΡΙΝ



Slide 81

## Παράδειγμα Απλοποίησης Λογικής

ΜΕΤΑ



Slide 82

## Βελτιστοποίηση Χαρακτηριστικών

- Η συνάρτηση  $f$  απλοποιείται
- Μελετάται η συνδεσμολογία των τρανζίστορ
- Τροποποιείται προκειμένου στην έξοδο να συνδέονται το μικρότερο δυνατό πλήθος

Slide 83

## Βελτιστοποίηση Χαρακτηριστικών

- Επιτυγχάνεται αύξηση της **οδηγητικής ικανότητας της εξόδου** λόγω μείωσης της αντίστασης των συνδέσεων και των χωρητικότητων των επαφών

Slide 84

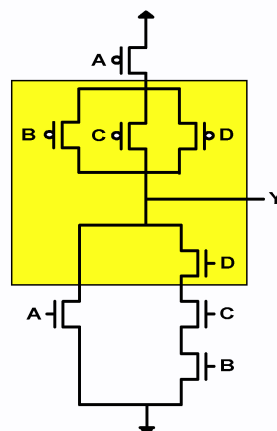
## Βελτιστοποίηση Χαρακτηριστικών

- **Βαθμός εισόδου (*fan-in*)**: το πλήθος των εισόδων μιας πύλης
- **Βαθμός εξόδου (*fan-out*)**: το πλήθος των διασυνδεδεμένων πυλών στην έξοδο μιας πύλης
- **Οδηγητική ικανότητα (*drive strength*)**: το πλήθος των διασυνδεδεμένων πυλών στην έξοδο μιας πύλης που δύναται να «οδηγήσει»

Slide 85

## Παράδειγμα Βελτιστοποίησης

Βελτιστοποίηση της οδηγητικής ικανότητας

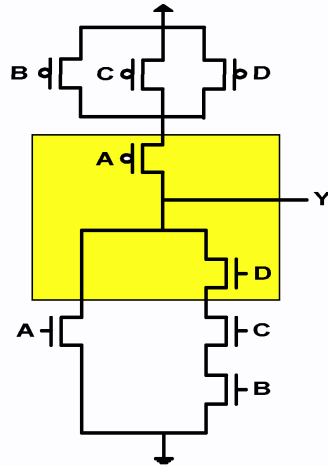


5 transistors  
συνδεδεμένα  
στην έξοδο

Slide 86

# Παράδειγμα Βελτιστοποίησης

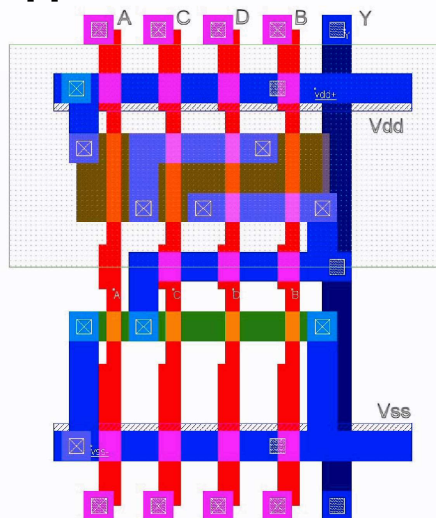
## Βελτιστοποίηση της οδηγητικής ικανότητας



3 transistors  
συνδεδεμένα  
στην έξοδο

Slide 87

# Παράδειγμα Βελτιστοποίησης



Slide 88