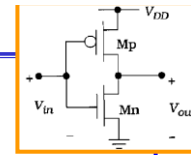


Μάθημα 9:



- ### Ηλεκτρονική Ανάλυση Λογικών Πυλών CMOS
1. Στατικές Χαρακτηριστικές Αντιστροφεία
 2. Δυναμικές Χαρακτηριστικές Αντιστροφεία
 3. Απώλεια Ισχύος

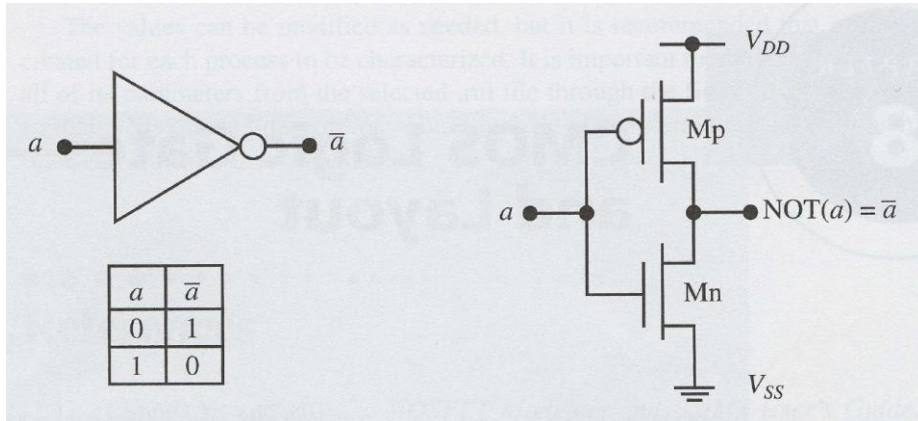
Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο
Τμήμα Ηλεκτρονικών Μηχανικών
2021-2022

ΣΗΜΕΙΩΣΗ: Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

Αντιστροφέας CMOS



ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 3

Αντιστροφέας CMOS: Στατική Ανάλυση

- Ανάλυση των στατικών χαρακτηριστικών των πυλών CMOS διαμέσου της μελέτης του αντιστροφέα

- Ανάλυση DC

- DC τιμή ενός σήματος υπό στατικές συνθήκες

- Ανάλυση DC του αντιστροφέα CMOS

- V_{in} , τάση εισόδου

- V_{out} , τάση εξόδου

- Απλή πηγή τροφοδοσίας, V_{DD}

- Δυναμικό αναφοράς, γείωση V_{SS}

- Εύρεση $V_{out} = f(V_{in})$

- Χαρακτηριστική Μεταφοράς τάσης (XMT)

Voltage Transfer Characteristic (VTC)

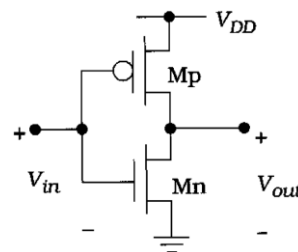
- Απεικόνιση του V_{out} σαν συνάρτηση του V_{in}

- Μεταβολή V_{in} από 0V μέχρι V_{DD}

- Εύρεση V_{out} για κάθε τιμή του V_{in}

$$\text{pFET: } V_{Tp} < 0$$

$$\beta_p = \kappa'_p \left(\frac{W}{L}\right)_p$$



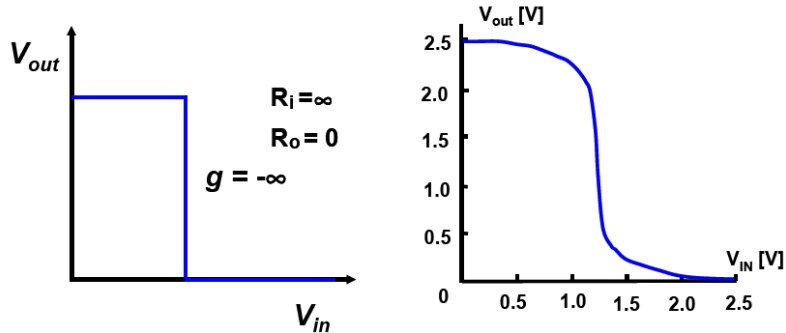
$$\text{nFET: } V_{Tn} > 0$$

$$\beta_n = \kappa'_n \left(\frac{W}{L}\right)_n$$

Slide 4

Σύγκριση Ιδανικού & Πραγματικού Αντιστροφέα

Χαρακτηριστική Μεταφοράς Τάσης (ΧΜΤ)



Ο ιδανικός αντιστροφέας στα αριστερά δεν υπάρχει.

Θα μελετήσουμε τη ΧΜΤ του πραγματικού αντιστροφέα στα δεξιά

Πως μπορούμε να καθορίσουμε τη ΧΜΤ ;

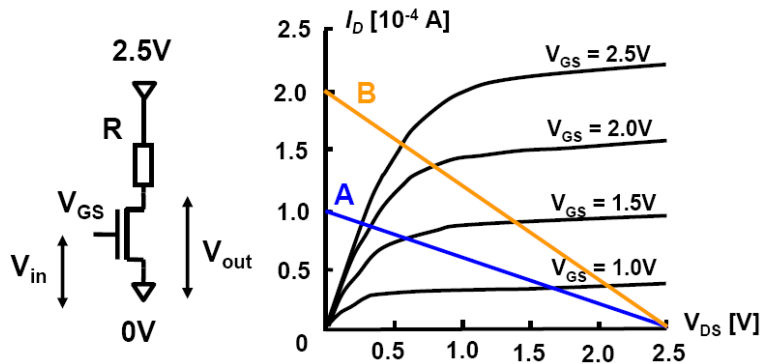
Θα αρχίσουμε από έναν απλό 'ψευδο nMOS' αντιστροφέα

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 5

Ευθεία-Φόρτου



Άσκηση:

Η **μπλε** ευθεία φόρτου A αντιστοιχεί σε $R =$

Η **πορτοκαλί** ευθεία φόρτου A αντιστοιχεί σε $R =$

Με ευθεία φόρτου A και $V_{GS} = 1V$, $V_{out} =$

Σχεδιάστε την καμπύλη για $V_{out}(V_{in})$ για ευθεία φόρτου A και B

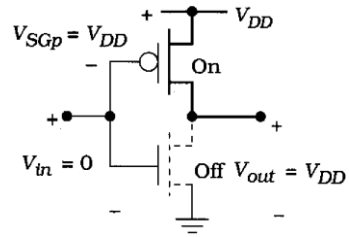
ΤΑ 5017

L9: Αντιστροφέας CMOS

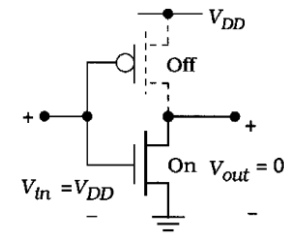
Slide 6

Ευθείες Φόρτου PMOS

- **Υψηλή τάση εξόδου, V_{OH}**
- Μέγιστο επίπεδο τάσης εξόδου
 - λαμβάνεται όταν η είσοδος είναι χαμηλή ($V_{in} = 0V$)
 - pMOS είναι ON, nMOS είναι OFF
 - pMOS έλκει V_{out} στο V_{DD}
- $V_{OH} = V_{DD}$



- **Χαμηλή τάση εξόδου, V_{OL}**
- Ελάχιστο επίπεδο τάσης εξόδου
 - λαμβάνεται όταν η είσοδος είναι υψηλή ($V_{in} = V_{DD}$)
 - pMOS είναι OFF, nMOS είναι ON
 - nMOS έλξει V_{out} στη γείωση
- $V_{OL} = 0V$



- **Λογικό Εύρος (Logic Swing)**
- Μέγιστο εύρος του σήματος εξόδου
 - $V_L = V_{OH} - V_{OL}$
 - $V_L = V_{DD}$

TA 5017

L9: Αντιστροφέας CMOS

Slide 7

Ευθείες Φόρτου PMOS

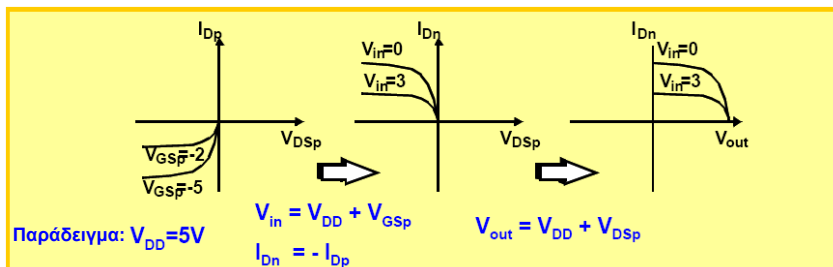
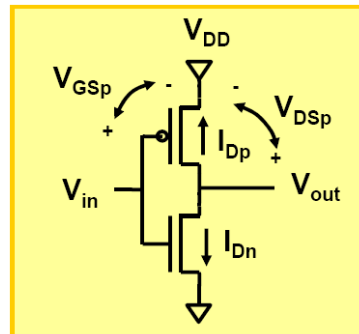
Στόχος: Συνδυασμός I_{Dn} και I_{Dp} σε ένα διάγραμμα

Kirchoff:

$$V_{in} = V_{DD} + V_{GSp}$$

$$I_{Dn} = -I_{Dp}$$

$$V_{out} = V_{DD} + V_{DSp}$$

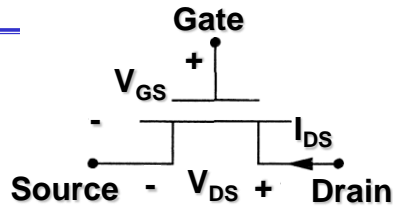


TA 5017

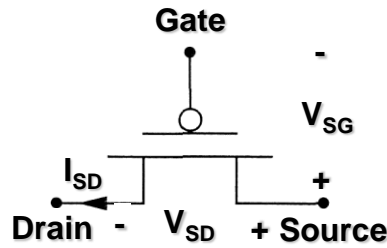
L9: Αντιστροφέας CMOS

Slide 8

nFET



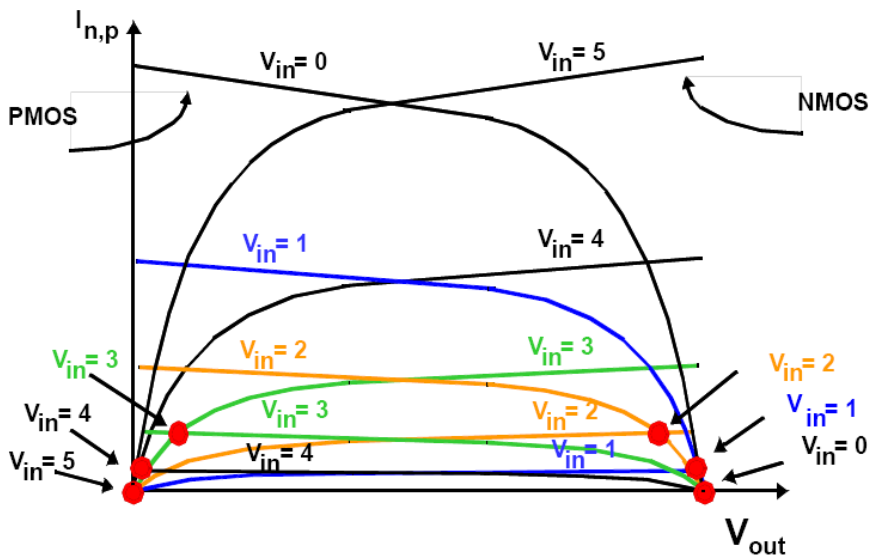
pFET ($V_{DS}, V_{GS}, I_D, V_T < 0$)



Ευθείες Φόρτου PMOS

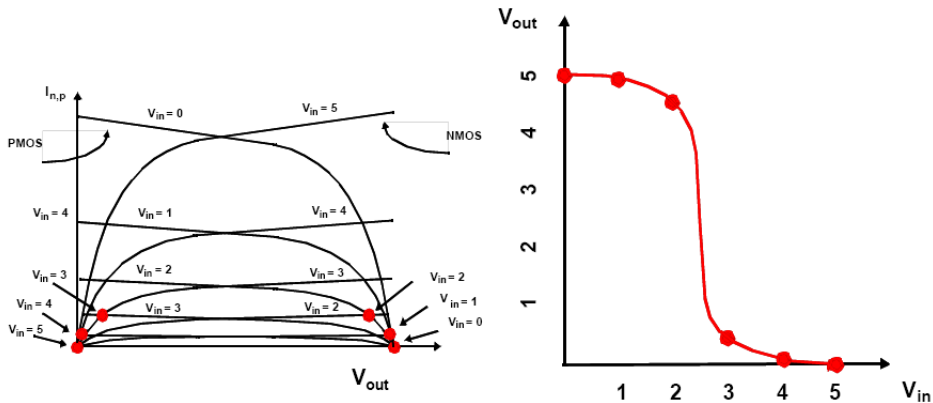
- Το ρεύμα υπολογίζεται σαν να ήταν nMOS χρησιμοποιώντας απόλυτες τιμές

Αντιστροφέας CMOS: Χαρακτηριστικές Φόρτου



Αντιστροφείας CMOS:

Χαρακτηριστική Μεταφοράς Τάσης (XMT)



ΤΑ 5017

L9: Αντιστροφείας CMOS

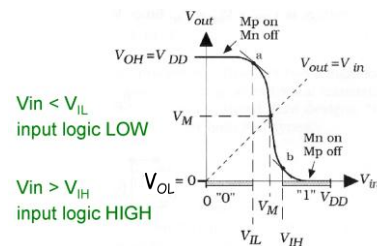
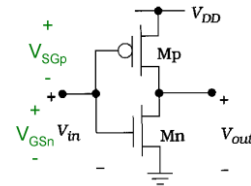
Slide 11

Χαρακτηριστική Μεταφοράς Τάσης

- Τάση Πύλης, $f(V_{in})$
- Τάση Υποδοχής, $f(V_{out})$
- $V_{GSn}=V_{in}, V_{SGp}=V_{DD}-V_{in}$
- $V_{DSn}=V_{out}, V_{SDp}=V_{DD}-V_{out}$

- Περιοχές λειτουργίας τρανζίστορ (μεταξύ V_{OH} και V_{OL})

- V_{in} χαμηλό επίπεδο τάσης
 - $V_{in} < V_{tn}$
 - Mn στην αποκοπή, OFF
 - Mp στη γραμμική, V_{out} έλκεται στο V_{DD}
 - $V_{in} > V_{tn} < \sim V_{out}$
 - Mn στον κόρο, έντονο ρεύμα
 - Mp στη γραμμική, V_{SG} & ρεύμα ελαττώνονται
 - V_{out} ελαττώνεται μέσω του ρεύματος που ρέει στο Mn
- $V_{in} = V_{out}$ (σημείο μετάβασης) $\approx \frac{1}{2} V_{DD}$
 - Mn και Mp στον κόρο
 - μέγιστο ρεύμα στο $V_{in} = V_{out}$
- V_{in} υψηλό επίπεδο τάσης
 - $V_{in} > \sim V_{out}, V_{in} < V_{DD} - |V_{tp}|$
 - Mn στη γραμμική, Mp στον κόρο
 - $V_{in} > V_{DD} - |V_{tp}|$
 - Mn στον κόρο, Mp στην αποκοπή



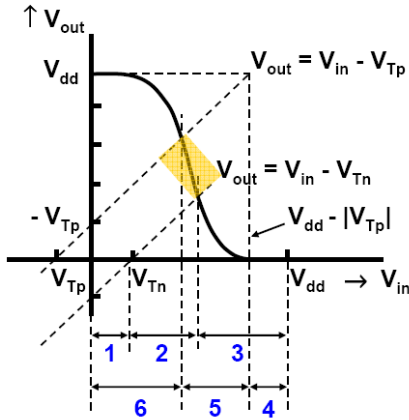
ΤΑ 5017

L9: Αντιστροφείας CMOS

Slide 12

Αντιστροφές CMOS: Συνθήκες Λειτουργίας

Πρέπει να είναι γνωστές για την επιτυχή επιλογή των διαστάσεων των τρανζίστορ, την ανάλυση των παραθύρων θορύβου, κτλ.



NMOS

- 1 $V_{in} = V_{GS} < V_{Tn} \Rightarrow$ off
- 2 $V_{out} > V_{in} - V_{Tn}$
 $V_{DS} > V_{GS} - V_{Tn}$
 $V_{GD} < V_{Tn} \Rightarrow$ saturation
- 3 $V_{out} < V_{in} - V_{Tn} \Rightarrow$ resistive

PMOS

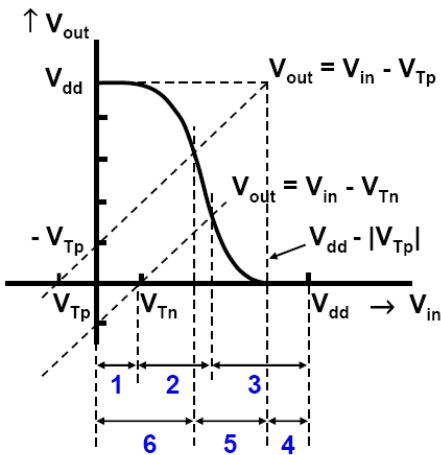
- 4 $V_{in} > V_{DD} + V_{Tp} \Rightarrow$ off
- 5 $V_{out} < V_{in} - V_{Tp} \Rightarrow$ saturation
- 6 $V_{out} > V_{in} - V_{Tp} \Rightarrow$ resistive

TA 5017

L9: Αντιστροφές CMOS

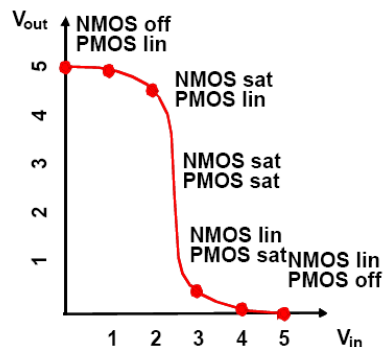
Slide 13

Αντιστροφές CMOS: Συνθήκες Λειτουργίας



- NMOS 1 off
 2 saturation
 3 resistive

- PMOS 4 off
 5 saturation
 6 resistive

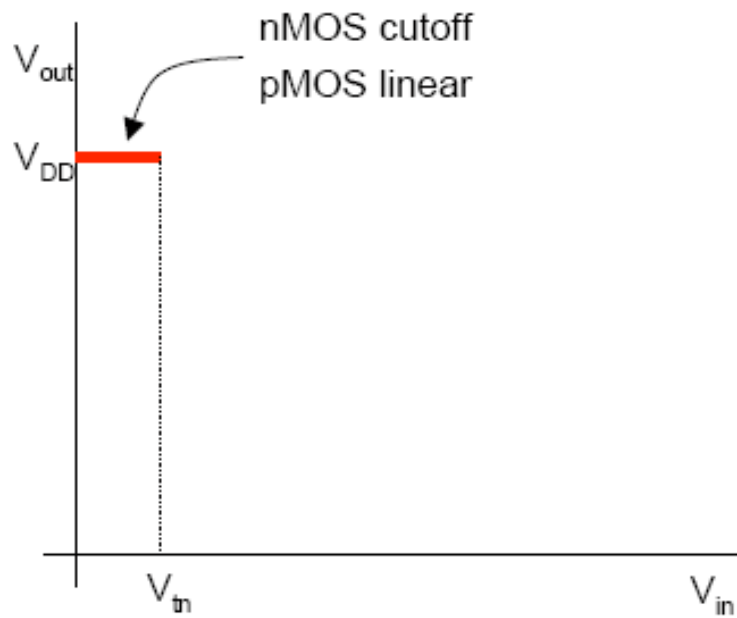


TA 5017

L9: Αντιστροφές CMOS

Slide 14

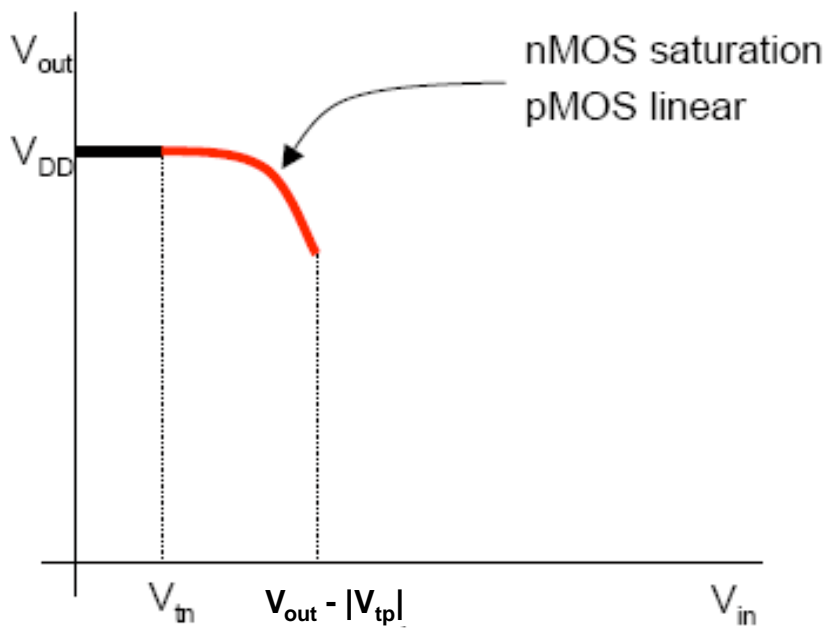
Ανάλυση της Χαρακτηριστικής Μεταφοράς



T.

Slide 15

Ανάλυση Χαρακτηριστικής Μεταφοράς



Slide 16

Ανάλυση Χαρακτηριστικής Μεταφοράς

Θέστε I_{DS} (pMOS-γραμμική) = I_{DS} (nMOS-κόρο)

$$\beta_n \left(\frac{(V_{in} - V_m)^2}{2} \right) = \beta_p \left((V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) - \frac{(V_{out} - V_{DD})^2}{2} \right)$$

$$\frac{(V_{out} - V_{DD})^2}{2} - (V_{in} - V_{DD} - V_{tp})(V_{out} - V_{DD}) + \frac{\beta_n (V_{in} - V_m)^2}{\beta_p} = 0$$

$$(V_{out} - V_{DD}) = (V_{in} - V_{DD} - V_{tp}) + \sqrt{(V_{in} - V_{DD} - V_{tp})^2 - \frac{\beta_n}{\beta_p} (V_{in} - V_m)^2}$$

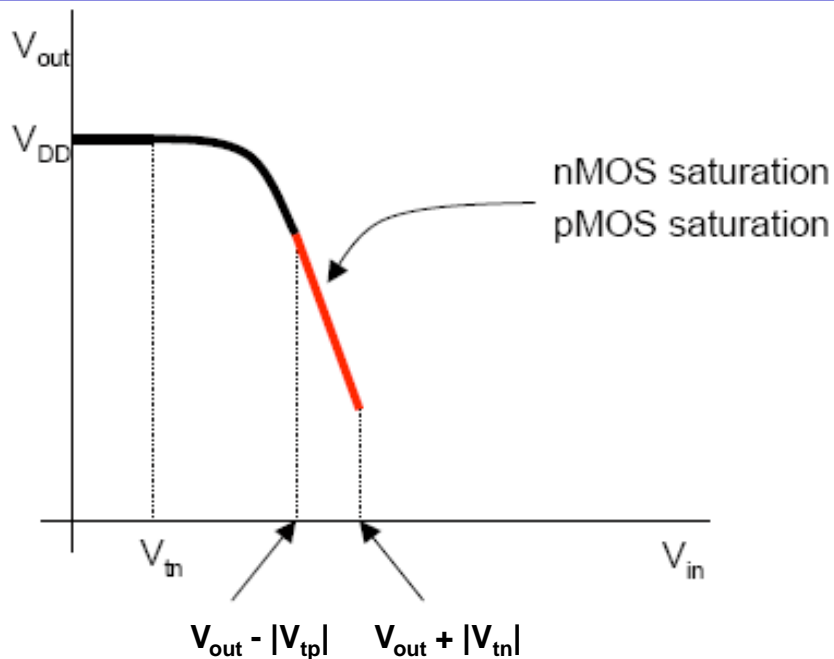
$$V_{out} = (V_{in} - V_{tp}) + \sqrt{(V_{in} - V_{DD} - V_{tp})^2 - \frac{\beta_n}{\beta_p} (V_{in} - V_m)^2}$$

TA 5017

L9: Αντιστροφείας CMOS

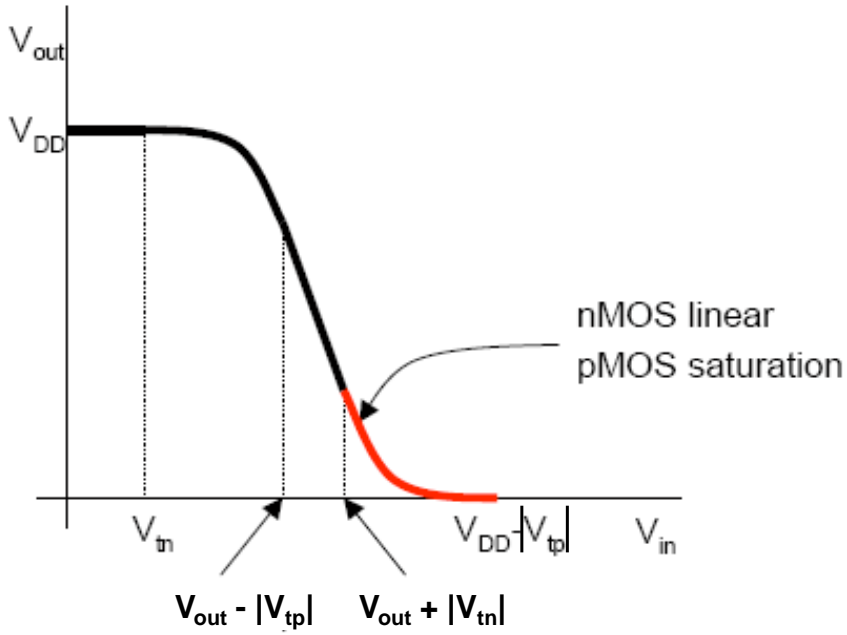
Slide 17

Ανάλυση Χαρακτηριστικής Μεταφοράς



Slide 18

Ανάλυση Χαρακτηριστικής Μεταφοράς

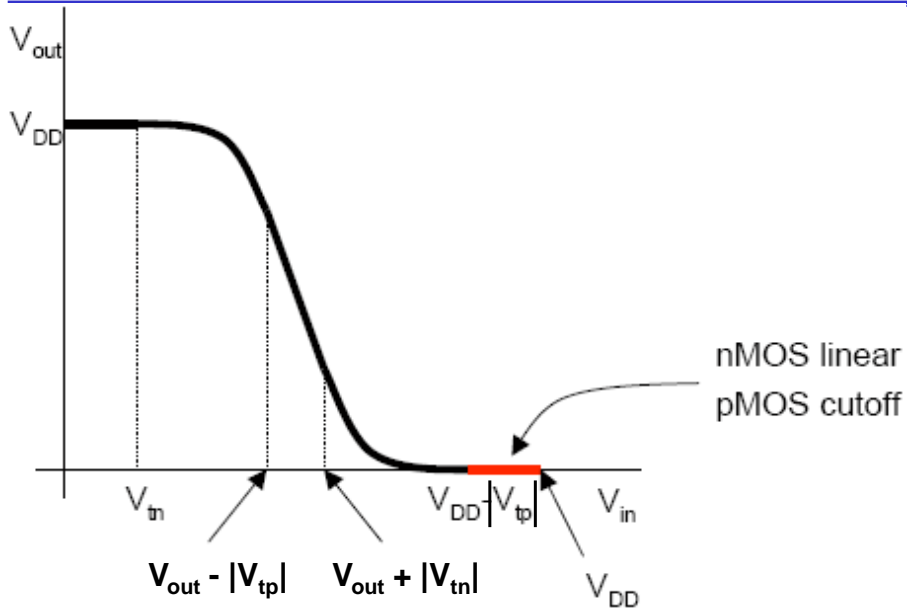


TA 5017

L9: Αντιστροφείας CMOS

Slide 19

Ανάλυση Χαρακτηριστικής Μεταφοράς



TA 5017

L9: Αντιστροφείας CMOS

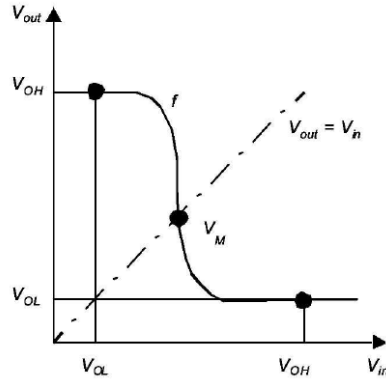
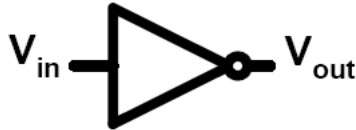
Slide 20

Αντιστροφέας CMOS: Κατώφλι μετάβασης V_M

V_M : σημείο της ΧΜΤ όπου $V_{out} = V_{in}$

$$V_M = f(R_{onn}, R_{onp})$$

Δεν είναι η τάση κατωφλίου του τρανζίστορ



Επιλογή W_n , L_n , W_p , L_p έτσι ώστε η ΧΜΤ να είναι συμμετρική καθώς αυτό βελτιώνει τα παράθυρα θορύβου

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 21

Αντιστροφέας CMOS: Κατώφλι μετάβασης V_M

V_M είναι V_{in} έτσι ώστε $V_{in} = V_{out}$

$$V_{DS} = V_{GS} \Leftrightarrow V_{GD} = 0 \Rightarrow \text{κόρος}$$

Αγνότητα της διαμόρφωσης μήκους καναλιού

$$V_M \text{ υπολογίζεται από τη σχέση } I_{DSATn}(V_M) = -I_{DSATp}(V_M)$$

(στον αντιστροφέα, $I_{Dn} = -I_{Dp}$, πάντα!)



ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 22

Υπολογισμός V_M

$$I_{Dn} = \frac{\mu_n C_{OX}}{2} \frac{W}{L} (V_{GSn} - V_{tn})^2 = \frac{\beta_n}{2} (V_{GSn} - V_{tn})^2 = \frac{\beta_p}{2} (V_{SGp} - |V_{tp}|)^2 = I_{Dp}$$

– έκφραση με όρους V_M

$$\frac{\beta_n}{2} (V_M - V_{tn})^2 = \frac{\beta_p}{2} (V_{DD} - V_M - |V_{tp}|)^2 \Rightarrow \sqrt{\frac{\beta_n}{\beta_p}} (V_M - V_{tn}) = V_{DD} - V_M - |V_{tp}|$$

– λύση ως προς V_M

$$V_M = \frac{V_{DD} - |V_{tp}| + V_{tn} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}}$$

TA 5017

L9: Αντιστροφείας CMOS

Slide 23

Συμμετρική XMT

Θεωρώντας $V_{Tn} = |V_{Tp}|$,
για συμμετρική XMT απαιτεί $\beta_n = \beta_p$

• Ουμηθείτε

$$\beta_n = k'_n \frac{W}{L} \quad \frac{\beta_n}{\beta_p} = \frac{k'_n \left(\frac{W}{L}\right)_n}{k'_p \left(\frac{W}{L}\right)_p}$$

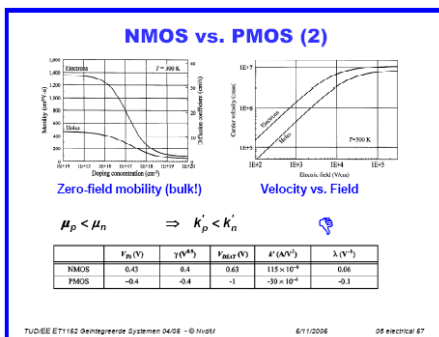
– $C_{oxn} = C_{oxp}$ (πάντα)

Διαγωνιότητα διάταξης

$$\frac{k'_n}{k'_p} \approx 2 \text{ to } 3$$

$$\left(\frac{W}{L}\right)_p = \frac{k'_n}{k'_p} \left(\frac{W}{L}\right)_n$$

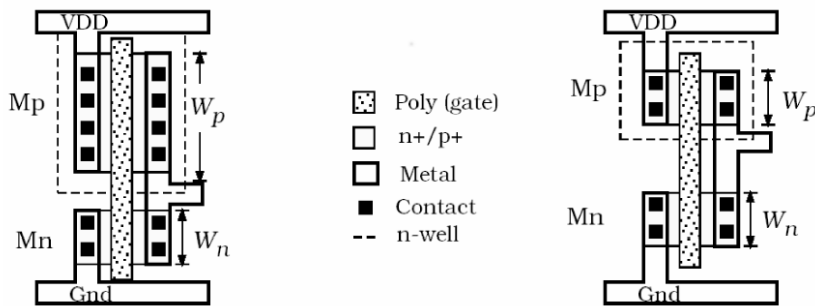
Μια συμμετρική XMT
απαιτεί ένα ασύμμετρο
layout



λέας CMOS

Slide 24

Παράδειγμα ασύμμετρου layout



επειδή το μέγεθος L είναι συνήθως το ελάχιστο δυνατό για όλα τα τρανζίστορ, β_n και β_p μπορούν να γίνουν ίσα σχεδιάζοντας το W_p μεγαλύτερο από το W_n

Επακόλουθα στα περιθώρια θορύβου

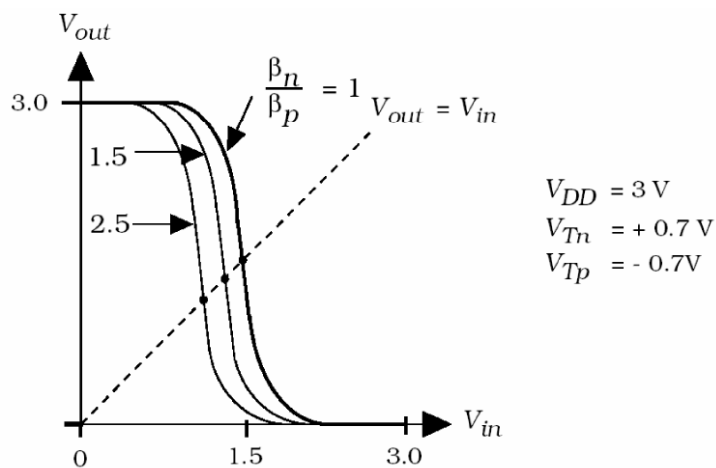
– αν $\beta_n \approx \beta_p$, αμφότερα V_{IH} και V_{IL} πολύ κοντά στο V_M και τα περιθώρια θορύβου είναι καλά

ΤΑ 5017

L9: Αντιστροφίας CMOS

Slide 25

V_M σαν συνάρτηση του λόγου βήτα



Το κατώφλι μετάβασης μικραίνει καθώς ο λόγος των βήτα αυξάνει

ΤΑ 5017

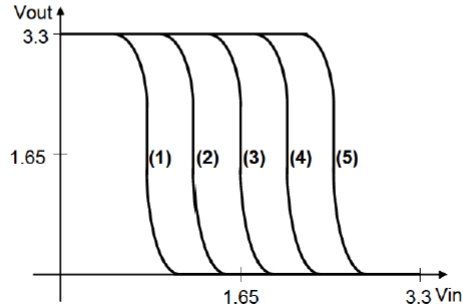
L9: Αντιστροφίας CMOS

Slide 26

6 (20 μον.) Έστω ότι υπάρχουν πέντε διαφορετικά μεγέθη αντιστροφέα CMOS. Οι λόγοι πλάτους/μήκους του τρανζίστορ NMOS $(W/L)_n$ και του τρανζίστορ PMOS $(W/L)_p$ κάθε αντιστροφέα είναι:

- (Α) $(\frac{W}{L})_n = 10$ & $(\frac{W}{L})_p = 10$, (Β) $(\frac{W}{L})_n = 5$ & $(\frac{W}{L})_p = 10$, (Γ) $(\frac{W}{L})_n = 10$ & $(\frac{W}{L})_p = 5$
 (Δ) $(\frac{W}{L})_n = 10$ & $(\frac{W}{L})_p = 2$, (Ε) $(\frac{W}{L})_n = 2$ & $(\frac{W}{L})_p = 10$

Το κάτω σχήμα δείχνει τις χαρακτηριστικές μεταφορική τάσεις των αντιστροφέων. Αν υποθέσουμε ίδιες ευκινήσιες ηλεκτρονίων και οπών, $\mu_n = \mu_p$ και $V_{tn} = |V_{tp}|$, αντιστοιχίστε τις καμπύλες (1) έως (5) με των λόγους πλάτους/μήκους του κάθε αντιστροφέα, (Α) έως (Ε).

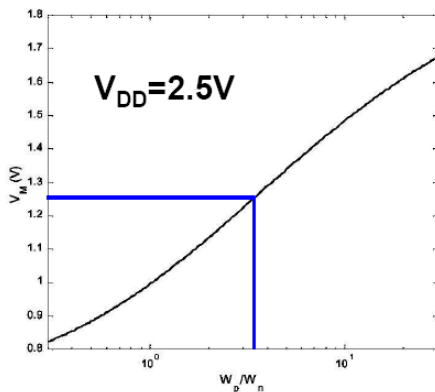


ΤΑ 5017

L9: Αντιστροφέα CMOS

Slide 27

Προσομοίωση επιλογής μεγέθους τρανζίστορ



Παράδειγμα Ηλεκτρικού Κανόνα σχεδίασης: $W_p = 2.5 W_n$
 Υποθέτει $L_p = L_n$
 Θα πρέπει να εφαρμόζεται με συνέπεια

Συμμετρική ΧΜΤ $\Rightarrow V_M = \frac{1}{2} V_{DD} \sim W_p/W_n \sim 3,5$

Στην πράξη ο λόγος W_p/W_n είναι λίγο μικρότερος

Γιατί; Εξοικονόμηση επιφάνειας με μικρή μόνο ασυμμετρία

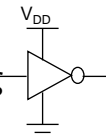
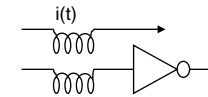
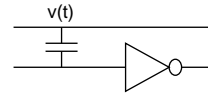
ΤΑ 5017

L9: Αντιστροφέα CMOS

Slide 28

Θόρυβος στα Ψηφιακά Ολοκληρωμένα Κυκλώματα

- ❑ **Θόρυβος** – ανεπιθύμητες μεταβολές των τάσεων και των ρευμάτων στους λογικούς κόμβους
- ❑ Από δύο σύρματα τοποθετημένα δίπλα-δίπλα
 - Χωρητική σύζευξη
 - Η αλλαγή τάσης στο ένα σύρμα μπορεί να επηρεάσει το σήμα κάποιου γειτονικού σύρματος
 - Επαγωγική σύζευξη
 - Η αλλαγή ρεύματος στο ένα σύρμα μπορεί να επηρεάσει το σήμα κάποιου γειτονικού σύρματος
- ❑ Από θόρυβο στα καλώδια τροφοδοσίας γείωσης
 - Μπορεί να επηρεάσει τα επίπεδα σήματος στην πύλη



ΤΑ 5017

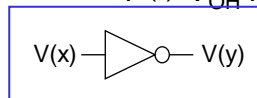
L9: Αντιστροφέας CMOS

Slide 29

Στατική συμπεριφορά πύλης

- ❑ Παράμετροι σταθερής κατάστασης πύλης – **στατική συμπεριφορά** – καθορίζουν πόσο σιβαρό είναι ένα κύκλωμα όσο αναφορά αμφότερες τις μεταβολές της διαδικασίας κατασκευής και τις διαταραχές θορύβου.
- ❑ Τα ψηφιακά κυκλώματα εκτελούν πράξεις με Boolean μεταβλητές $x \in \{0,1\}$
- ❑ Μία λογική μεταβλητή συνδέεται με ένα **ονομαστικό επίπεδο τάσης** για κάθε λογική κατάσταση

$$1 \Leftrightarrow V_{OH} \text{ και } 0 \Leftrightarrow V_{OL}$$



$$V_{OH} = ! (V_{OL})$$

$$V_{OL} = ! (V_{OH})$$

- ❑ Η διαφορά μεταξύ V_{OH} και V_{OL} λέγεται **λογικό εύρος (logic swing)** ή **εύρος σήματος (signal swing)** V_{sw}

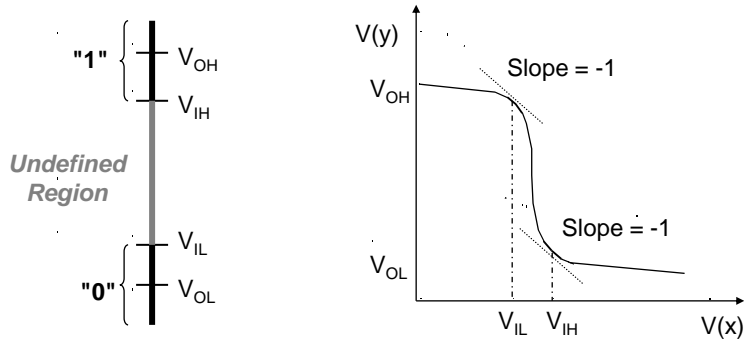
ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 30

Αναπαράσταση των Λογικών Επιπέδων στο πεδίο των Τάσεων

- Οι περιοχές αποδεκτών υψηλών και χαμηλών τάσεων καθορίζονται από τις τιμές των τάσεων V_{IH} και V_{IL} τα οποία ορίζουν σημεία πάνω στην καμπύλη της ΧΜΤ με κέρδος = -1

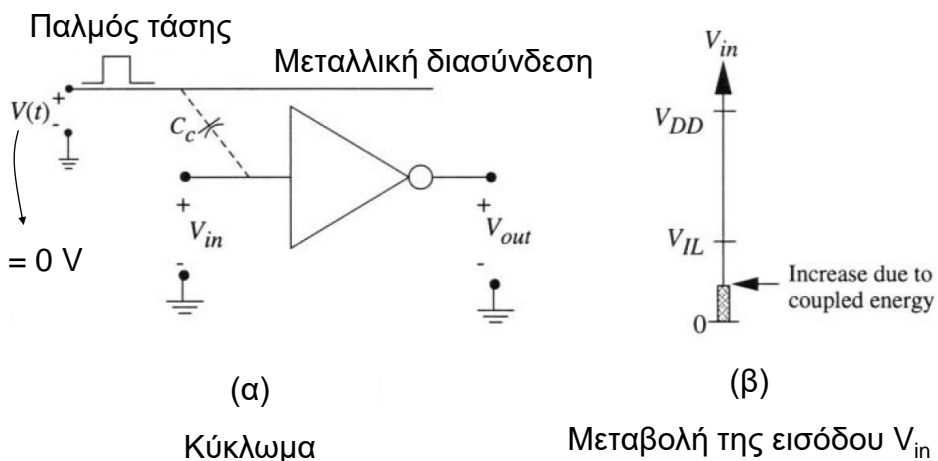


ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 31

Παρασιτική Χωρητικότητα στην είσοδο μιας πύλης



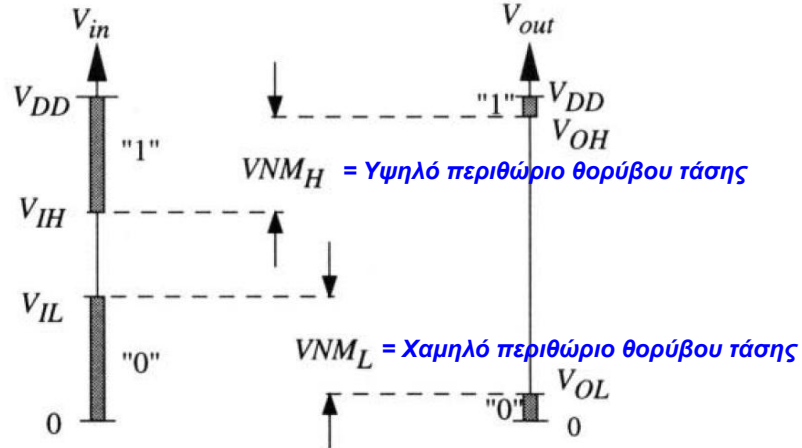
ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 32

Περιθώρια Θορύβου Τάσης

- Για σπιβαρότητα, θέλουμε τα λογικά διαστήματα "0" και "1" να είναι όσο γίνεται ευρύτερα



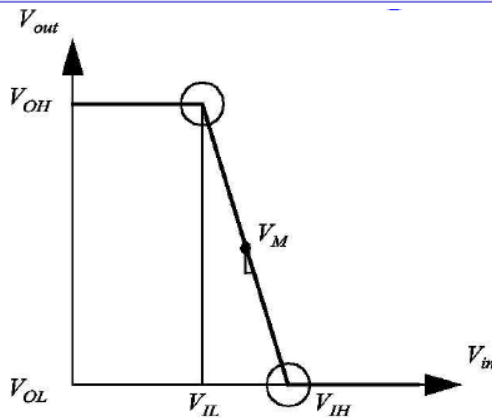
- Μεγάλα περιθώρια θορύβου είναι επιθυμητά

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 33

Περιθώρια θορύβου: Υπολογισμός



g = gain factor

$$g = \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}}$$

Γραμμική προσέγγιση της ΧΜΤ

Για μια ρεαλιστική ΧΜΤ, η κλίση μπορεί να είναι ίση με την παράγωγο στο V_M

$$V_{IH} - V_{IL} = -\frac{(V_{OH} - V_{OL})}{g} = \frac{-V_{DD}}{g}$$

$$V_{IH} = V_M + \frac{V_M}{g} \quad V_{IL} = V_M - \frac{V_{DD} - V_M}{g}$$

$$NM_H = V_{DD} - V_{IH} \quad NM_L = V_{IL}$$

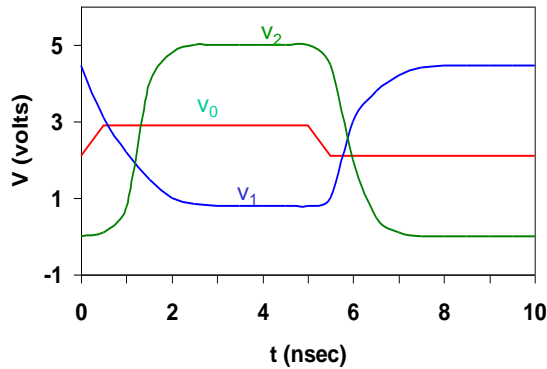
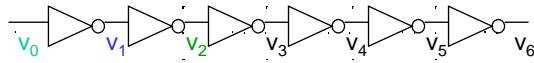
ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 34

Η Ιδιότητα της Αναγέννησης

- Μία πύλη με την ιδιότητα της αναγέννησης εξασφαλίζει την επιστροφή (σύγκλιση) κάθε διαταραγμένου σήματος πίσω προς το ονομαστικό επίπεδο τάσης

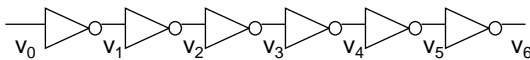


ΤΑ 5017

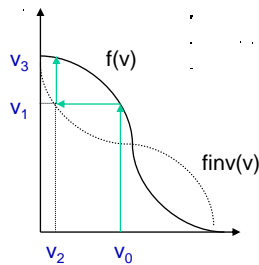
L9: Αντιστροφέας CMOS

Slide 35

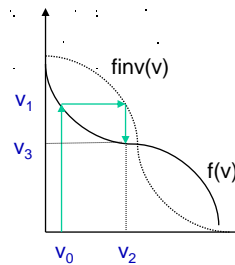
Συνθήκες για Αναγέννηση



$$v_1 = f(v_0) \Rightarrow v_1 = \text{finv}(v_2) \quad \text{Αντίστροφη συνάρτηση αντιστροφέα}$$



Αναγεννητική πύλη



Μη-Αναγεννητική πύλη

- Για να έχει την ιδιότητα της αναγέννησης, η ΧΜΤ θα πρέπει να έχει μία μεταβατική περιοχή με κέρδος **μεγαλύτερο** από 1 (σε απόλυτη τιμή) μεταξύ δύο έγκυρων ζωνών όπου το κέρδος είναι **μικρότερο** από 1. Μία τέτοια πύλη έχει δύο σταθερά σημεία λειτουργίας.

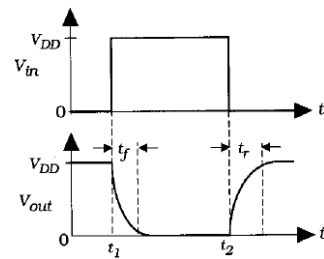
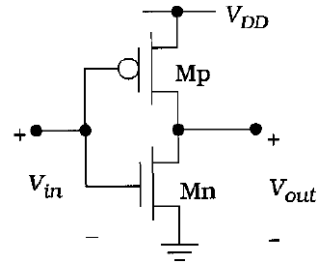
ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 36

Αντιστροφέας CMOS: Δυναμική Ανάλυση

- Ανάλυση των δυναμικών χαρακτηριστικών των πυλών CMOS μέσω της μελέτης του αντιστροφέα
- Δυναμική Ανάλυση
 - τιμή σήματος σαν συνάρτηση του χρόνου
- Δυναμική ανάλυση του αντιστροφέα CMOS
 - $V_{in}(t)$, τάση εισόδου, συνάρτηση του χρόνου
 - $V_{out}(t)$, τάση εξόδου, συνάρτηση του χρόνου
 - V_{DD} και V_{SS} (γείωση), DC (όχι συνάρτηση του χρόνου)
 - εύρεση $V_{out}(t) = f(V_{in}(t))$
- Δυναμικοί παράμετροι
 - χρόνος ανόδου και πτώσης του σήματος εξόδου (rise and fall time)
 - καθυστέρηση διάδοσης (propagation delay)

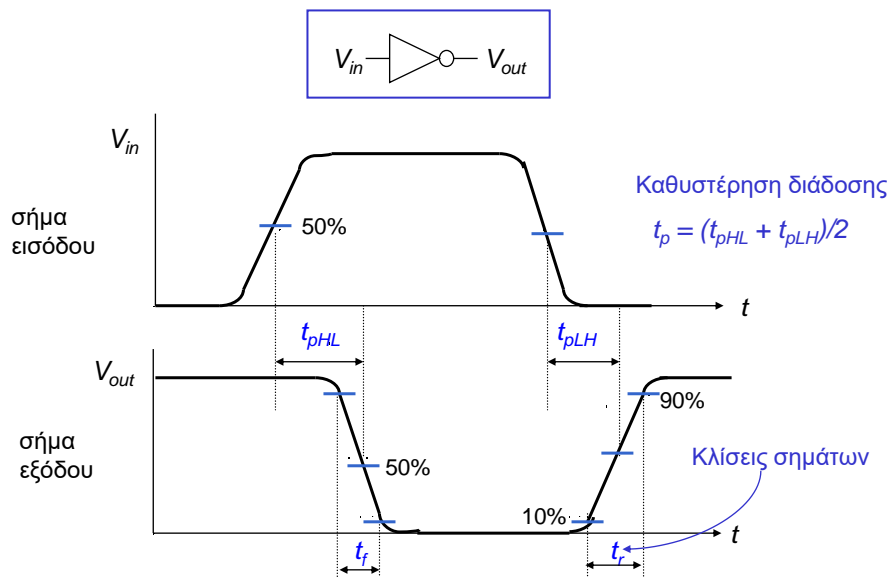


ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 37

Ορισμοί καθυστέρησης

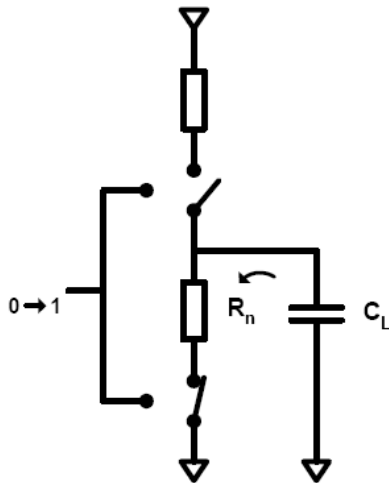


ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 38

Ποιοτική μεταβατική συμπεριφορά αντιστροφέα



$$t_{fall} \propto R_n C_L$$

$$R_n \propto \frac{L}{W}$$

C_L : fan-out, layout

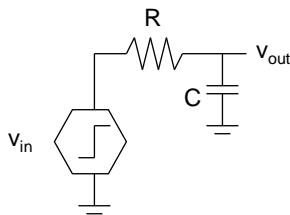
ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 39

Μοντελοποίηση καθυστέρησης διάδοσης

- Μοντέλο δικτυώματος RC πρώτης τάξης



$$v_{out}(t) = (1 - e^{-t/\tau})V$$

$$\text{όπου } \tau = RC$$

Ο χρόνος για τον οποίο η έξοδος φτάνει το σημείο 50% είναι

$$t = \ln(2) \tau = 0.69 \tau$$

Ο χρόνος για να φτάσει το σημείο 90% είναι

$$t = \ln(9) \tau = 2.2 \tau$$

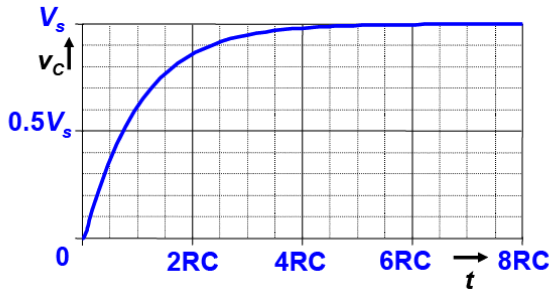
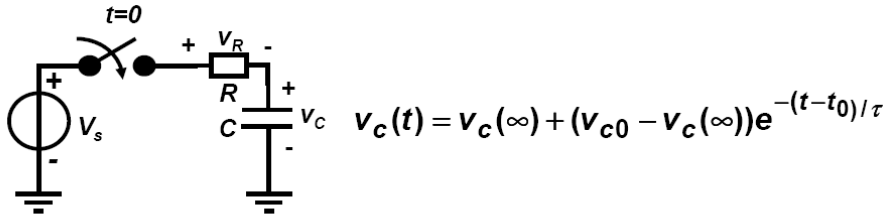
- Μοντελοποίηση της καθυστέρησης διάδοσης

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 40

Ανασκόπηση της καθυστέρησης RC



$$RC \frac{dv_C}{dt} = V_s - v_C$$

$$v_C = V_s(1 - e^{-\frac{t}{RC}})$$

TA 5017

L9: Αντιστροφές CMOS

Slide 41

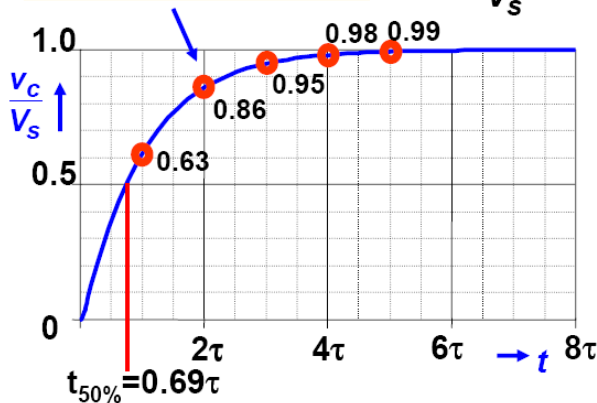
Ανασκόπηση της σταθεράς χρόνου

- Κανονικοποίηση της απόκρισης ως προς $\tau=RC$ και $V_s = v_C(t = \infty)$

$$v_C = V_s(1 - e^{-\frac{t}{RC}})$$

$$\frac{v_C}{V_s} = (1 - e^{-t/\tau})$$

Παράδειγμα: $(1 - e^{-2}) = 0.86$



Κάθε τ -βήμα δίνει 63% της τάσης που υπολείπεται

swing	time
0-50%	0.69τ
0-63%	1.0τ
10%-90%	2.2τ
0-90%	2.3τ

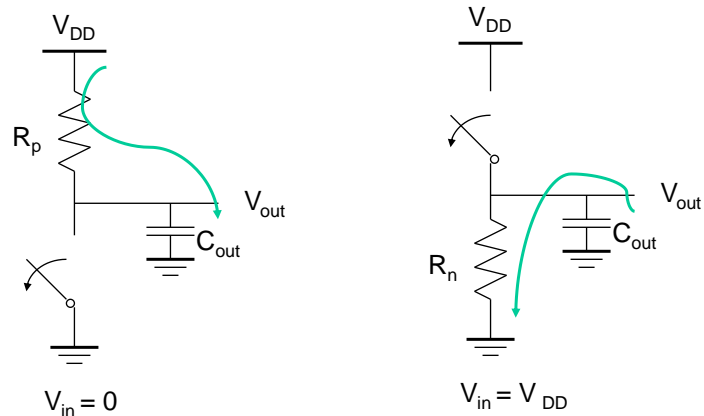
TA 5017

L9: Αντιστροφές CMOS

Slide 42

Καθυστέρηση ανόδου (rise) / πτώσης (fall)

Μοντέλο διακόπτη για δυναμική συμπεριφορά



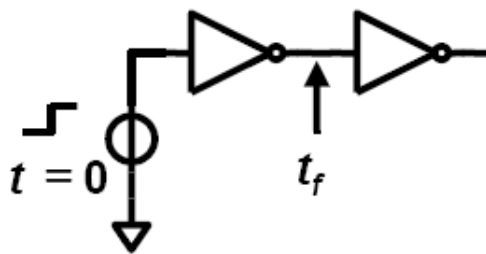
- Ο χρόνος απόκρισης της πύλης καθορίζεται από το χρόνο φόρτισης της C_{out} διμέσου της R (εκφόρτωση C_{out} μέσω R) όπου υποθέτουμε ότι $R = R_{pmos} = R_{nmos}$

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 43

Καθυστέρηση ανόδου (rise) / πτώσης (fall) Αντιστροφέας CMOS



Σκοπός: καθορισμός t_f , t_r και t_p

Βήμα 1: Υπολογισμός των σχετικών χωρητικότητων

Βήμα 2: Καθορισμός των ισοδύναμων αντιστάσεων R_{on}

Βήμα 3: Υπολογισμός της καθυστέρησης RC (t)

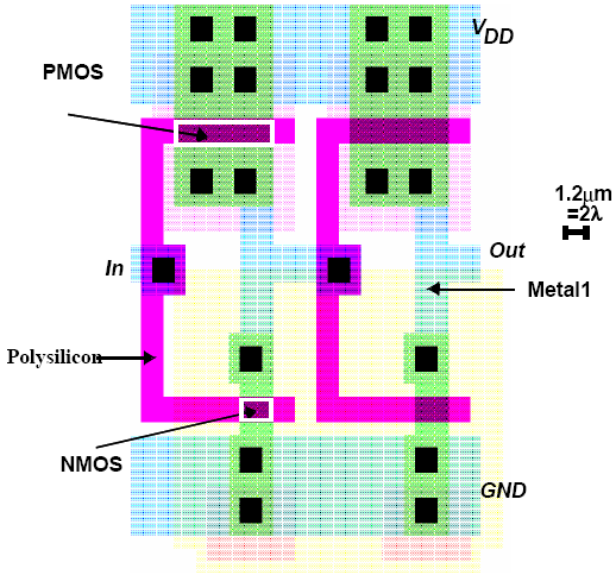
Υπόθεση: ιδανική πηγή τάσης, βηματική είσοδος

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 44

Αντιστροφείς CMOS



Τι είναι η **Ron**;
που είναι οι
Χωρητικότητες;

Ποιες
χωρητικότητες
καθορίζουν τα t_r , t_f ;

TA 5017

L9: Αντιστροφείς CMOS

Slide 45

Μεταβατική απόκριση

- Απόκριση σε βηματική τάση εισόδου
- καθυστερήσεις στην έξοδο εξαιτίας παρασιτικών R & C
- Μοντέλο RC αντιστροφεία

- Αντιστάσεις

$$R_n = 1/[\beta_n(V_{DD} - V_{tn})]$$

$$R_p = 1/[\beta_n(V_{DD} - |V_{tp}|)]$$

- Χωρητικότητες εξόδου (μόνο η έξοδος είναι σημαντική)

• C_{Dn} (nMOS χωρητικότητα υποδοχής)

$$C_{Dn} = \frac{1}{2} C_{ox} W_n L + C_j A_{Dnbot} + C_{jsw} P_{Dnsw}$$

• C_{Dp} (pMOS χωρητικότητα υποδοχής)

$$C_{Dp} = \frac{1}{2} C_{ox} W_p L + C_j A_{Dpbot} + C_{jsw} P_{Dpsw}$$

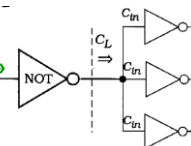
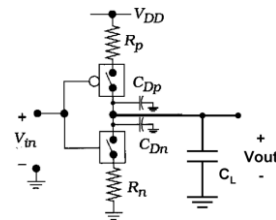
- Χωρητικότητα φορτίου, εξαιτίας των πυλών που συνδέονται στην έξοδο

$$C_L = 3 C_{in} = 3 (C_{Gn} + C_{Gp}), \quad 3 \text{ είναι ένα "τυπικό" φορτίο}$$

- Ολική χωρητικότητα εξόδου

$$C_{out} = C_{Dn} + C_{Dp} + C_L$$

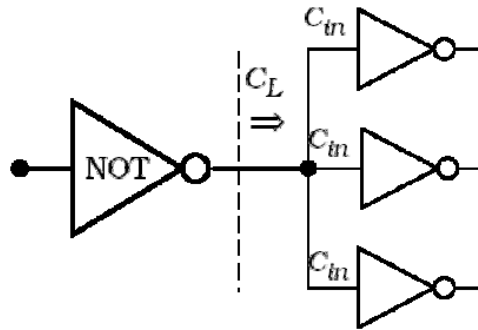
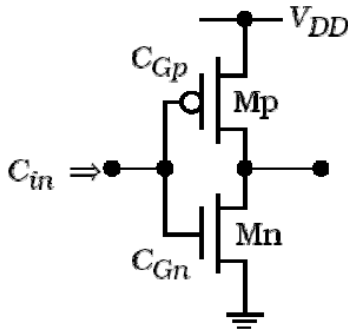
Ο όρος "fan-out" «φόρτος-εξόδου» περιγράφει τον αριθμό των πυλών που είναι συνδεδεμένες στην έξοδο



TA 5017

L9: Αντιστροφείς CMOS

RC Εισόδου της Επόμενης Πύλης



$$C_{out} = C_{Dn} + C_{Dp} + C_l$$

$$\tau_n = R_n C_{out}$$

$$\tau_p = R_p C_{out}$$

TA 5017

L9: Αντιστροφέας CMOS

Slide 47

Χρόνος πτώσης (Fall Time)

• Χρόνος πτώσης, t_f

- χρόνος για να **πέσει** η έξοδος από το '1' στο '0'

- υπολογισμός:
$$i = -C_{out} \frac{\partial V_{out}}{\partial t} = \frac{V_{out}}{R_n}$$

• αρχική συνθήκη, $V_{out}(0) = V_{DD}$

• λύση:

$$V_{out}(t) = V_{DD} e^{-t/\tau_n} \quad \tau_n = R_n C_{out}$$

$$t = \tau_n \ln\left(\frac{V_{DD}}{V_{out}}\right)$$

- ορισμός

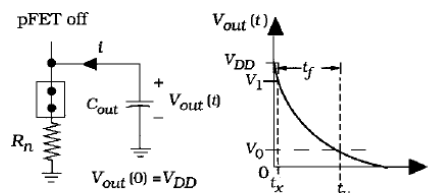
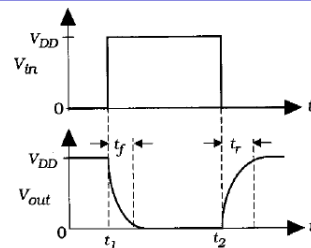
• t_f είναι ο χρόνος για πτώση από

90% τιμή [V_1, t_x] στο 10% τιμή [V_0, t_y]

$V_{out}(0) = V_{DD}$

$$t = \tau_n \left[\ln\left(\frac{V_{DD}}{0.1V_{DD}}\right) - \ln\left(\frac{V_{DD}}{0.9V_{DD}}\right) \right]$$

$$\bullet \quad t_f = 2.2 \tau_n$$



(α) κύκλωμα εκφόρτισης

(β) σήμα εξόδου

TA 5017

L9: Αντιστροφέας CMOS

Slide 48

Χρόνος ανόδου (Rise Time)

- Χρόνος ανόδου, t_r

- χρόνος για να **ανέβει** η έξοδος από το '0' στο '1' V_{in}

- υπολογισμός:
$$i = C_{out} \frac{\partial V_{out}}{\partial t} = \frac{V_{DD} - V_{out}}{R_p}$$

- αρχική συνθήκη, $V_{out}(0) = 0V$

- λύση:

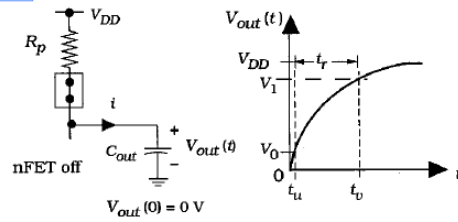
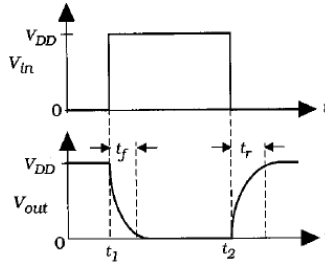
$$V_{out}(t) = V_{DD} \left[1 - e^{-t/\tau_p} \right] \quad \tau_p = R_p C_{out} \quad \text{time constant}$$

- ορίσμός

- t_r είναι ο χρόνος για άνοδο από

- 10% τιμή $[V_0, t_u]$ στο 90% τιμή $[V_1, t_v]$

- $t_r = 2.2 \tau_p$



(α) κύκλωμα φόρτισης

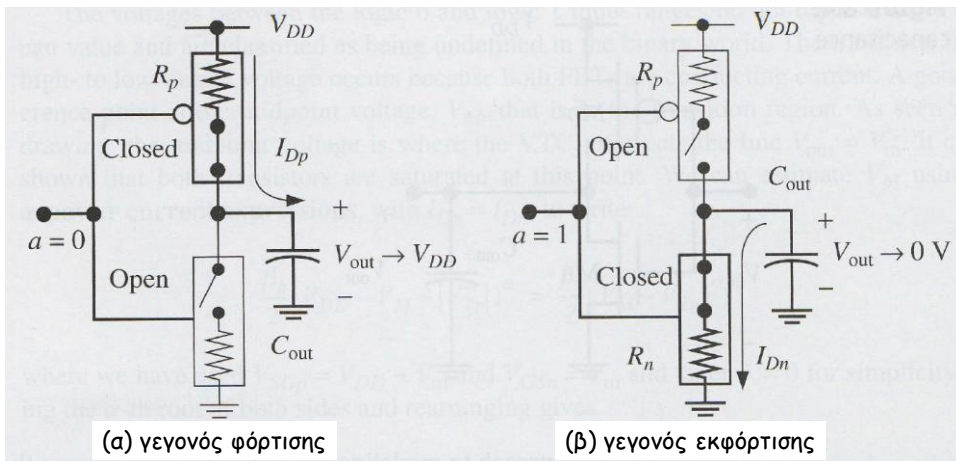
(β) σήμα εξόδου

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 49

RC μοντέλο για τον υπολογισμό των χρόνων μετάβασης



(α) γεγονός φόρτισης

(β) γεγονός εκφόρτισης

$$\tau_p = R_p C_{out} \longrightarrow t_r = s_p \tau_p$$

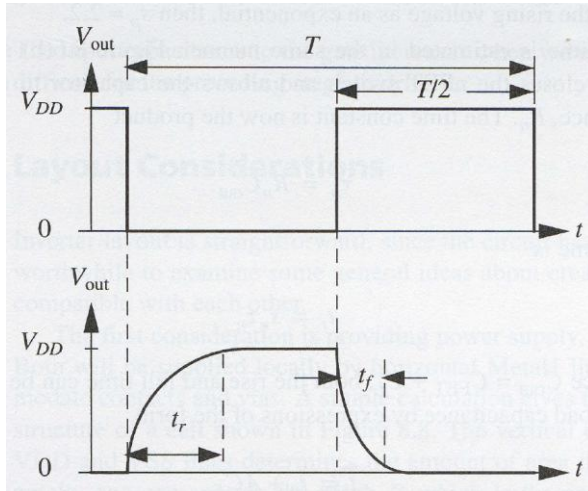
$$\tau_n = R_n C_{out} \longrightarrow t_f = s_n \tau_n$$

ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 50

Μέγιστη συχνότητα λειτουργίας



$$f_{\max} = \frac{1}{t_r + t_f}$$

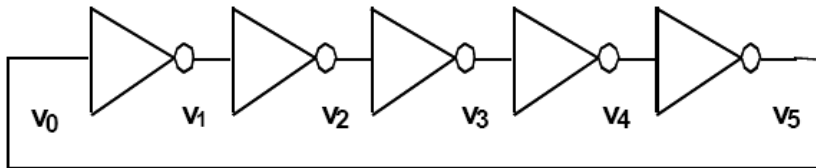
ΤΑ 5017

L9: Αντιστροφέας CMOS

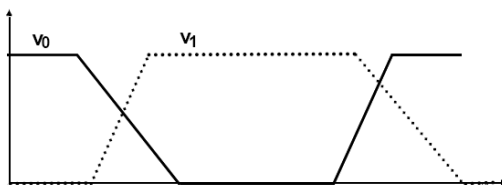
Slide 51

Ταλαντωτής Δακτυλίου (Ring Oscillator)

Χρησιμοποιείται, συχνά, για να βρούμε πειραματικά (ή μέσω προσομοίωσης) τη μέγιστη συχνότητα



N: αριθμός αντιστροφέων



$$f \approx \frac{f_{\max}}{N} \Leftrightarrow f_{\max} \approx fN$$

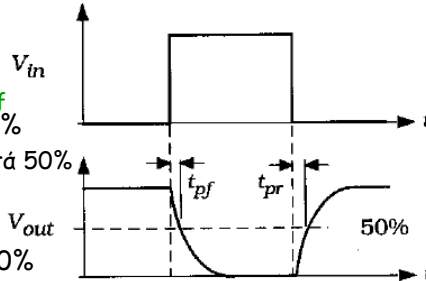
ΤΑ 5017

L9: Αντιστροφέας CMOS

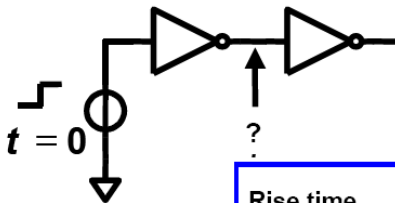
Slide 52

Καθυστέρηση διάδοσης (Propagation Delay)

- Καθυστέρηση διάδοσης, t_p
 - μέτρο της ταχύτητας αντίδρασης της εξόδου στην αλλαγή της εισόδου
 - $t_p = \frac{1}{2} (t_{pf} + t_{pr})$
- Καθυστέρηση διάδοσης πτώσης, t_{pf}
 - χρόνος για την έξοδο να πέσει κατά 50%
 - σημείο αναφορά η αλλαγής της εισόδου κατά 50%
- Καθυστέρηση διάδοσης ανόδου, t_{pr}
 - χρόνος για την έξοδο να ανέβει κατά 50%
 - σημείο αναφορά η αλλαγής της εισόδου κατά 50%
- Ιδανικές εκφράσεις (αν η αλλαγή εισόδου είναι βηματική)
 - $t_{pf} = \ln(2) \tau_n$ Μέτρηση καθυστέρησης διάδοσης:
 - $t_{pr} = \ln(2) \tau_p$ -από το χρόνο που η είσοδος φτάνει την τιμή 50%
 - στο χρόνο που η έξοδος φτάνει την τιμή 50%
- Συνολική Καθυστέρηση διάδοσης
 - $t_p = 0.35(\tau_n + \tau_p)$ Πρόσθεση των καθυστερήσεων διάδοσης πτώσης και ανόδου, για τη συνολική τιμή



Timing Metrics



Rise time	$t_r = t_{LH} = 2.2\tau_p$
Fall time	$t_f = t_{HL} = 2.2\tau_n$
Maximum signal frequency	$f_{max} = \frac{1}{t_r + t_f}$
Propagation rise delay	$t_{pf} = 0.69\tau_n$
Propagation fall delay	$t_{pr} = 0.69\tau_p$
Propagation delay	$t_p = 0.35(\tau_n + \tau_p)$

Ταχύτητα μετάβασης-Αντίσταση

- Χρόνος Ανόδου & Πτώσης

$$\tau_n = R_n C_{out}$$

$$\tau_p = R_p C_{out}$$

- $t_f = 2.2 \tau_n, t_r = 2.2 \tau_p$

$$R_n = 1/[\beta_n(V_{DD}-V_{tn})]$$

$$\beta = \mu C_{ox} (W/L)$$

- Καθυστέρηση διάδοσης

- $t_p = 0.35(\tau_n + \tau_p)$

$$R_p = 1/[\beta_p(V_{DD}-|V_{tp}|)]$$

$$C_{out} = C_{dn} + C_{dp} + C_L$$

- Γενικά

- delay $\propto \tau_n + \tau_p$

- $\tau_n + \tau_p = C_{out} (R_n + R_p)$

Ταίριασμα του βήτα αν $\beta_n = \beta_p = \beta$,

$$R_n + R_p = \frac{2}{\beta (V_{DD} - V_t)} = \frac{2L}{\mu C_{ox} W (V_{DD} - V_t)}$$

- Καθορισμός καθυστέρησης με όρους παραμέτρων σχεδίασης

- $R_n + R_p = \frac{(V_{DD} - V_t)(\beta_n + \beta_p)}{\beta_n \beta_p (V_{DD} - V_t)^2}$

Ταίριασμα του πλάτους αν

$$W_n = W_p = W, \text{ και } L_n = L_p$$

$$R_n + R_p = \frac{L (\mu_n + \mu_p)}{(\mu_n \mu_p) C_{ox} W (V_{DD} - V_t)}$$

- $R_n + R_p = \frac{\beta_n + \beta_p}{\beta_n \beta_p (V_{DD} - V_t)}$

- αν $V_t = V_{tn} = |V_{tp}|$

Για μείωση των R, $\downarrow L, \uparrow W, \uparrow V_{DD}, (\uparrow \mu_p, \uparrow C_{ox})$
 Αντιστροφές CMOS Slide 55

Ταχύτητα μετάβασης-Χωρητικότητα

- Από την αντίσταση έχουμε

$$C_{out} = C_{dn} + C_{dp} + C_L$$

- $\downarrow L, \uparrow W, \uparrow V_{DD}, (\uparrow \mu_p, \uparrow C_{ox})$

αν $L_n = L_p$ υπολογισμός

$$C_L = 3 (C_{dn} + C_{dp}) = 3 C_{ox} (W_n L + W_p L)$$

$$C_{dn} = \frac{1}{2} C_{ox} W_n L + C_j A_{Dnbot} + C_{jsw} P_{Dnsw}$$

$$C_{dp} = \frac{1}{2} C_{ox} W_p L + C_j A_{Dpbot} + C_{jsw} P_{Dpsw}$$

- C_{out}

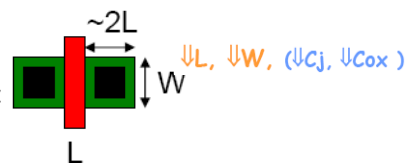
- $C_{out} = \frac{1}{2} C_{ox} L (W_n + W_p) + C_j 2L (W_n + W_p) + 3 C_{ox} L (W_n + W_p)$

- θεωρώντας επιφάνεια ένωσης $\sim W \cdot 2L$

- παραλείποντας την πλευρική χωρητικότητα

- $C_{out} \approx L (W_n + W_p) [3 \frac{1}{2} C_{ox} + 2 C_j]$

- $C_{out} \propto L (W_n + W_p)$



Για μείωση της C_{out} , $\downarrow L, \downarrow W, (\downarrow C_j, \downarrow C_{ox})$

- Delay $\propto C_{out} (R_n + R_p) \propto L W \frac{L}{W V_{DD}} = \frac{L^2}{V_{DD}}$

Μειώνοντας το L (ελαττώνοντας το χαρακτηριστικό μέγεθος) είναι ο καλύτερος τρόπος για να βελτιώσουμε την ταχύτητα!

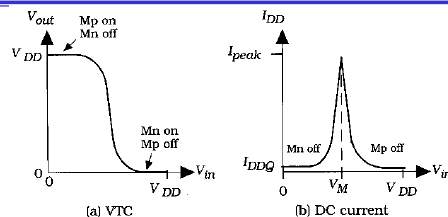
Slide 56

Ταχύτητα μετάβασης-Τοπική διαφοροποίηση

- Η προηγούμενη ανάλυση αφορά τον γενικό σχεδιασμό
 - δείχνει ότι η ελάττωση της χαρακτηριστικής διάστασης είναι κρίσιμη για υψηλή ταχύτητα λειτουργίας
 - γενικό αποτέλεσμα χρήσιμο για τη δημιουργία πρότυπων μονάδων (cell libraries)
- Πως βελτιώνεις την ταχύτητα σε μια συγκεκριμένη πύλη;
 - η αύξηση του W σε μια λογική πύλη δε θα αυξήσει το C_e των πυλών φορτίου
 - $C_{out} = C_{dn} + C_{dp} + C_L$
 - η αύξηση του W σε μια λογική πύλη θα αυξήσει το $C_{dn/p}$ αλλά όχι το C_L
 - C_L εξαρτάται από το μέγεθος πύλης των τρζ στην έξοδο
 - όσο αυτά διατηρούν ελάχιστο πλάτος W , η C_L θα είναι σταθερή
 - έτσι, αυξάνοντας το W είναι ένας καλός τρόπος για να βελτιώσουμε την ταχύτητα ενός τοπικού σημείου
 - Αλλά, η αύξηση του W αυξάνει την απαιτούμενη επιφάνεια του τσιπ, το οποίο είναι κακό
 - τα γρήγορα κυκλώματα απαιτούν τσιπ μεγαλύτερης επιφάνειας (chip "real estate")
- Η αύξηση του V_{DD} δεν είναι καλή επιλογή γιατί αυτό αυξάνει την κατανάλωση ισχύος.

Κατανάλωση Ισχύος CMOS

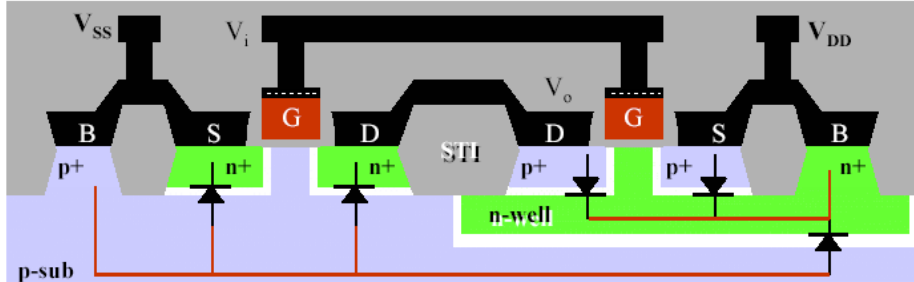
- $P = P_{\text{στατ}} + P_{\text{δυναμ}}$
 - $P_{\text{στατ}}$: στατικός (DC) όρος
 - $P_{\text{δυναμ}}$: δυναμικός όρος
- $P_{\text{στατ}} = I_{DD} V_{DD}$
 - I_{DD} είναι το DC ρεύμα από την παροχή τάσης
 - ιδανικά, $I_{DD} = 0$ στη CMOS: ιδανικά μόνο ρεύμα κατά τη διάρκεια αλλαγής σήματος
 - Τα ρεύματα διαρροής προκαλούν $I_{DD} > 0$, αν ορίσουμε ένα 'αδρανές' ρεύμα διαρροής, I_{DDQ} (εξαιτίας κυρίως της διαρροής των επαφών του υποστρώματος)
 - $P_{\text{στατ}} = I_{DDQ} V_{DD}$
- $P_{\text{δυναμ}}$, ισχύς απαιτείται για την αλλαγή κατάστασης μιας πύλης
 - το φορτίο το οποίο μεταφέρεται κατά τη μετάβαση, $Q_e = C_{out} V_{DD}$
 - $P_{\text{μέση}} = V_{DD} I_{DD} = V_{DD} (Q_e / T) = C_{out} V_{DD}^2 f$, f = συχνότητα ρολογιού
- Συνολική ισχύ, $P = I_{DDQ} V_{DD} + C_{out} V_{DD}^2 f$



Η ισχύς αυξάνει με τη C_{out} και τη
 συχνότητα, και ισχυρά με την τάση V_{DD} .

Στατική Κατανάλωση Ισχύος

Κατανάλωση εξ' αιτίας διαρροών ρεύματος των κυκλωματικών στοιχείων.



$$I_0 = I_S \left(e^{\frac{V}{V_T}} - 1 \right)$$

Εξίσωση Ρεύματος Διόδου

$$P_{st} = \sum_1^n \underbrace{\text{Ρεύμα_Διαρροής}}_{I_{off}} * \underbrace{\text{Τάση Τροφοδοσίας}}_{V_{DD}}$$

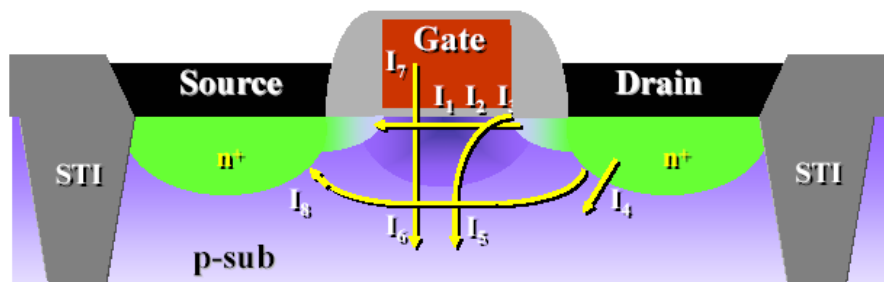
Στατική Κατανάλωση Ισχύος

TA 5017

L9: Αντιστροφείας CMOS

Slide 59

Μηχανισμοί Ρεύματος Διαρροής



I₁: Weak Inversion
I₂: Drain-Induced Barrier Lowering
I₃: Narrow Width Effect
I₄: Reverse Bias Current

I₅: Gate-Induced Drain Leakage
I₆: Gate Oxide Tunnelling
I₇: Hot Carrier Injection
I₈: Punchthrough

TA 5017

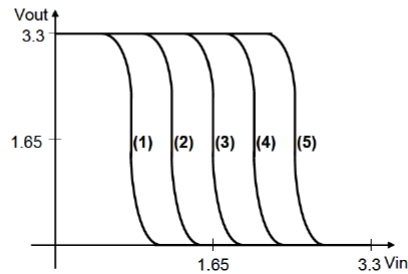
L9: Αντιστροφείας CMOS

Slide 60

6 (20 μον.) Έστω ότι υπάρχουν πέντε διαφορετικά μεγέθη αντιστροφέα CMOS. Οι λόγοι πλάτους/μήκους του τρανζίστορ NMOS $(W/L)_n$ και του τρανζίστορ PMOS $(W/L)_p$ κάθε αντιστροφέα είναι:

- (A) $(\frac{W}{L})_n = 2$ & $(\frac{W}{L})_p = 10$, (B) $(\frac{W}{L})_n = 10$ & $(\frac{W}{L})_p = 5$, (Γ) $(\frac{W}{L})_n = 10$ & $(\frac{W}{L})_p = 2$
 (Δ) $(\frac{W}{L})_n = 10$ & $(\frac{W}{L})_p = 10$, (E) $(\frac{W}{L})_n = 5$ & $(\frac{W}{L})_p = 10$

Το κάτω σχήμα δείχνει τις χαρακτηριστικές μεταφορική τάσεις των αντιστροφένων. Αν υποθέσουμε ίδιες ευκινήσεις ηλεκτρονίων και οπών, $\mu_n = \mu_p$ και $V_{Tn} = |V_{Tp}|$, αντιστοιχίστε τις καμπύλες (1) έως (5) με των λόγους πλάτους/μήκους του κάθε αντιστροφέα, (A) έως (E).



ΤΑ 5017

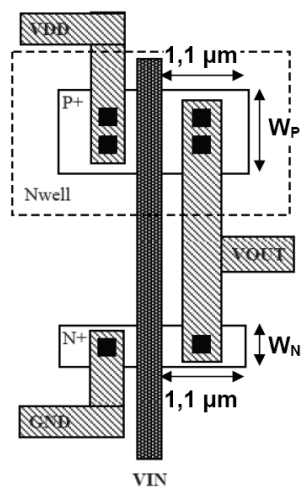
L9: Αντιστροφέας CMOS

Slide 61

Πρόβλημα 5 (20 μονάδες)

Για τον αντιστροφέα που δείχνεται δίπλα: α) υπολογίστε το χρόνο ανόδου, το χρόνο πτώσης και την καθυστέρηση διάδοσης με $C_{load} = 0$, β) υπολογίστε την καθυστέρηση διάδοσης όταν ο φόρτος-εξόδου είναι 10 (δηλ. για την περίπτωση όπου ο αντιστροφέας οδηγεί 10 πανομοιότυπους αντιστροφείς).

Χρησιμοποιείστε $W_p = 3\mu\text{m}$, $W_n = 1\mu\text{m}$, $L_p = L_n = 0.5\mu\text{m}$, $V_{DD} = 3\text{V}$, $C_{OX} = 5\text{fF}/\mu\text{m}^2$, $k'_N = 120\mu\text{A}/\text{V}^2$, $k'_P = 40\mu\text{A}/\text{V}^2$, $V_{TN} = 0.6\text{V}$, $V_{TP} = -0.6\text{V}$, $C_{jn} = C_{jp} = 1\text{fF}/\mu\text{m}^2$. Αγνοείστε ενδεχόμενα φαινόμενα πλευρικής διάχυσης οπουδήποτε σε αυτό το πρόβλημα και υποθέστε ότι η πλευρική χωρητικότητα επαφής είναι αμελητέα.



ΤΑ 5017

L9: Αντιστροφέας CMOS

Slide 62

(α), 1^{ov}, ΥΠΟΛΟΓΙΣΜΟΣ ΟΛΩΝ ΤΩΝ ΧΩΡΗΤΙΚΟΤΗΤΩΝ

$$C_G = W L C_{OX} = (3)(0.5)(5) = 7.5 \text{ fF (PMOS)}$$

$$= (1)(0.5)(5) = 2.5 \text{ fF (NMOS)}$$

$$C_{PN \text{ JUNCTION}} = C_j(\text{AREA})$$

$$C_{P+} = (1)(3)(1.1) = 3.3 \text{ fF}$$

$$C_{N+} = (1)(1)(1.1) = 1.1 \text{ fF}$$

$$\Rightarrow C_{OUT} = \frac{C_{GP}}{2} + \frac{C_{GN}}{2} + C_{P+} + C_{N+} + C_{LOAD}$$

$$= \frac{1}{2}(7.5) + \frac{1}{2}(2.5) + 3.3 + 1.1 + \phi$$

$$C_{OUT} = 9.4 \text{ fF}$$

1/15/17

L9: Αντιστροφή CMOS

Slide 60

2^{ov}, ΥΠΟΛΟΓΙΣΜΟΣ ΤΩΝ ΑΝΤΙΣΤΑΣΕΩΝ

$$R = \frac{1}{\beta(V_{GS} - V_T)} \Rightarrow \left. \begin{aligned} R_P &= \frac{1}{(40 \times 10^{-6})(\frac{3}{6.5})(3 - 0.6)} = 1.74 \text{ k}\Omega = R_P \\ R_N &= \frac{1}{(120 \times 10^{-6})(\frac{1}{6.5})(3 - 0.6)} = 1.74 \text{ k}\Omega = R_N \end{aligned} \right\} \begin{array}{l} \text{Ίδιες για ένα} \\ \text{συμμετρικό} \\ \text{αντιστροφέα !!!} \end{array}$$

Τώρα, επειδή

$$R_P = R_N \Rightarrow \tau_P = \tau_N = (1.74 \text{ k}\Omega)(9.4 \text{ fF}) = 16.4 \text{ pSEC} = \tau_P = \tau_N$$

$$\Rightarrow \left. \begin{aligned} \tau_R &= 2.2 \tau_P = 36 \text{ pS} = \tau_R \\ \tau_F &= 2.2 \tau_N = 36 \text{ pS} = \tau_F \end{aligned} \right\}$$

ΚΑΙ

$$\tau_p \cong 0.35(\tau_N + \tau_P) = (0.35)(2)(16.4 \text{ pSEC}) = 11.5 \text{ pSEC} = \tau_p$$

Καθυστέρηση πύλης

ΠΑΡΑΤΗΡΗΣΗ: ΟΛΕΣ ΟΙ ΤΙΜΕΣ ΠΑΝΩ ΕΙΝΑΙ ΓΙΑ $C_L = \phi$

TA 5017

L9: Αντιστροφή CMOS

Slide 64

(b)

$$t_{\text{DELAY}} = t_p = 0.35(\tau_N + \tau_P) = 0.7\gamma, \quad \text{Όπου: } \gamma = \tau_N = \tau_P \text{ (ίδιοι χαρακτ. χρόνοι)}$$

$$\Rightarrow t_p = 0.7\gamma = 0.7(R_{CFET} + R_{CL})$$

Όπου: $R = R_P = R_N$ (ΕΔΩ ΙΔΙΕΣ)

$$C_{FET} = C_{OUT} \text{ ΑΠΟ (α)}$$

$$\Rightarrow t_p = 0.7\gamma = 0.7(R_{CFET} + R_{CL})$$

$$t_p = \underbrace{0.7 R_{CFET}}_{22.9 \text{ pSEC} = t_p \text{ ΑΠΟ (α)}} + 0.7 R_{CL}$$

$$\Rightarrow \underline{t_p = 22.9 \text{ pSEC} + 0.7(1.74 \text{ K}\Omega) C_L}$$

Slide 65

ΚΑΙ, Για φόρτο εξόδου = 1 (δηλ. για την περίπτωση όπου ο αντιστροφέας οδηγεί 1 πανομοιότυπο αντιστροφέα):

$$\Rightarrow C_L = C_{GATE(P)} + C_{GATE(N)} = 10 \text{ fF} \quad \text{Από το (α)}$$

ΚΑΙ, Για φόρτο εξόδου = N

$$\Rightarrow t_p = 22.9 \text{ pSEC} + \underbrace{0.7(1.74 \text{ K}\Omega)(10 \text{ fF}) N}_{12.2 \text{ pSEC}}$$



$$\text{Έτσι, για } N=10 \Rightarrow t_D = 0.12 \text{ ns}$$