



Μάθημα 1:

Μοντέλα διακόπτη του MOSFET Λογικά κυκλώματα CMOS

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο
Τμήμα Ηλεκτρονικών Μηχανικών
2020-2021

ΣΗΜΕΙΩΣΗ: Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

Μοντέλα διακόπτη του τρανζίστορ MOS

Slide 3

Υπενθύμιση:

Ένας διακόπτης έχει δύο καταστάσεις:

ή είναι **ανοικτός**, οπότε έχουμε διακοπή του κυκλώματος,

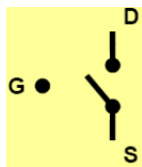
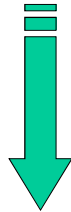
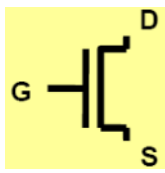
ή είναι **κλειστός**, οπότε υπάρχει συνέχεια (αγωγή) στο κύκλωμα.

Κατάσταση Διακόπτη



Slide 4

Το απλούστερο δυνατό πρακτικό μοντέλο



Η θέση του διακόπτη εξαρτάται από την τάση πύλης

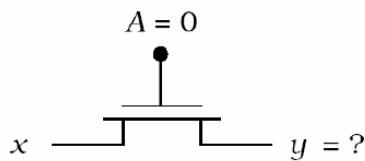
V_G	NMOS	PMOS
hi	κλειστός	ανοιχτός
lo	ανοιχτός	κλειστός

- Η σύνδεση ανάμεσα στην πηγή και την υποδοχή εξαρτάται από την τάση πύλης, το **ρεύμα ρέει μεταξύ πηγής και υποδοχής** όταν ο διακόπτης είναι **κλειστός**
- **Κανένα στατικό ρεύμα** δε ρέει εντός του ακροδέκτη της πύλης

Μοντέλο διακόπτη MOS (συνεχ)

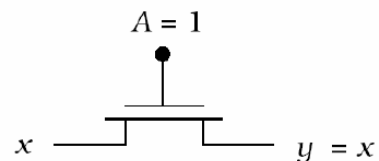
Η θέση του διακόπτη εξαρτάται από την τάση πύλης

V_G	NMOS	PMOS
hi	κλειστός	ανοιχτός
lo	ανοιχτός	κλειστός

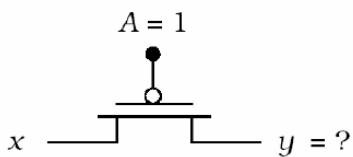


(α) ανοιχτός

NMOS

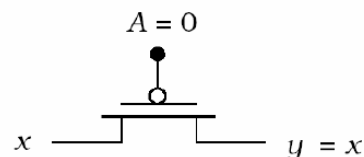


(β) κλειστός



(γ) ανοιχτός

PMOS



(δ) κλειστός

Πίνακας αλήθειας του διακόπτη NMOS

πύλη	πηγή	υποδοχή
0	0	X
0	1	X
1	0	0
1	1	1

Μη-ορισμένη
λογική τιμή

Slide 7

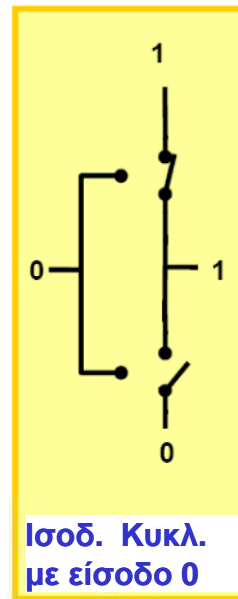
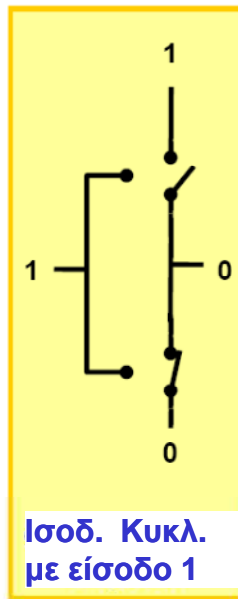
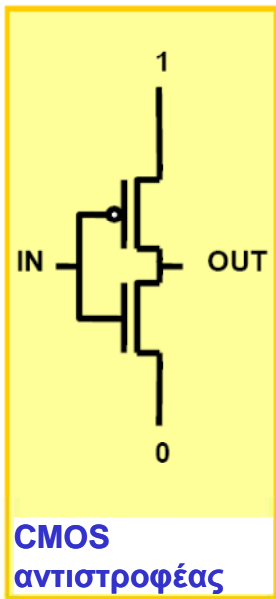
Πίνακας αλήθειας του διακόπτη PMOS

πύλη	πηγή	υποδοχή
0	0	0
0	1	1
1	0	X
1	1	X

Μη-ορισμένη
λογική τιμή

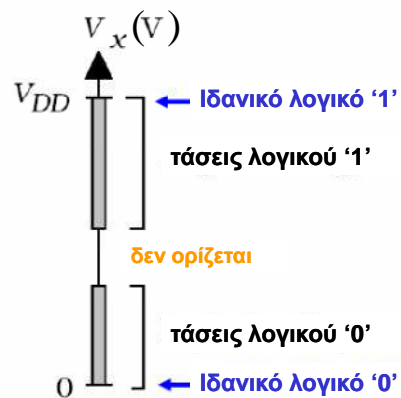
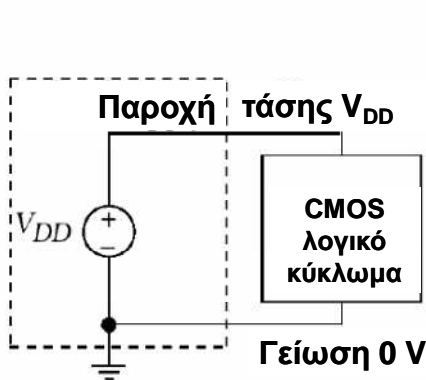
Slide 8

Αρχή λειτουργίας του αντιστροφέα CMOS



Slide 9

Από τη λογική στις τάσεις



(α) Απλή πηγή τροφοδοσίας

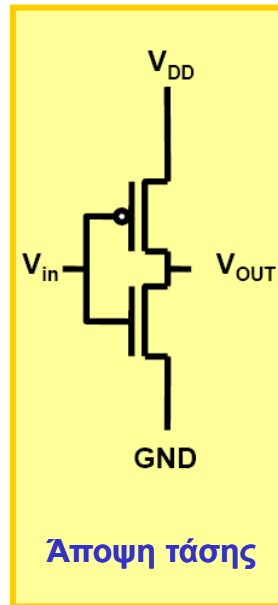
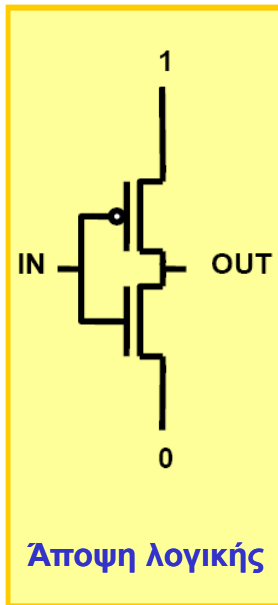
(β) Λογικά Επίπεδα

Το Ιδανικό λογικό '0' αντιστοιχεί στην τάση $V_x = 0V$

Το Ιδανικό λογικό '1' αντιστοιχεί στην τάση $V_x = V_{DD}$

Οι πραγματικές τάσεις σε ένα κύκλωμα δεν αντιστοιχούν υποχρεωτικά όλες στα ιδανικά λογικά επίπεδα, δες σχ. (β) επάνω.

Από τη λογική στις τάσεις (συνεχ)







Παρατήρηση:

- GND = GROUND = 0V
- Συνήθως, καλείται V_{SS}
- V_{DD} είναι το **υψηλότερο επίπεδο τάσης** στο κύκλωμα
- Η τιμή V_{DD} εξαρτάται από την τεχνολογία, έχει **ελαττωθεί** από 5V σε λιγότερο από 1V τα τελευταία χρόνια
- Για όλες οι τάσεις V_x : $0 \leq V_x \leq V_{DD}$

Slide 11

Λογικά επίπεδα στα εργαλεία Dsch & Microwind

Τρία λογικά επίπεδα: '0', '1' και 'X'

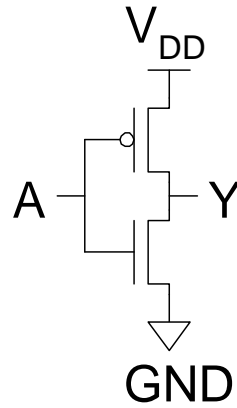
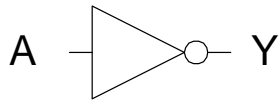
Logical value	Voltage	Name	Symbol in DSCH	Symbol in Microwind
0	0.0V	VSS	 (Green in logic simulation)	 (Green in analog simulation)
1	1.2V in cmos 0.12μm	VDD	 (Red in logic simulation)	 (Red in analog simulation)
X	Undefined	X	(Gray in simulation)	(Gray in simulation)

Τα λογικά επίπεδα '0' και '1' είναι καλά ορισμένα και αντιστοιχούν στα επίπεδα τάσης V_{SS} και V_{DD} , αντίστοιχα.

Το λογικό επίπεδο 'X' δεν είναι ορισμένο

Ο αντιστροφέας CMOS

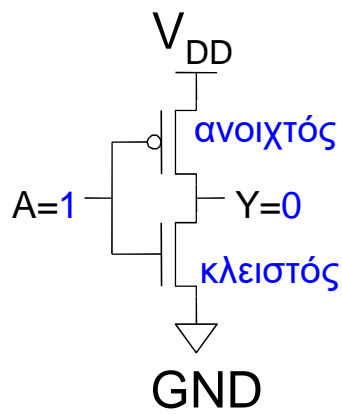
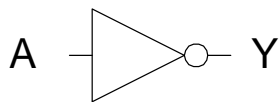
A	Y
0	
1	



Slide 13

Ο αντιστροφέας CMOS

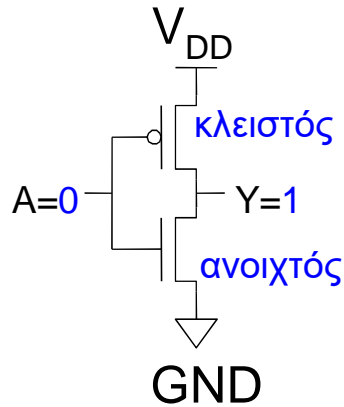
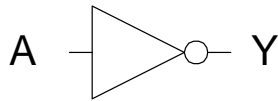
A	Y
0	
1	0



Slide 14

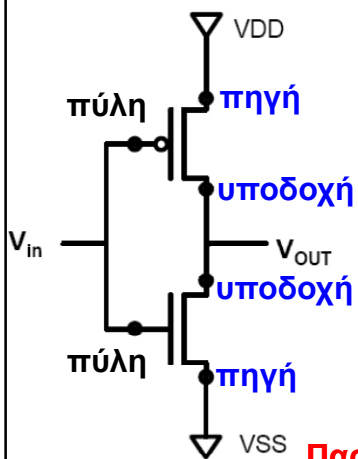
Ο αντιστροφέας CMOS

A	Y
0	1
1	0



Slide 15

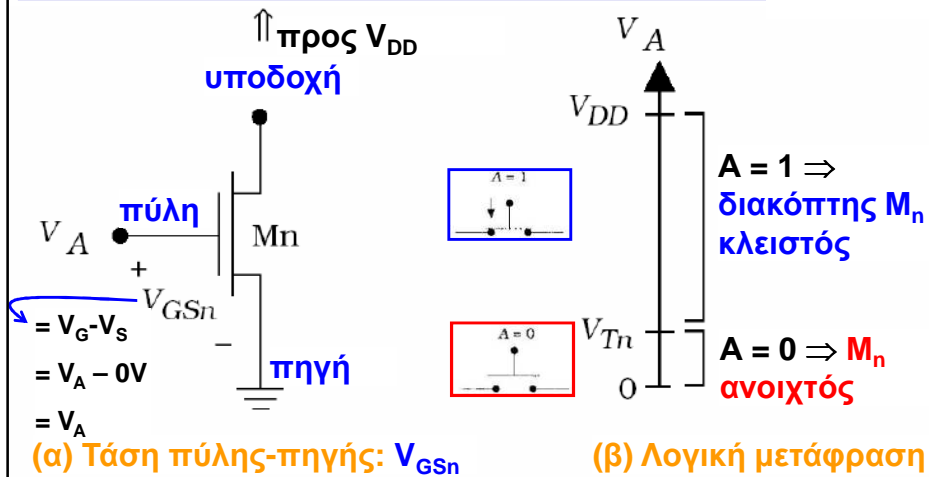
Οι ακροδέκτες της πηγής και της υποδοχής



	NMOS	PMOS
πηγή	Χαμηλότερο δυναμικό	Υψηλότερο δυναμικό
υποδοχή	Υψηλότερο δυναμικό	Χαμηλότερο δυναμικό

Παρατήρηση: το τρανζίστορ είναι **τελείως συμμετρικό!** Μπορούμε να εναλλάξουμε την πηγή και την υποδοχή, χωρίς καμιά επίδραση. Πηγή και υποδοχή αποτελούν μόνο μια συμφωνία ονομασίας

Τάση κατωφλίου NMOS

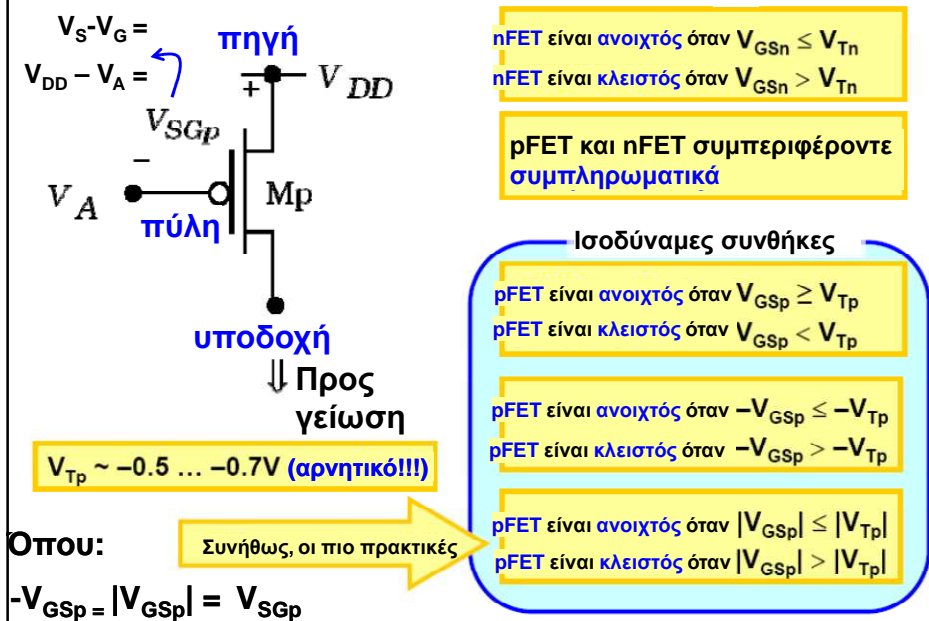


nFET είναι ανοιχτός όταν $V_{GSn} \leq V_{Tn}$
nFET είναι κλειστός όταν $V_{GSn} > V_{Tn}$

$V_{Tn} \sim 0.5 \dots 0.7V$

Slide 17

Τάση κατωφλίου PMOS



L1: Ψηφιακή Λογική με MOSFET

Slide 18

Άσκηση

↑ προς V_{DD}

υποδοχή

πύλη V_A

V_{GSn}

πηγή

M_n

V_A

V_{DD}

V_{Trn}

0

$A = 1 M_n$
κλειστός

$A = 0 M_n$
ανοιχτός

Το τρανζίστορ αριστερά με χρήση των σχέσεων

nFET είναι ανοιχτός όταν $V_{GSn} \leq V_{Trn}$

nFET είναι κλειστός όταν $V_{GSn} > V_{Trn}$

Αντιστοιχεί στο δεξί λογικό διάγραμμα

πηγή V_{DD}

V_{GSp}

πύλη V_A

M_p

υποδοχή

↓ Προς γείωση

Σχεδιάστε το ίδιο διάγραμμα για το PMOS με χρήση των σχέσεων

pFET είναι ανοιχτός όταν $|V_{GSp}| \leq |V_{Tfp}|$

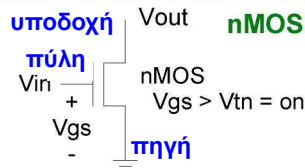
pFET είναι κλειστός όταν $|V_{GSp}| > |V_{Tfp}|$

Slide 19

Τρανζίστορ MOS: Ψηφιακή συμπεριφορά

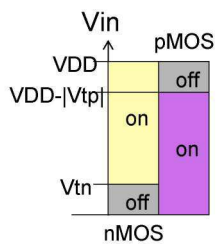
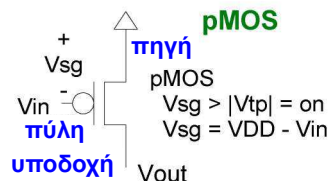
• nMOS

V_{in}	V_{out} (υποδοχή)	
1	$V_s=0$	διακόπτης κλειστός
0	?	διακόπτης ανοιχτός



• pMOS

V_{in}	V_{out} (υποδοχή)	
1	?	διακόπτης ανοιχτός
0	$V_s=V_{DD}=1$	διακόπτης κλειστός



παρατήρηση:

Όταν $V_{in} = \text{χαμηλό (low)}$, ο διακόπτης nMOS είναι ανοιχτός, ενώ ο pMOS είναι κλειστός.
 Όταν $V_{in} = \text{υψηλό (high)}$, ο διακόπτης nMOS είναι κλειστός, ενώ ο pMOS είναι ανοιχτός.
 → Μόνο ένα τρανζίστορ είναι κλειστό σε κάθε λογικό επίπεδο τάσης

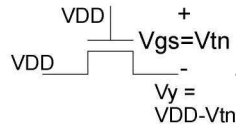
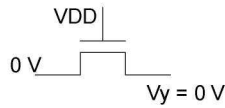
MOSFET: Χαρακτηριστικές μεταγωγής

- καθένα τρανζίστορ είναι καλύτερο από το άλλο στο πέρασμα (στην έξοδο) μιας λογικής τάσης

- nMOS περνά το ιδανικό λογικό '0' ($= 0V$), αλλά όχι το ιδανικό λογικό '1' ($= V_{DD}$)
- pMOS περνά το ιδανικό λογικό '1' ($= V_{DD}$) αλλά όχι το ιδανικό λογικό '0' ($= 0V$)

nMOS

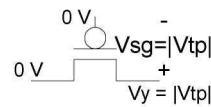
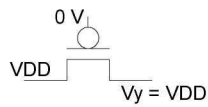
Κλειστός όταν η πύλη είναι 'υψηλή'



Περνά το ιδανικό χαμηλό
Το Max υψηλό είναι $V_{DD} - V_{tn}$

pMOS

κλειστός όταν η πύλη είναι 'χαμηλή'



Περνά το ιδανικό υψηλό
Το Min χαμηλό είναι $|V_{tp}|$

Προσομοίωση nMOS

Ένα ρολόι έχει οριστεί στην πύλη

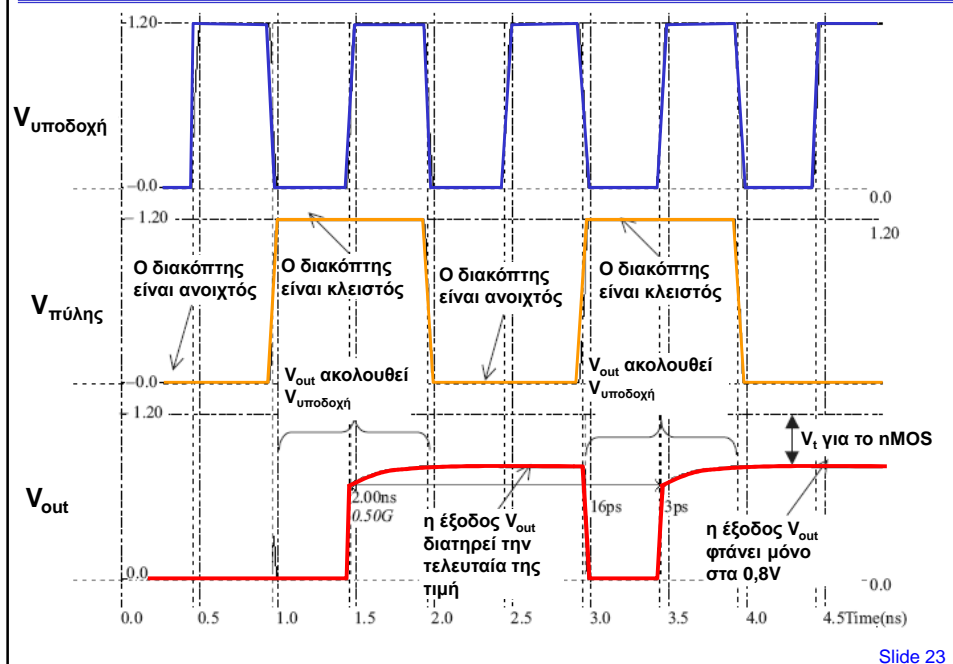


Η περιοχή της πηγής έχει γίνει ορατή για την προσομοίωση

Ένα ρολόι έχει οριστεί στην περιοχή της υποδοχής του MOS n-καναλιού

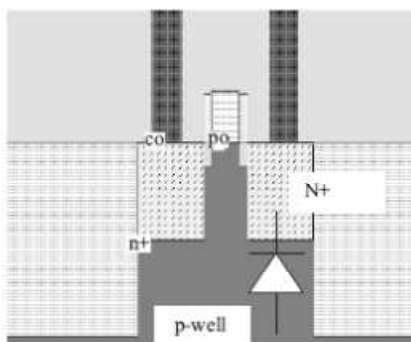
Slide 22

Δυναμικά Χαρακτηριστικά nMOS



Γιατί η έξοδος V_{out} διατηρεί την τελευταία της τιμή;

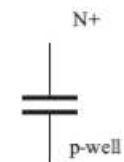
Η επαφή (p-well)/(N+ διάχυση) είναι σε κατάσταση αναστροφής πόλωσης και μπορεί να θεωρηθεί σαν ένας πυκνωτής. Τα φορτία αποθηκεύονται σε αυτόν τον πυκνωτή επαφής όσο το κανάλι είναι στην αποκοπή, γεγονός το οποίο διατηρεί σταθερή την τάση εξόδου.



If $V_p < V_n$

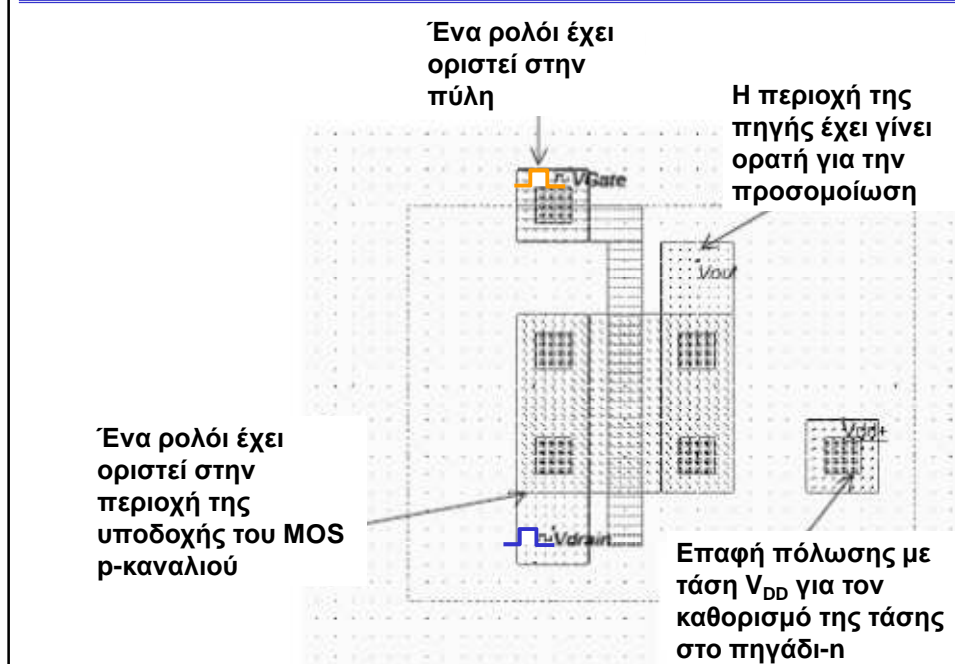


The N+/P-junction is in reverse mode

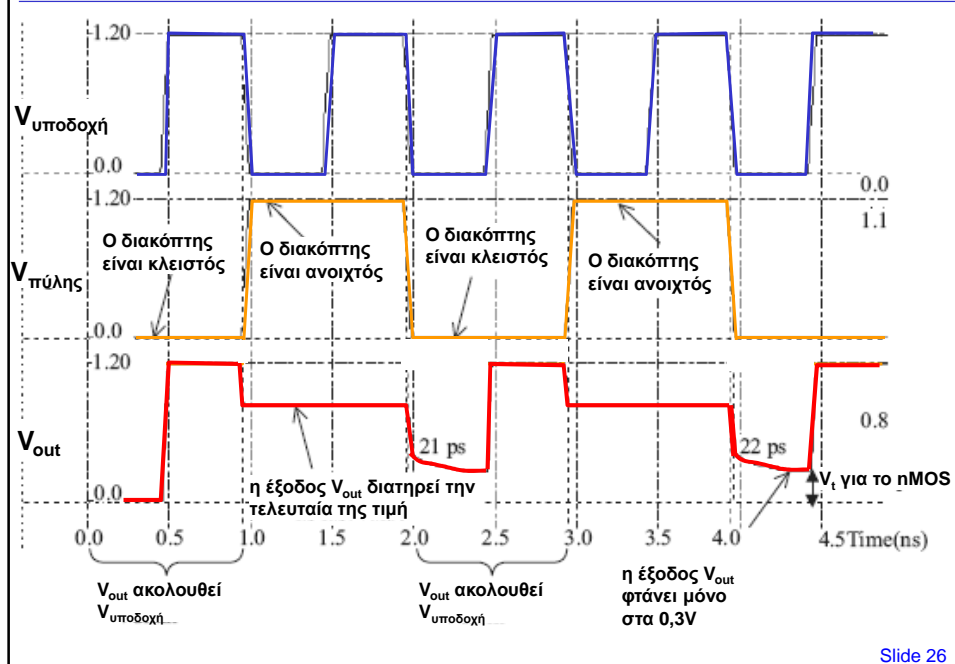


Slide 24

Προσομοίωση pMOS



Δυναμικά Χαρακτηριστικά pMOS



MOSFET: Τάσεις ακροδεκτών

- Πώς να βρίσκεις την τάση ενός ακροδέκτη όταν ξέρεις τις τάσεις των άλλων δύο
– nMOS

- περίπτωση 1) αν $V_g > V_i + V_{tn}$, τότε $V_o = V_i$ ($V_g - V_i > V_{tn}$)
– εδώ V_i είναι η τάση “πηγής” έτσι το nMOS περνά την V_i στην V_o
 - περίπτωση 2) αν $V_g < V_i + V_{tn}$, τότε $V_o = V_g - V_{tn}$ ($V_g - V_i < V_{tn}$)
– εδώ V_o είναι η τάση “πηγής” έτσι η έξοδος του nMOS περιορίζεται
- For nMOS, $\max(V_o) = V_g - V_{tn}$

– pMOS

- περίπτωση 1) αν $V_g < V_i - |V_{tp}|$, τότε $V_o = V_i$ ($V_i - V_g > |V_{tp}|$)
– εδώ V_i είναι η τάση “πηγής” έτσι το pMOS περνά την V_i στην V_o
 - περίπτωση 2) αν $V_g > V_i - |V_{tp}|$, τότε $V_o = V_g + |V_{tp}|$ ($V_i - V_g < |V_{tp}|$)
– εδώ V_o είναι η τάση “πηγής” έτσι η έξοδος του pMOS περιορίζεται
- For pMOS, $\min(V_o) = V_g + |V_{tp}|$

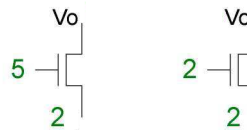
Τάσεις ακροδεκτών MOSFET : παραδείγματα

- κανόνες nMOS $\max(V_o) = V_g - V_{tn}$

- περίπτωση 1) αν $V_g > V_i + V_{tn}$, τότε $V_o = V_i$ ($V_g - V_i > V_{tn}$)
- περίπτωση 2) αν $V_g < V_i + V_{tn}$, τότε $V_o = V_g - V_{tn}$ ($V_g - V_i < V_{tn}$)

- παραδείγματα nMOS ($V_{tn}=0.5V$)

- 1: $V_g=5V, V_i=2V$
– $V_g=5 > V_i + V_{tn} = 2.5 \Rightarrow V_o = 2V$
- 2: $V_g=2V, V_i=2V$
– $V_g=2 < V_i + V_{tn} = 2.5 \Rightarrow V_o = 1.5V$

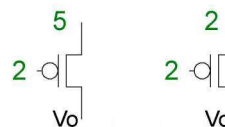


- κανόνες pMOS $\min(V_o) = V_g + |V_{tp}|$

- περίπτωση 1) if $V_g < V_i - |V_{tp}|$, τότε $V_o = V_i$ ($V_i - V_g > |V_{tp}|$)
- περίπτωση 2) if $V_g > V_i - |V_{tp}|$, τότε $V_o = V_g + |V_{tp}|$ ($V_i - V_g < |V_{tp}|$)

- Παραδείγματα pMOS ($V_{tp}=-0.5V$)

- 1: $V_g=2V, V_i=5V$
– $V_g=2 < V_i - |V_{tp}|=4.5 \Rightarrow V_o = 5V$
- 2: $V_g=2V, V_i=2V$
– $V_g=2 > V_i - |V_{tp}|=1.5 \Rightarrow V_o = 2.5V$



Για εξάσκηση

1 Βρείτε την τάση εξόδου, V_o , του nFET που δείχνεται στα δεξιά για τις παρακάτω περιπτώσεις.

Θεωρείστε ότι $V_g = 3V$ και $V_{Tn} = 0.5V$

- (a) $V_i = .7V$
- (b) $V_i = 1.7V$
- (c) $V_i = 2.7V$



2 Βρείτε την τάση εξόδου, V_o , του pFET που δείχνεται στα δεξιά για τις παρακάτω περιπτώσεις.

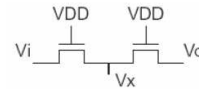
Θεωρείστε ότι $V_g = 0V$ και $V_{Tp} = -0.5V$

- (a) $V_i = 0.3V$
- (b) $V_i = 1.3V$
- (c) $V_i = 2.3V$



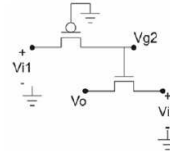
3 Βρείτε την τάση στο μέσο V_x , καθώς και την τάση εξόδου, V_o , της αλυσίδας των δύο τρανζίστορ διέλευσης nFET που δείχνεται κάτω για τις ακόλουθες περιπτώσεις. Θεωρείστε ότι $V_{DD} = 2.5V$ και $V_{Tn} = 0.5V$

- (a) $V_i = 0.2V$
- (b) $V_i = 1.2V$
- (c) $V_i = 2.2V$



4 Χρησιμοποιώντας τους δοσμένους κανόνες στις σημειώσεις των διαλέξεων, βρείτε τις τάσεις V_{g2} και V_o που απαιτούνται ώστε και τα δύο τρανζίστορ να είναι ON στο κύκλωμα των δύο τρανζίστορ που δείχνεται παρακάτω για καθένα από τους ακόλουθους συνδυασμούς τάσεων εισόδου. Υποθέστε ότι $V_{DD} = 2.5V$, $V_{Tn} = 0.5V$ και $|V_{Tp}| = 0.5V$.

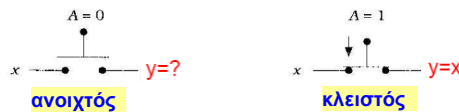
- (a) $V_{i1} = 0V, V_{i2} = 0V$
- (b) $V_{i1} = 2V, V_{i2} = 2V$
- (c) $V_{i1} = 2.5V, V_{i2} = 2.5V$
- (d) $V_{i1} = 0V, V_{i2} = 1V$



Slide 29

Λογική Boolean σε Επίπεδο Διακόπτη

- οι λογικές πύλες δημιουργούνται χρησιμοποιώντας ομάδες ελεγχόμενων διακοπών
- Χαρακτηριστικές ενός διακόπτη **υψηλού-ισχυρισμού** (assert-high switch)

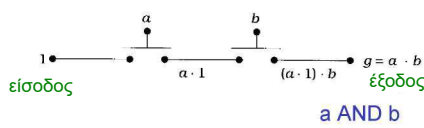


$- y = x \cdot A$, δηλ. $y = x$ αν $A = 1$

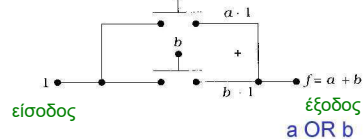
AND, η συνάρτηση λογικού γινομένου

Το nMOS συμπεριφέρεται ως ένας διακόπτης **υψηλού-ισχυρισμού**

Σειριακοί διακόπτες **υψηλού-ισχυρισμού**
 \Rightarrow συνάρτηση **AND**

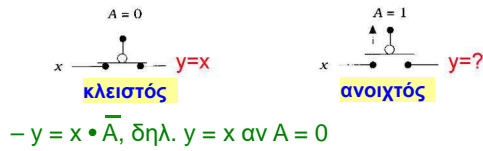


Παράλληλοι διακόπτες **υψηλού-ισχυρισμού**
 \Rightarrow συνάρτηση **OR**



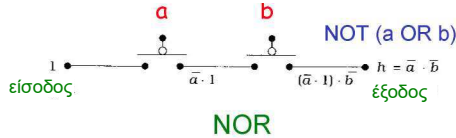
Λογική Boolean σε Επίπεδο Διακόπτη

- Χαρακτηριστικές ενός διακόπτη **χαμηλού-ισχυρισμού** (assert-low switch)

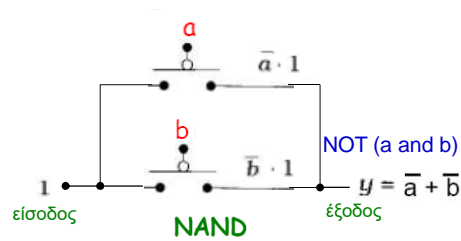


Το pMOS
 συμπεριφέρεται ως
 ένας διακόπτης
χαμηλού-ισχυρισμού

Σειριακοί διακόπτες χαμηλού-ισχυρισμού
 ⇒ συνάρτηση **NOR**



Παράλληλοι διακόπτες χαμηλού-ισχυρισμού
 ⇒ συνάρτηση **NAND**



Θυμηθείτε αυτό :

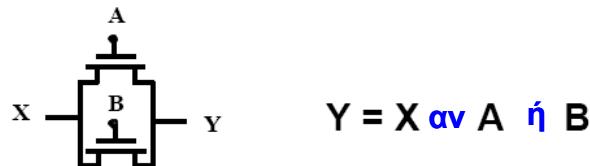
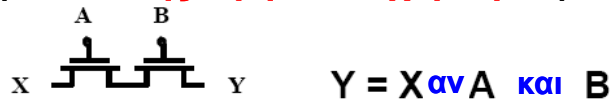
$$\bar{a} \cdot \bar{b} = \overline{a + b}, \quad \bar{a} + \bar{b} = \overline{a \cdot b}$$

Σχέσεις DeMorgan

NMOS: Σειριακή & Παράλληλη Σύνδεση

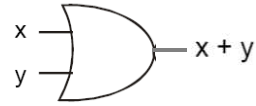
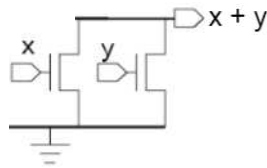
Τα τρανζίστορ μπορούν να μοντελοποιηθούν σαν **διακόπτες χαμηλού και υψηλού-ισχυρισμού** που ελέγχονται από το σήμα πύλης

Ο **NMOS** διακόπτης **κλείνει** όταν η είσοδος ελέγχου είναι **υψηλή** (**διακόπτης υψηλού-ισχυρισμού**)



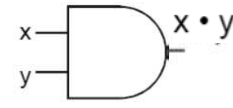
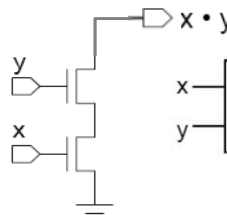
NMOS: Σειριακή & Παράλληλη Σύνδεση

- NMOS συνδεμένα παράλληλα



- OR υψηλού-ισχυρισμού
- Δημιουργεί τη συνάρτηση OR

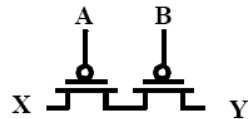
- NMOS συνδεμένα σε σειρά



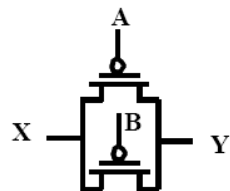
- AND υψηλού-ισχυρισμού
- Δημιουργεί τη συνάρτηση AND

PMOS: Σειριακή & Παράλληλη Σύνδεση

Ο PMOS διακόπτης κλείνει όταν η είσοδος ελέγχου είναι χαμηλή (διακόπτης χαμηλού-ισχυρισμού)



$$Y = X \text{ αν } \bar{A} \text{ και } \bar{B}$$

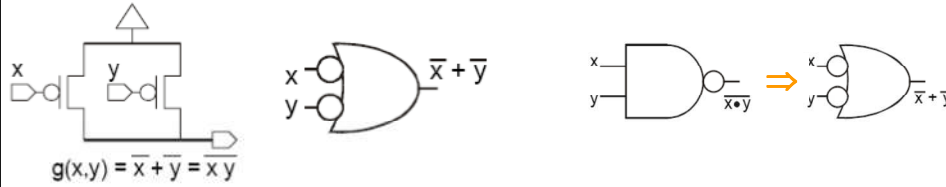


$$Y = X \text{ αν } \bar{A} \text{ ή } \bar{B}$$

Slide 34

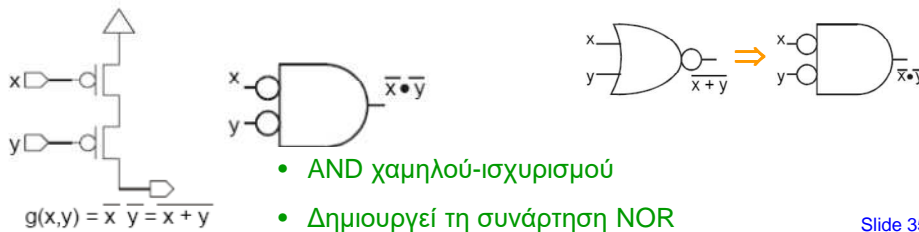
PMOS: Σειριακή & Παράλληλη Σύνδεση

- PMOS συνδεμένα παράλληλα



- OR χαμηλού-ισχυρισμού
- Δημιουργεί τη συνάρτηση NAND

- PMOS συνδεμένα σε σειρά

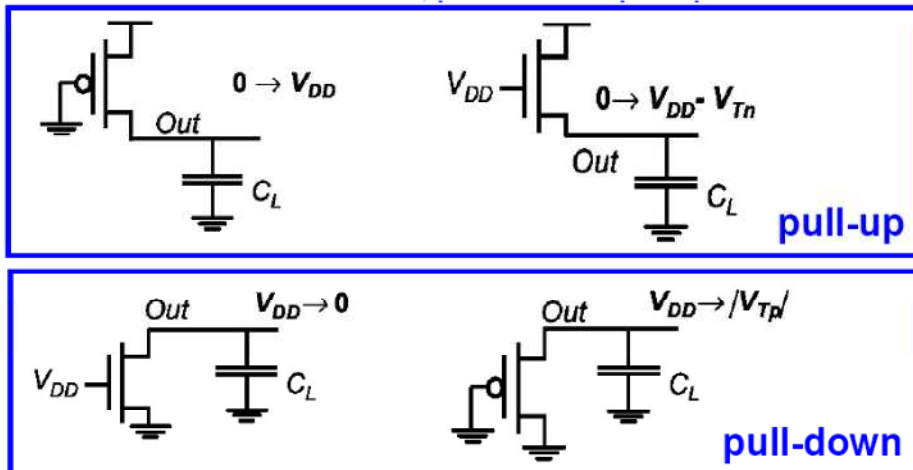


- AND χαμηλού-ισχυρισμού
- Δημιουργεί τη συνάρτηση NOR

Slide 35

NMOS εναντίον PMOS

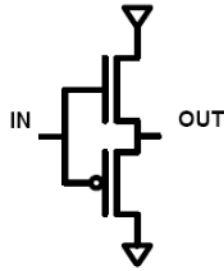
τράβηγμα προς τα κάτω (pull-down) κατά τράβηγμα προς τα πάνω (pull-up)



- Το PMOS είναι καλύτερος διακόπτης pull-up
- Το NMOS είναι καλύτερος διακόπτης pull-down

Slide 36

Κακή ιδέα



Άσκηση: Καθορίστε τη λογική συνάρτηση

Καθορίστε την V_{out}
για $V_{in} = V_{DD}$ και $V_{in} = V_{SS}$

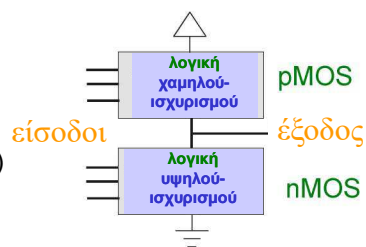
Γιατί είναι κακό αυτό το κύκλωμα;

Slide 37

Η Λογική CMOS “Push-Pull”

• Δίκτυα CMOS Push-Pull

- διακόπτες pMOS
 - “κλειστοί” όταν η είσοδος είναι χαμηλή
 - σπρώχνουν ψηλά την έξοδο (push high)
- nMOS
 - “κλειστοί” όταν η είσοδος είναι υψηλή
 - τραβούν χαμηλά την έξοδο (pull low)



• Λειτουργία: για δοσμένη λογική συνάρτηση

- ένα λογικό δίκτυο (network), p ή n, παράγει τη λογική συνάρτηση και τραβά ψηλά ή χαμηλά την έξοδο
- το άλλο δίκτυο δρα σαν “φορτίο” “load” για να συμπληρώσει το κύκλωμα, αλλά παραμένει ανενεργό λόγω των λογικών εισόδων
- επειδή ένα μόνο δίκτυο είναι ενεργό, δεν υπάρχει στατικό ρεύμα (μεταξύ VDD και γείωσης)

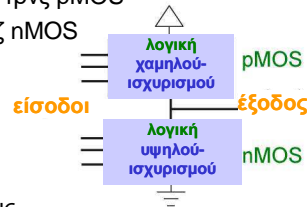
- μηδενική απώλεια **στατικής** ισχύος

Δημιουργία Λογικών Πυλών CMOS

• Όλες οι συνήθεις λογικές συναρτήσεις Boole (NOT, NAND, OR, κτλ.) μπορούν να κατασκευαστούν με κυκλώματα CMOS pull-up και pull-down.

• **Κανόνες δόμησης λογικών πυλών χρησιμοποιώντας CMOS**

- Χρησιμοποίηση ενός συμπληρωματικού ζεύγους nMOS/pMOS για κάθε είσοδο
- Σύνδεση της εξόδου με την τάση VDD διαμέσου των τρνζ pMOS
- Σύνδεση της εξόδου με τη γείωση διαμέσου των τρνζ nMOS
- Εξασφάλιση της εξόδου, ώστε αυτή να είναι πάντα, είτε υψηλή είτε χαμηλή



- Η CMOS παράγει λογική “αντιστροφής”
 - οι πύλες CMOS βασίζονται στην αντιστροφή
 - οι έξοδοι είναι πάντα αντιστραμμένες λογικές συναρτήσεις π.χ, NOR, NAND αντί OR, AND

• **Ιδιότητες Λογικής Κανόνες DeMorgan's**

$$(a \cdot b)' = a' + b'$$

$$(a + b)' = a' \cdot b'$$

Χρήσιμες ιδιότητες λογικής

$$1 + x = 1 \quad 0 + x = x$$

$$1 \cdot x = x \quad 0 \cdot x = 0$$

$$x + x' = 1 \quad x \cdot x' = 0$$

$$a \cdot a = a \quad a + a = a$$

$$ab + ac = a(b+c)$$

Ιδιότητες που αποδεικνύονται

$$(a+b)(a+c) = a+bc$$

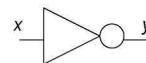
$$a + a'b = a + b$$

Ο αντιστροφέας CMOS

• Συνάρτηση Αντιστροφή

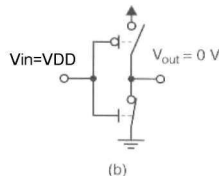
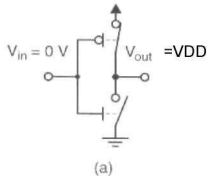
• Σύμβολο αντιστροφέα

• αλλάζει τη λογική κατάσταση του σήματος



• Λειτουργία του διακόπτη Αντιστροφής

• Πίνακας Αλήθειας

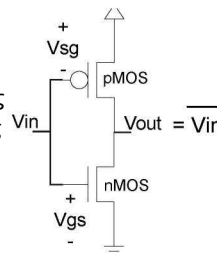


x	y = x'
0	1
1	0

είσοδ. χαμηλή → εξοδ. υψηλή
 διακ. nMOS ανοιχτός/κλειστός
 pMOS κλειστός/ανοιχτός
 διακόπτης pMOS “κλειστός”
 → έξοδος υψηλή ‘1’

είσοδ. υψηλή → εξοδ. χαμηλή
 διακ. nMOS κλειστός/ ανοιχτός
 pMOS ανοιχτός/κλειστός
 διακόπτης nMOS “κλειστός”
 → έξοδος χαμηλή ‘0’

• CMOS Inverter Schematic



Μία είσοδος ⇒ ένα συμπληρωματικό ζεύγος nMOS/pMOS

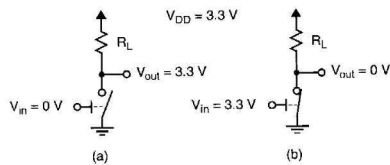
Λογικές Πύλες nMOS

- Εξέταση πρώτα της λογικής nMOS, πιο απλή από την CMOS

Λογική nMOS

- Υποθέστε σύνδεση εξόδου με VDD διαμέσου ενός ωμικού φορτίου R_L
- Ο διακόπτης nMOS τραβά την έξοδο χαμηλά με βάση την είσοδο

nMOS Inverter



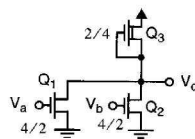
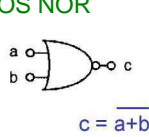
(α) **ανοιχτός** δκπτ. nMOS

→ **έξοδος υψηλή '1'**

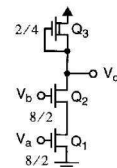
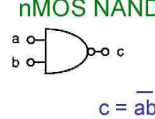
(β) **κλειστός** δκπτ. nMOS

→ **έξοδος χαμηλή '0'**

nMOS NOR



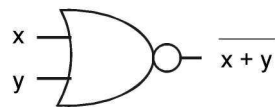
nMOS NAND



- **παράλληλοι διακόπτες = συνάρτηση NOR** **διακ/τες σε σειρά = συνάρτηση NAND**
- το nMOS τραβά το χαμηλό (αντιστροφή στην έξοδο)
- το nMOS τραβά το χαμηλό (αντιστροφή την έξοδο)

Η Πύλη CMOS NOR

• NOR Σύμβολο



• NOR Πίνακας αλήθειας

x	y	$\overline{x+y}$
0	0	1
0	1	0
1	0	0
1	1	0

• Χάρτης Karnaugh

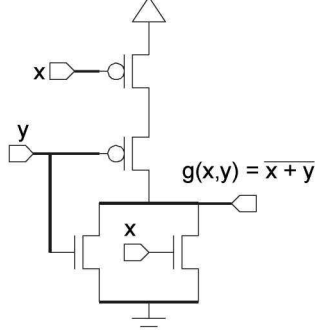
x \ y	0	1
0	1	0
1	0	0

- Γράψτε την έξοδο ως άθροισμα γινόμενων (SOP) με όλους τους όρους (συμπεριλαμβανομένου του '0' και '1')
- κάθε όρος αναπαριστά ένα μονοπάτι του MOSFET προς την έξοδο
- οι όροι '1' συνδέονται στην τάση VDD μέσω των pMOS
- οι όροι '0' συνδέονται στη γείωση μέσω των nMOS

Η Πύλη CMOS NOR

- Σχ. Κύκλωμα CMOS NOR

$$g(x,y) = \bar{x} \cdot \bar{y} \cdot 1 + x \cdot 0 + y \cdot 0$$



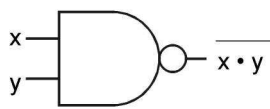
- η έξοδος είναι ΧΑΜΗΛΗ όταν x OR y
 - nMOS παράλληλα
- η έξοδος είναι ΥΨΗΛΗ όταν \bar{x} AND \bar{y}
 - pMOS σε σειρά

- Σημαντικές Παρατηρήσεις

- σειριακή-παράλληλη διάταξη
 - όταν nMOS σε σειρά, pMOS παράλληλα, και αντίστροφα
 - ισχύει για όλες τις λογικές πύλες CMOS
 - μας επιτρέπει να κατασκευάσουμε πιο σύνθετες λογικές συναρτήσεις

Η Πύλη CMOS NAND

- NAND Σύμβολο



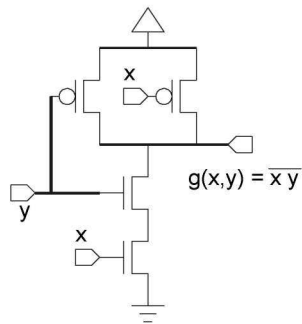
- Πίνακας αλήθειας

x	y	$\overline{x \cdot y}$
0	0	1
0	1	1
1	0	1
1	1	0

- Κ- χάρτης

x	y	0	1
0	0	1	1
0	1	1	0
1	0	1	0
1	1	0	0

- Σχ. Κύκλωμα CMOS NAND

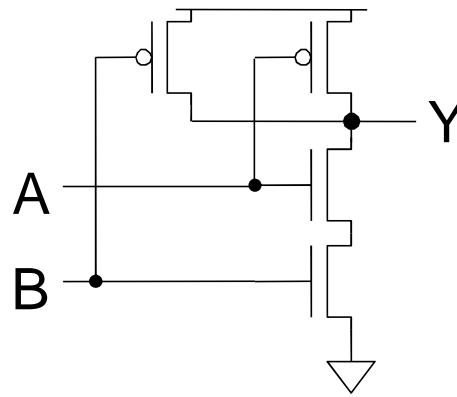
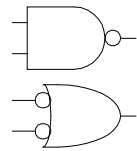


$$g(x,y) = (\bar{y} \cdot 1) + (\bar{x} \cdot 1) + (x \cdot y \cdot 0)$$

- η έξοδος είναι ΧΑΜΗΛΗ όταν if x AND y
- nMOS σε σειρά
- η έξοδος είναι ΥΨΗΛΗ όταν \bar{x} OR \bar{y}
- pMOS παράλληλα

Η πύλη CMOS NAND

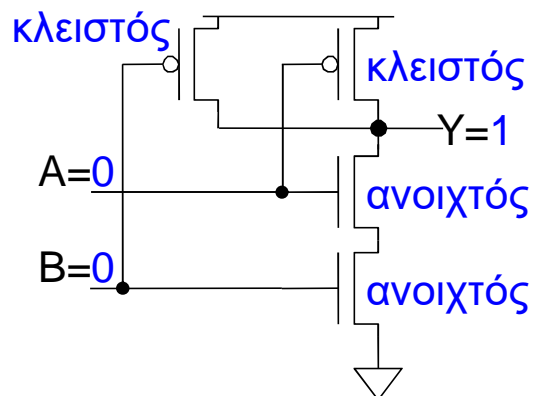
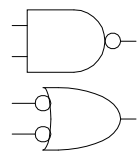
A	B	Y
0	0	
0	1	
1	0	
1	1	



Slide 45

Η πύλη CMOS NAND

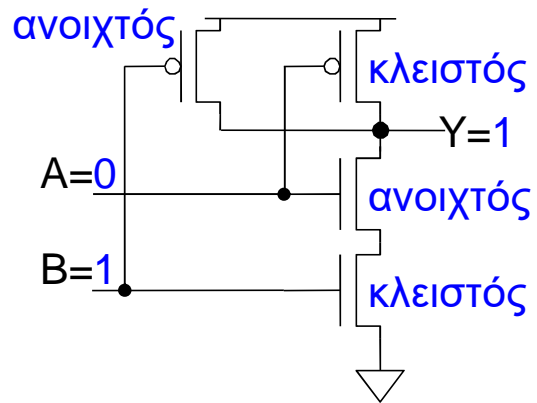
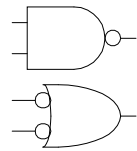
A	B	Y
0	0	1
0	1	
1	0	
1	1	



Slide 46

Η πύλη CMOS NAND

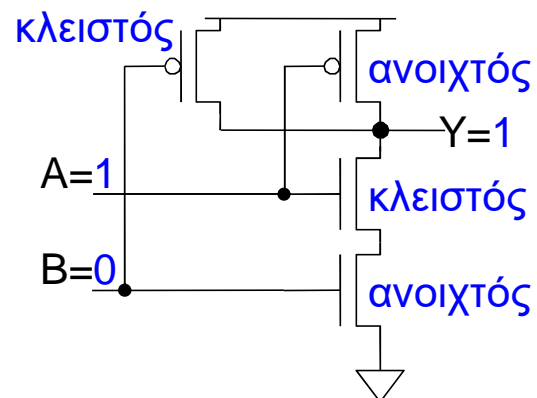
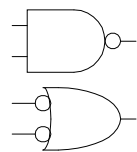
A	B	Y
0	0	1
0	1	1
1	0	
1	1	



Slide 47

Η πύλη CMOS NAND

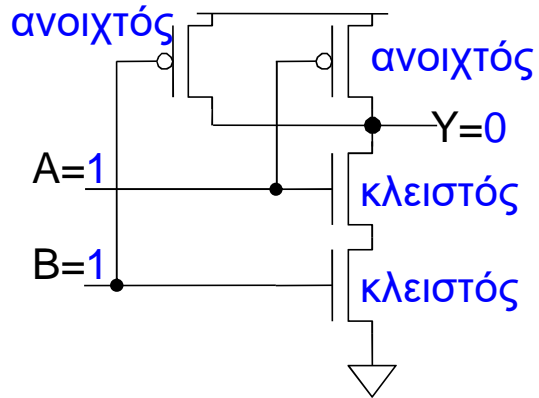
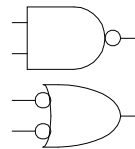
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	



Slide 48

Η πύλη CMOS NAND

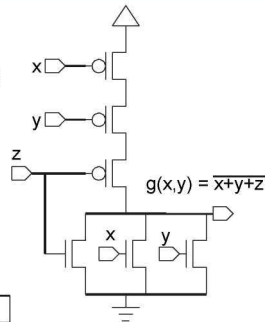
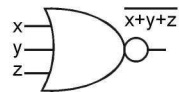
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



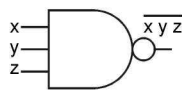
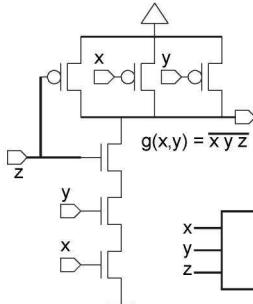
Slide 49

Πύλες 3-εισόδων

• NOR3

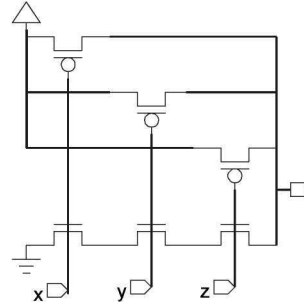


• NAND3



• Εναλλακτικό σχηματικό κύκλωμα

*Σε τι εξυπηρετεί;



• προσέξτε ότι για κάθε είσοδο οι πύλες των συμπληρωματικών τρανζίστορ είναι κοινές.

• είναι σημαντική η διάταξη των εισόδων ;
σε σειρά, παράλληλα ή και τα δύο;

• αυτό το σχήμα μοιάζει με το φυσικό σχέδιο του κυκλώματος (layout), δηλ. με το πώς θα φαίνεται το κύκλωμα όταν κατασκευαστεί

Φυσικό Σχέδιο Αντιστροφέα

(α) κύκλωμα

(β) φυσικό σχέδιο

•Χαρακτηριστικά

- VDD & Γείωση 'γραμμές τάσης'
- χρήση στρώσης Metal1
- Ενεργές στρώσεις
- διαφορετική πολικότητα n+ και p+
- περιοχές N-well
- για pMOS
- Επαφές
- n+/p+ με μέταλλο
- poly με μέταλλο

Slide 51

Φυσικό Σχέδιο Αντιστροφέα

•Εναλλακτικό layout Κατακόρυφη στρώση πολυSi

- πλεονέκτημα
- απλή γραμμή poly
- μειονέκτημα
- δύσκολο να φτιάξουμε το W μεγάλο

(α) κύκλωμα

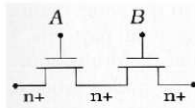
(β) φυσικό σχέδιο

TL 503
L3: Αρχές Φυσικού Σχεδιασμού
Slide 52

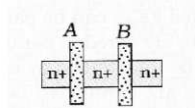
Φυσικό Σχέδιο σειριακών Τρανζίστορ

• τρανζίστορ σε σειρά

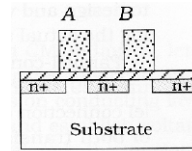
-2 τρανζ μοιράζονται μια επαφή S/D



(α) κύκλωμα



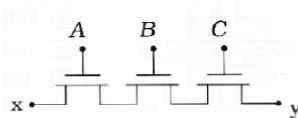
(β) φυσικό σχέδιο



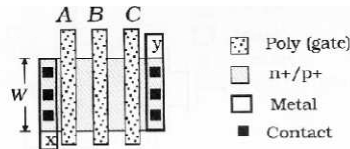
(γ) κάθετη όψη

• Πολλαπλά τρανζίστορ σε σειρά

-οι πύλες πολυSi τοποθετούνται δίπλα-δίπλα



(α) κύκλωμα



(β) φυσικό σχέδιο

TL 503

L3: Αρχές Φυσικού Σχεδιασμού

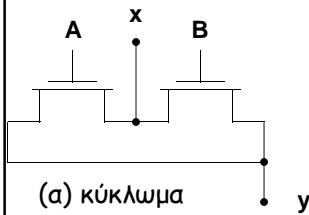
Slide 53

Φυσικό Σχέδιο παράλληλων Τρανζίστορ

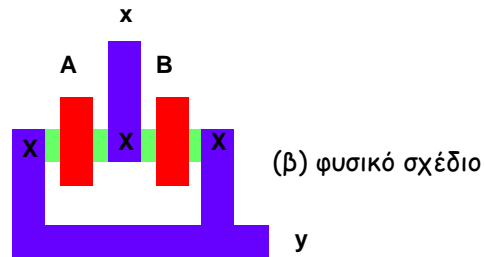
• Παράλληλα τρανζίστορ

-μία κοινή περιοχή S/D με επαφή

-βραχυκύκλωμα των άλλων περιοχών S/D χρησιμοποιώντας στρώμα διασύνδεσης (metal1)



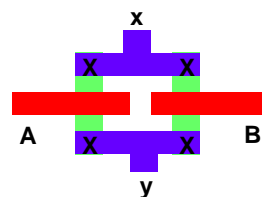
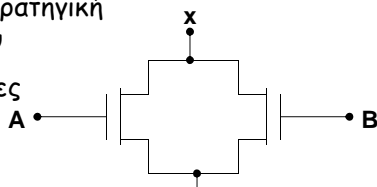
(α) κύκλωμα



(β) φυσικό σχέδιο

• Εναλλακτική στρατηγική φυσικού σχεδίου

-οριζόντιες πύλες



TL 503

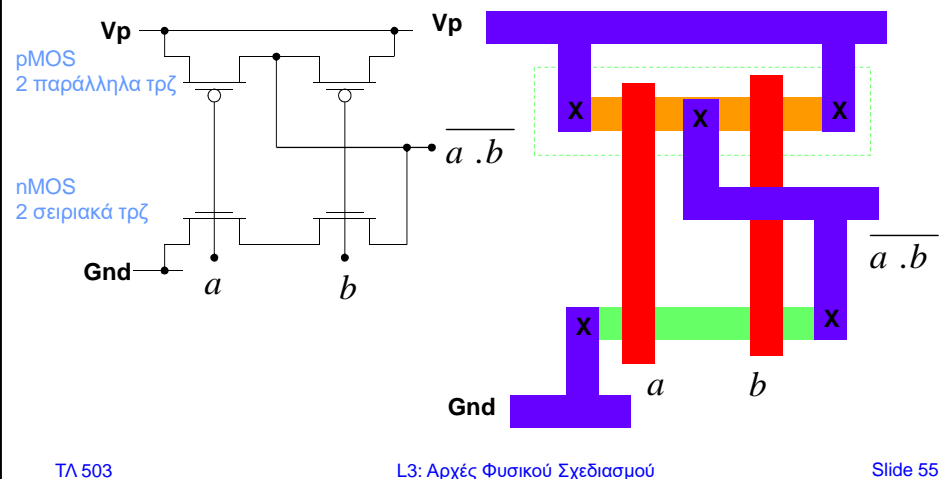
L3: Αρχές Φυσικού Σχεδιασμού

Slide 54

Φυσικό Σχέδιο NAND2 (2-input NAND)

Κατακόρυφη στρώση πολυSi

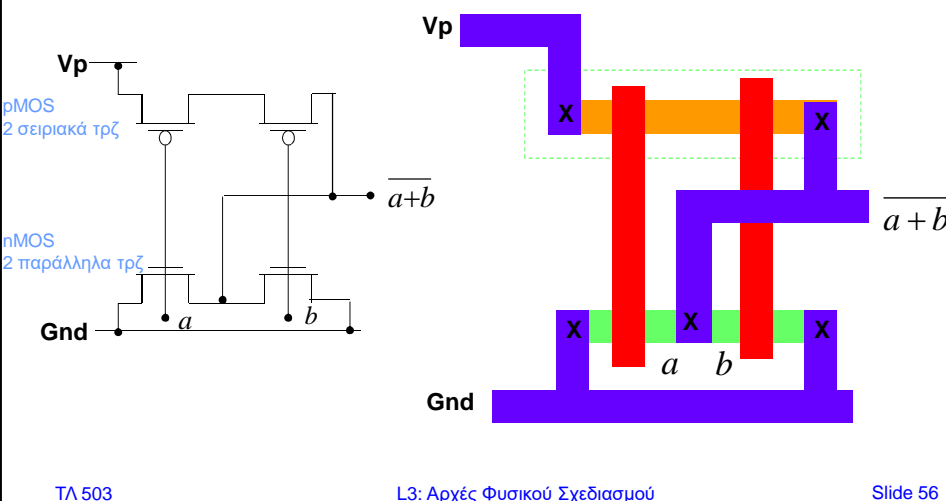
- Μια επιλογή layout με οριζόντια τρανζίστορ (L απλώνεται οριζόντια)



Φυσικό Σχέδιο NOR2 (2-input NOR)

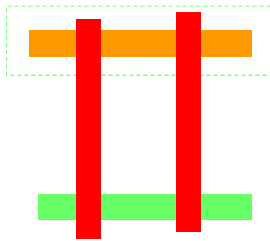
Κατακόρυφη στρώση πολυSi

- Μια επιλογή layout με οριζόντια τρανζίστορ (L απλώνεται οριζόντια)



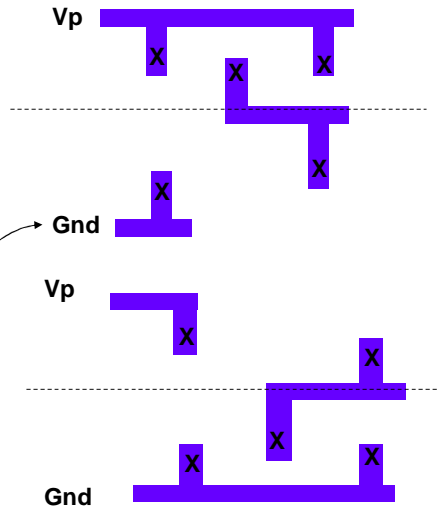
Σύγκριση NAND2-NOR2

Κατακόρυφη στρώση πολυSi



MOS Layout

Wiring

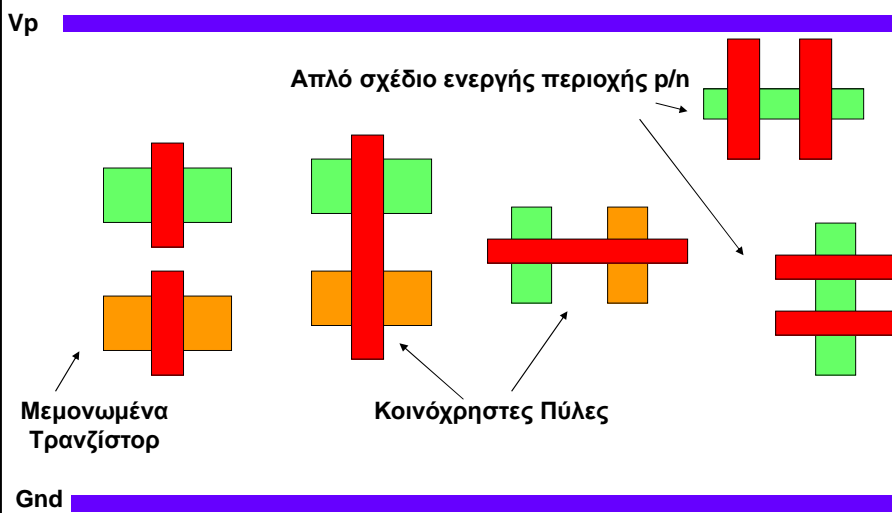


TL 503

L3: Αρχές Φυσικού Σχεδιασμού

Slide 57

Γενική Γεωμετρία Φυσικού Σχεδίου



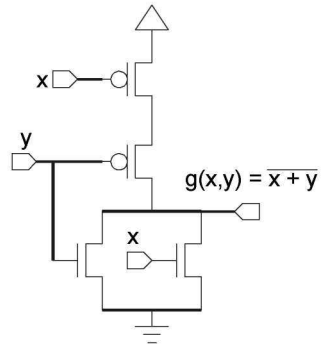
TL 503

L3: Αρχές Φυσικού Σχεδιασμού

Slide 58

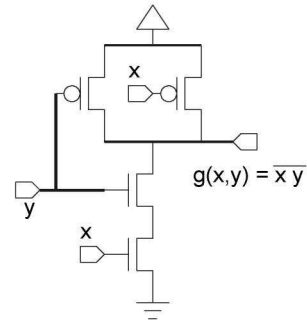
Ανακεφαλαίωση: Πύλες CMOS NAND/NOR

- Σχ. Κύκλωμα NOR



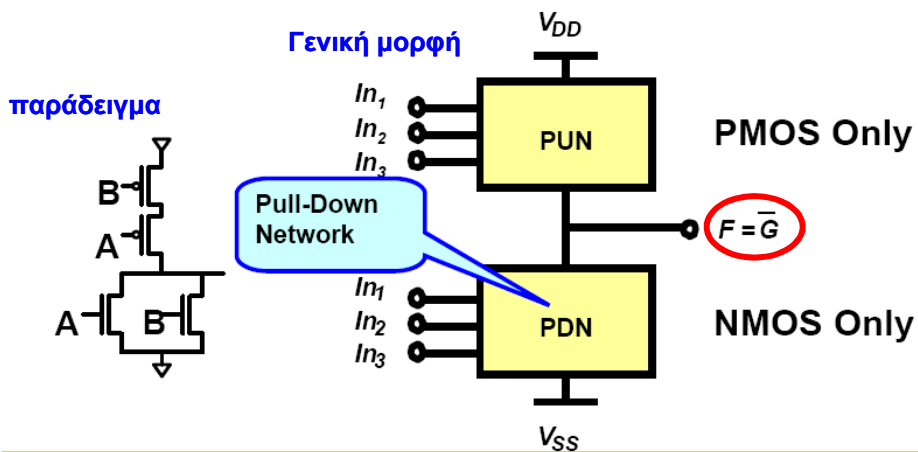
- Έξοδος LOW όταν x OR y
- nMOS παράλληλα
- έξοδος HIGH όταν \bar{x} AND \bar{y}
- pMOS σε σειρά

- Σχ. Κύκλωμα NAND



- Έξοδος LOW όταν x AND y
- nMOS σε σειρά
- έξοδος HIGH όταν \bar{x} OR \bar{y}
- pMOS παράλληλα

Ανακεφαλαίωση: Συμπληρωματική Στατική CMOS



- Η αμοιβαία αγωγή των δικτύων PDN και PUN πρέπει να **αποκλιστεί** Γιατί;
- Τα δίκτυα pull-down (PDN) και pull-up (PUN) είναι **δυσικά**
- Οι συμπληρωματικές στατικές πύλες CMOS προκαλούν **αντιστροφή**

Slide 60

Οι πύλες CMOS προκαλούν αντιστροφή

Ένα '1' στην πύλη των **NMOS** μπορεί να δώσει ένα ισχυρό '0' στην υποδοχή, αλλά όχι ένα ισχυρό '1'

Ένα '0' στην πύλη των **PMOS** μπορεί να δώσει ένα ισχυρό '1' στην υποδοχή, αλλά όχι ένα ισχυρό '0'



Να χρησιμοποιείς πάντα τα **NMOS** για pull-down και τα **PMOS** pull-up



Ένα '1' στην είσοδο μπορεί να ενεργοποιήσει τα τρανζίστορ pull-down
Ένα '0' στην είσοδο μπορεί να ενεργοποιήσει τα τρανζίστορ pull-up



Οι συμπληρωματικές στατικές πύλες CMOS είναι πύλες αντιστροφής

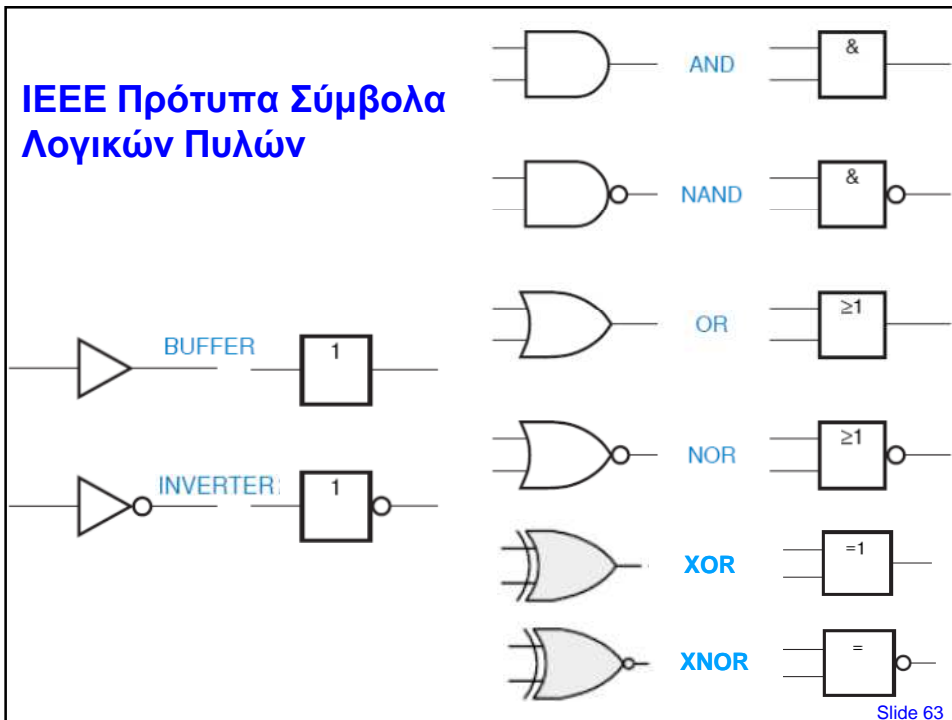
Slide 61

Ανακεφαλαίωση

- Μπορούμε να κατασκευάσουμε πύλες NOT, NAND και NOR
- Πως μπορούμε να κατασκευάσουμε ένα τυχαίο συνδυαστικό λογικό κύκλωμα, γενικώς, χρησιμοποιώντας τρανζίστορ NMOS και PMOS (στη διάταξη της συμπληρωματικής στατικής CMOS)

Slide 62

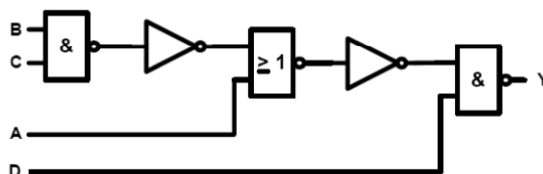
ΙΕΕΕ Πρότυπα Σύμβολα Λογικών Πυλών



Slide 63

Υλοποίηση Συνδυαστικού Λογικού Κυκλώματος

- Παράδειγμα: $Y = \overline{(A + BC)D}$
- Θυμηθείτε: διαθέσιμες μόνο πύλες αντιστροφής
- **Λογικό μονοπάτι (Logic depth):** αριθμός πυλών στο πιο μακρύ μονοπάτι εισόδου-εξόδου



transistors

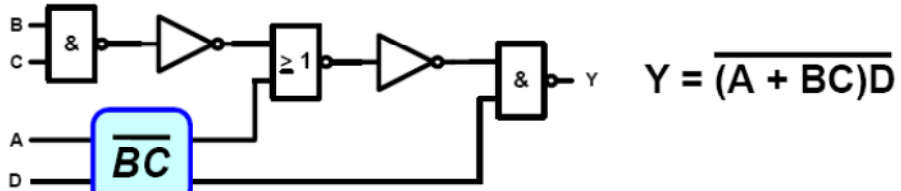
logic depth

■ **Ερώτηση:** Μπορεί αυτό να βελτιωθεί;

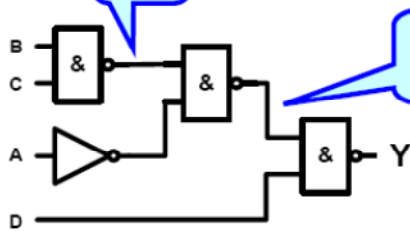
Slide 64

Βελτιωμένη υλοποίηση σε επίπεδο Πυλών

- Χρησιμοποιώντας DeMorgan: $A + BC = \overline{\overline{A} \cdot \overline{BC}}$



$$Y = \overline{\overline{(A + BC)D}}$$



transistors

Logic depth

- **Ερώτηση:** Μπορεί αυτό να βελτιωθεί παραπέρα;

Slide 65