

Μάθημα 2:

Σύνθετες Πύλες
Υλοποίηση των πυλών XOR & XNOR
Πύλες διάδοσης (TG)
Υλοποίηση λογικών κυκλωμάτων με TG

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο
Τμήμα Ηλεκτρονικών Μηχανικών
2021-2022

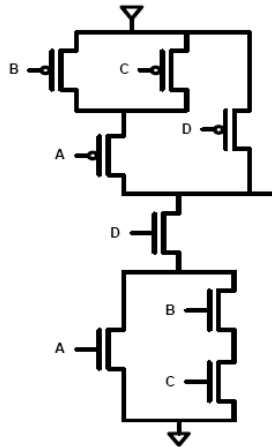
ΣΗΜΕΙΩΣΗ: Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

Σύνθετες λογικές πύλες CMOS

- Ο περιορισμός στις βασικές πύλες NAND, NOR κτλ.

δεν είναι απαραίτητος

- Εύκολη η σύνθεση περίπλοκων πυλών



$$Y = \overline{(A + BC)D}$$

Αποδείξτε ότι το κύκλωμα στα αριστερά υλοποιεί την παραπάνω λογική συνάρτηση και τον πίνακα αλήθειας στα δεξιά

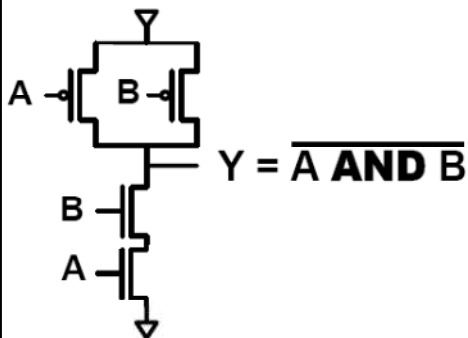
D	C	B	A	Y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

TA 503

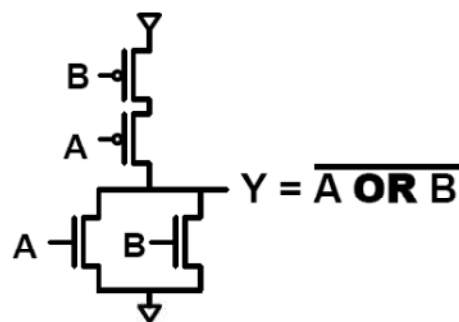
L2: Complex Gates, XOR, XNOR & TG

Slide 3

Σειριακή-Παράλληλη διευθέτηση



$$Y = \overline{A \text{ AND } B}$$



$$Y = \overline{A \text{ OR } B}$$

	PDN	PUN
NAND	Σειριακά	Παράλληλα
NOR	Παράλληλα	Σειριακά

TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 4

Με ποιον τρόπο συνθέτουμε περίπλοκες πύλες

- Σαν ένα δίκτυο με **σειριακά-παράλληλα** τρανζίστορ
- Όπου τα NMOS χρησιμοποιούνται για PDN, ενώ τα PMOS για PUN
- Επειδή η CMOS προκαλεί πάντα αντιστροφή, είναι ευκολότερο να βάλουμε αντιστροφή 'στο τέλος' και να πραγματοποιούμε τα δίκτυα PDN και PUN για την συμπληρωματική συνάρτηση.

Γενικά: $Y = \overline{F(A, B, C, \dots)}$ ή: $\overline{Y} = F(A, B, C, \dots)$

Πραγματοποιήσιμη: $Y = \overline{(A + BC)D}$ ή: $\overline{Y} = (A + BC)D$

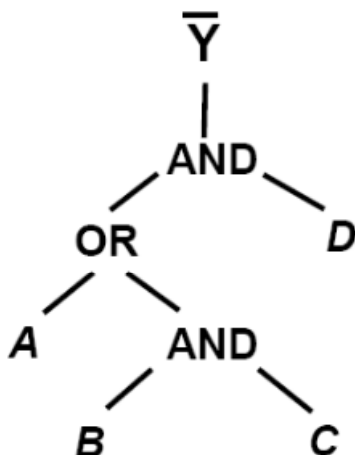
ΤΑ 503

L2: Complex Gates, XOR, XNOR & TG

Slide 5

Πως συνθέτουμε περίπλοκες πύλες

$$Y = \overline{(A + BC)D}$$



- Χρήση της δενδροειδής αναπαράστασης μιας συνάρτησης Boole

- Σαν ένα **σειριακό-παράλληλο** δίκτυο

	PDN	PUN
AND	Σειριακά	Παράλληλα
OR	Παράλληλα	Σειριακά

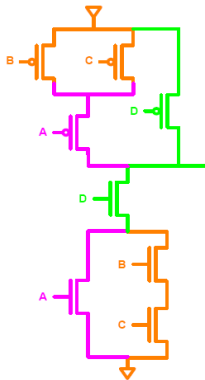
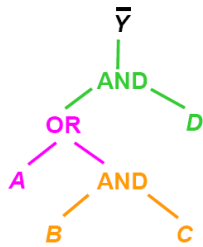
ΤΑ 503

L2: Complex Gates, XOR, XNOR & TG

Slide 6

Παράδειγμα σύνθεσης περίπλοκης πύλης

$$\bar{Y} = (A + BC)D$$



Μεθοδολογία

- Απλοποιείστε (χρησιμοποιώντας DeMorgan) και γράψτε $Y = f(\text{είσοδοι})$
- Αναλύστε την f σε μορφή δέντρου
- Υλοποιείστε κάθε κλάδο του δέντρου σύμφωνα με τον πίνακα κάτω αριστερά
- Ή εναλλακτικά, πραγματοποιείστε μόνο το δίκτυο PDN και φτιάξτε το δικό δίκτυο PUN πραγματοποιώντας την

αλλαγή

παράλληλα \leftrightarrow σειριακά

- Χρησιμοποιείστε συμπληρωματικές εισόδους αν χρειάζεται

	PDN	PUN
AND	Σειριακά	Παράλληλα
OR	Παράλληλα	Σειριακά

ates, XOR, XNOR & TG

Slide 7

Παράδειγμα Υλοποίησης Λογικής CMOS

- Κατασκευάστε τη συνάρτηση κάτω σε CMOS

$$F = \overline{a + b \cdot (c + d)}$$

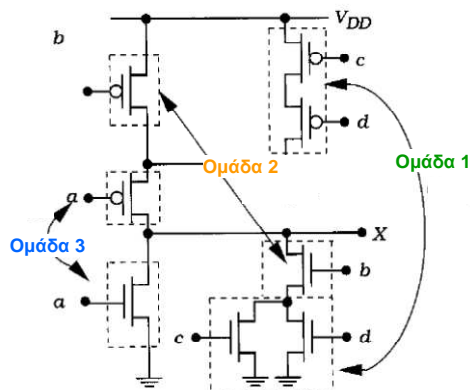
Na θυμάστε την ιεραρχία των πράξεων:
Πρώτα παρενθέσεις μετά AND μετά OR

- nMOS

- Ομάδα 1: c & d παράλληλα
- Ομάδα 2: b σε σειρά με Ομ 1
- Ομάδα 3: a παράλληλα με Ομ 2

- pMOS

- παράλληλα τρανζ. σε σειρά και αντίστροφα



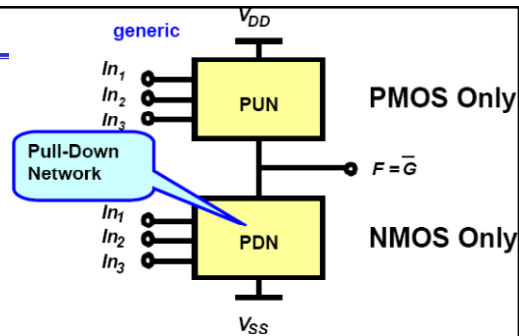
TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 8

Ανακεφαλαίωση

Υλοποίηση Λογικής CMOS



• Προτεινόμενος τρόπος υλοποίησης μιας λογικής συνάρτησης CMOS

- δημιουργία του δικτύου nMOS
 - αντιστροφή εξόδου
 - απλοποίηση συνάρτησης, με χρήση DeMorgan για ελαχιστοποίηση των NANDs/NORs
 - υλοποίηση χρησιμοποιώντας τρανζίστορ συνδεδεμένα σε **σειρά για AND** και **παράλληλα για OR**
- δημιουργία δικτύου pMOS
 - συμπλήρωμα κάθε πράξης στο δίκτυο nMOS
 - δηλ. κάντε τα παράλληλα τρανζ. σε σειρά και αντίστροφα

TL 503

L2: Complex Gates, XOR, XNOR & TG

Slide 9

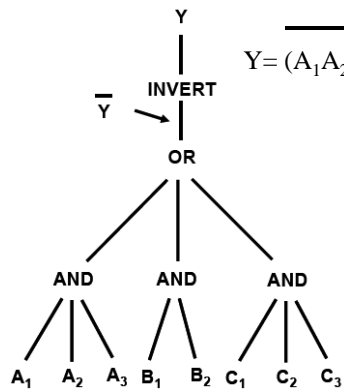
Οι πύλες And-Or-Invert (AOI) & Or-And-Invert (OAI)

- Θυμηθείτε ότι η CMOS είναι εκ φύσεως λογική αντιστροφής
- Μπορούμε να χρησιμοποιήσουμε πρότυπα κυκλώματα για να υλοποιήσουμε μια σύνθετη λογική συνάρτηση
- η πύλη AOI: υλοποιεί διαδοχικά τις λογικές πράξεις AND, OR, NOT (Αντιστροφή)

- η πύλη OAI: υλοποιεί διαδοχικά τις λογικές πράξεις OR, AND, NOT (Αντιστροφή)

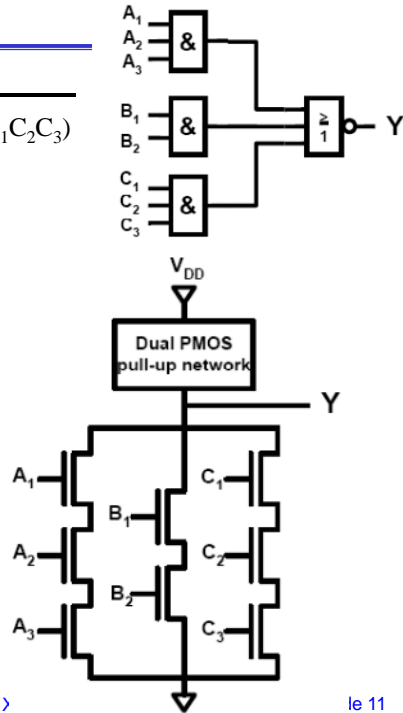
- Χρήση **κανονικών δομών CMOS** για την υλοποίηση λογικών συναρτήσεων

Η πύλη And-Or-Invert (AOI)



$$Y = (A_1 A_2 A_3) + (B_1 B_2) + (C_1 C_2 C_3)$$

	PDN	PUN
AND	Σειριακά	Παράλληλα
OR	Παράλληλα	Σειριακά

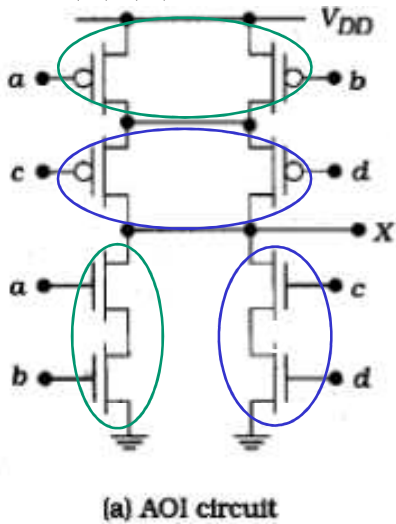


ates, XOR, >

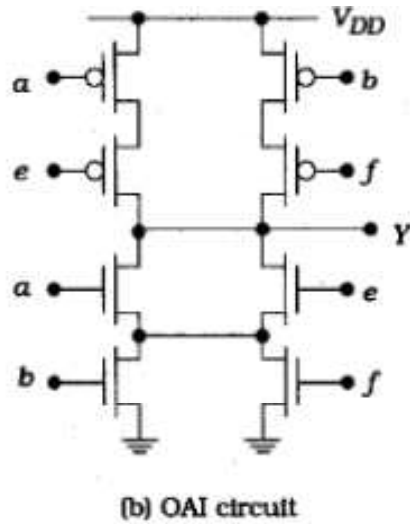
le 11

Παράδειγμα κυκλωμάτων CMOS AOI/OAI

$$X = (ab) + (cd)$$



$$Y = (a+e)(b+f)$$



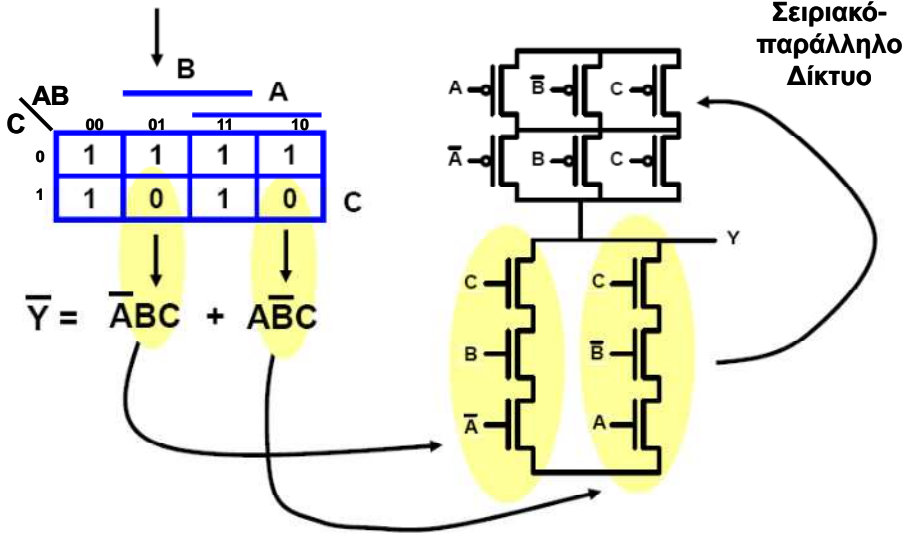
TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 12

Παράδειγμα Υλοποίησης με And-Or-Invert (AOI)

Συνάρτηση προς υλοποίηση

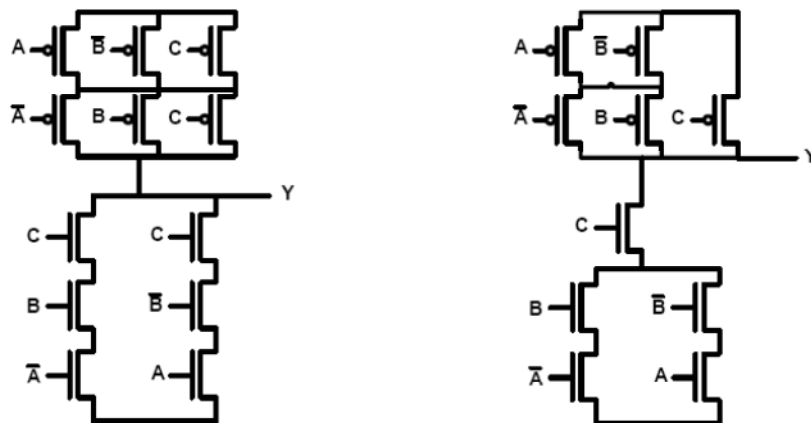


TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 13

Βελτίωση της Υλοποίησης AOI



$$Y = \bar{A}BC + A\bar{B}C$$

12 transistors

$$Y = (\bar{A}\bar{B} + AB)\bar{C}$$

10 transistors

TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 14

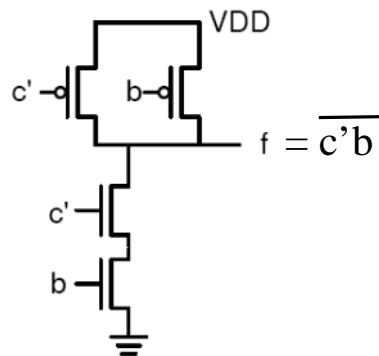
Άλλο Ένα Παράδειγμα Υλοποίησης CMOS

- Φτιάξτε μια λογική πύλη CMOS που να υλοποιεί τη συνάρτηση με τον κάτω πίνακα αληθείας:

c	b	a	f
0	0	0	1
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

♦ χρησιμοποιείτε τους όρους που δίνουν έξοδο μηδέν για να κατασκευάσετε τη λογική συνάρτηση

$$f' = c'ba' + c'ba = c'b(a+a') = c'b$$



TA 503

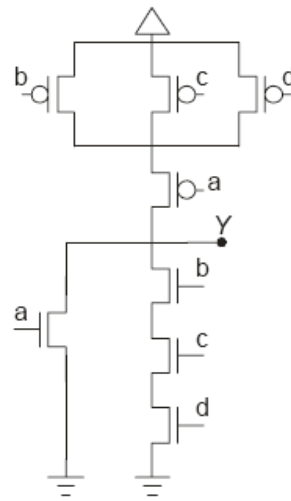
L2: Complex Gates, XOR, XNO

Slide 15

Ακόμα Ένα Παράδειγμα Υλοποίησης CMOS

- Απλοποιείτε την συνάρτηση κάτω για υλοποίηση σε τεχνολογία CMOS χρησιμοποιώντας τον ελάχιστο δυνατό αριθμό τρανζίστορ

$$F = \overline{(a + bc) \cdot (a + d)}$$



TA 503

L2: Complex Gates, XOR, XNOR & TG

Και ένα τελευταίο Παράδειγμα Υλοποίησης

- Φτιάξτε μια λογική πύλη CMOS που να υλοποιεί τη συνάρτηση:

$$F = \overline{\overline{a} \cdot b \cdot (a + c)}$$

- Δίκτυο nMOS

- Αντιστροφή εξόδου: $F_n = \overline{\overline{a} \cdot b \cdot (a + c)} = \overline{a} \cdot b + \overline{(a + c)}$

- Απλοποίηση NAND/NOR: $F_n = \overline{a} \cdot b + (\overline{a} \cdot \overline{c})$

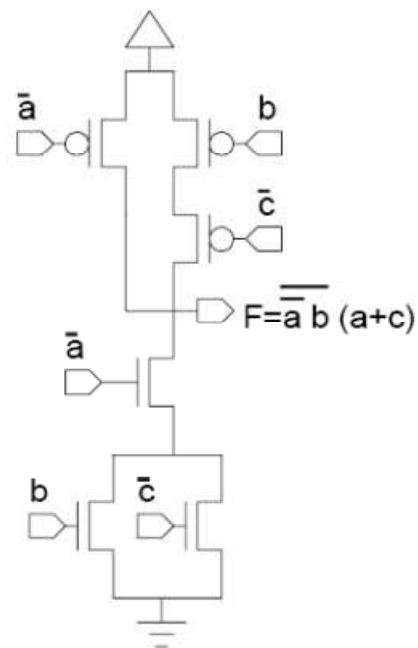
- ελαχιστοποίηση πράξεων: $F_n = \overline{a} \cdot (b + \overline{c})$
 $\overline{F_n} = F$

TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 17

- Υλοποίηση κυκλώματος :



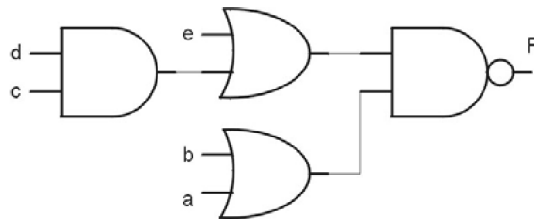
TA 503

L2: Complex Gates, XOR, XNOR & TG

Slide 18

Άσκηση

Γράψτε τη λογική έκφραση για την έξοδο, F και σχεδιάστε το κύκλωμα CMOS που υλοποιεί την F



ΤΛ 503

L2: Complex Gates, XOR, XNOR & TG

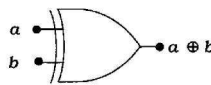
Slide 19

Πύλες XOR και XNOR

• Exclusive-OR (XOR)

$$- a \oplus b = \bar{a} \cdot b + a \cdot \bar{b}$$

- όχι στη μορφή AOI



a	b	a ⊕ b
0	0	0
0	1	1
1	0	1
1	1	0

• Exclusive-NOR

$$- \overline{a \oplus b} = a \cdot b + \bar{a} \cdot \bar{b}$$

- η αντίστροφη της XOR

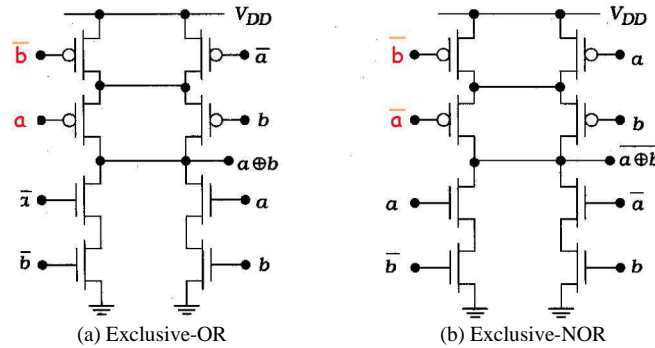
• XOR/XNOR σε μορφή AOI

- XOR: $\overline{a \oplus b} = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$, Προκύπτει με συμπλήρωση της XNOR

- XNOR: $\overline{a \oplus b} = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$, Προκύπτει με συμπλήρωση της XOR

έτσι, η εναλλαγή των: a και \bar{a} (ή b και \bar{b}) μετατρέπει την XOR σε XNOR

Σχηματικά κυκλώματα XOR και XNOR AOI



-XOR: $a \oplus b = \overline{a \cdot b + \bar{a} \cdot \bar{b}}$

-XNOR: $\overline{a \oplus b} = \overline{\overline{a \cdot b + \bar{a} \cdot \bar{b}}}$

Χρησιμοποιούν
ακριβώς τη δομή
μιας γενικής
πύλης AOI

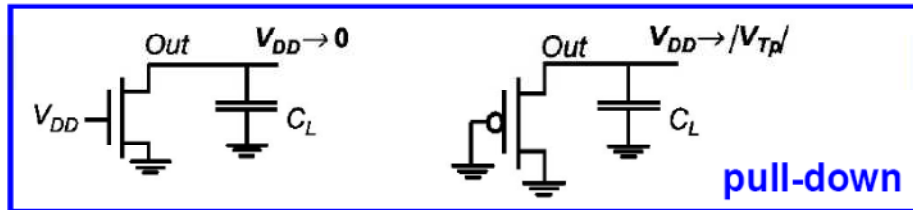
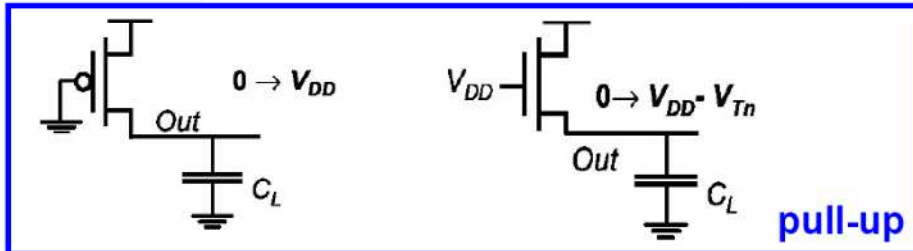
Ιδιότητες στατικής CMOS

Συμπληρωματική στατική CMOS

Συμπληρωματική: χρησιμοποιεί και NMOS και PMOS

Στατική: Η έξοδος συνδέεται πάντα είτε στην τάση V_{DD} είτε στην V_{SS}

Θυμηθείτε: NMOS & PMOS όχι τέλειοι διακόπτες



ΤΛ 503

L2: Complex Gates, XOR, XNOR & TG

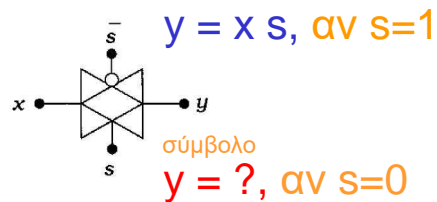
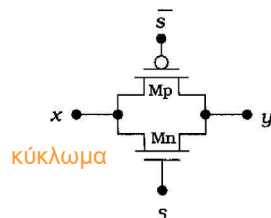
Slide 23

Πύλη διέλευσης CMOS (Transmission Gate, TG)

- Λειτουργία

- ιδανικός διακόπτης, ικανός να περνά το ιδανικό '1' και '0'

- Δημιουργείται από ένα παράλληλο ζεύγος nMOS/pMOS



σύμβολο
 $y = ?$, αν $s=0$

- Ελέγχεται από τα σήματα επιλογής της πύλης, s και \bar{s}

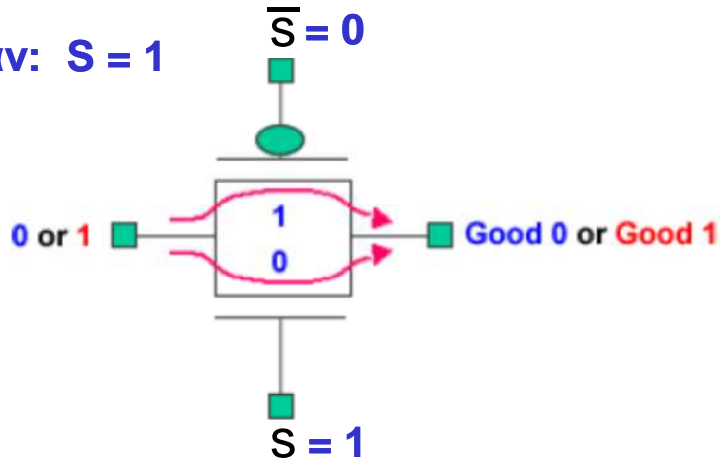
- αν $s = 1$, $y = x$, ο διακόπτης είναι **κλειστός**

- αν $s = 0$, $y =$ απροσδιόριστο (μεγάλη αντίσταση),

Ο τέλειος διακόπτης:

NMOS & PMOS συνδεδεμένα παράλληλα

Όταν: $S = 1$



TA 503

L2: Complex Gates, XOR, XNOR & TG

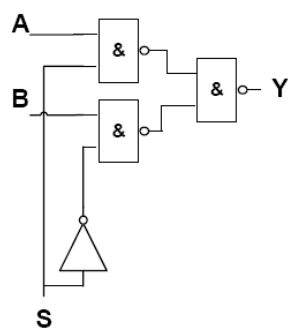
Slide 25

Λογικές Συναρτήσεις με Πύλες διέλευσης

- Κυκλώματα TG χρησιμοποιούνται ευρέως στη CMOS

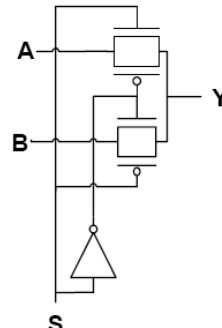
– ιδανικός διακόπτης, ικανός να περνά την πλήρη περιοχή τάσεων (VDD-γείωση)

- 2-σε-1 MUX χρησιμοποιώντας TGs: $Y = AS + BS'$



3 NAND-2 και 1 INV:

14 τρανζίστορ



2 TG και 1 INV:

6 τρανζίστορ

Complex Gates

Slide 26

$$Y = AS + BS' = \overline{\overline{AS + BS'}} = \overline{\overline{AS}} \cdot \overline{\overline{BS'}} = (\overline{AS}) \cdot (\overline{BS'})$$

Άσκηση

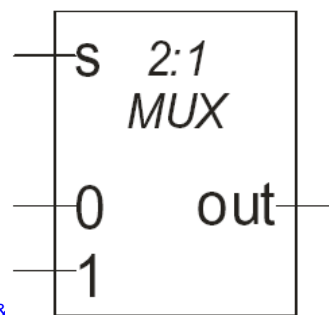
Το σύμβολο ενός πολυπλέκτη 2:1 (**2:1 multiplexer**) δείχνεται κάτω δεξιά και ο πίνακας αλήθειας ενός πολυπλέκτη 4:1 δείχνεται κάτω αριστερά.

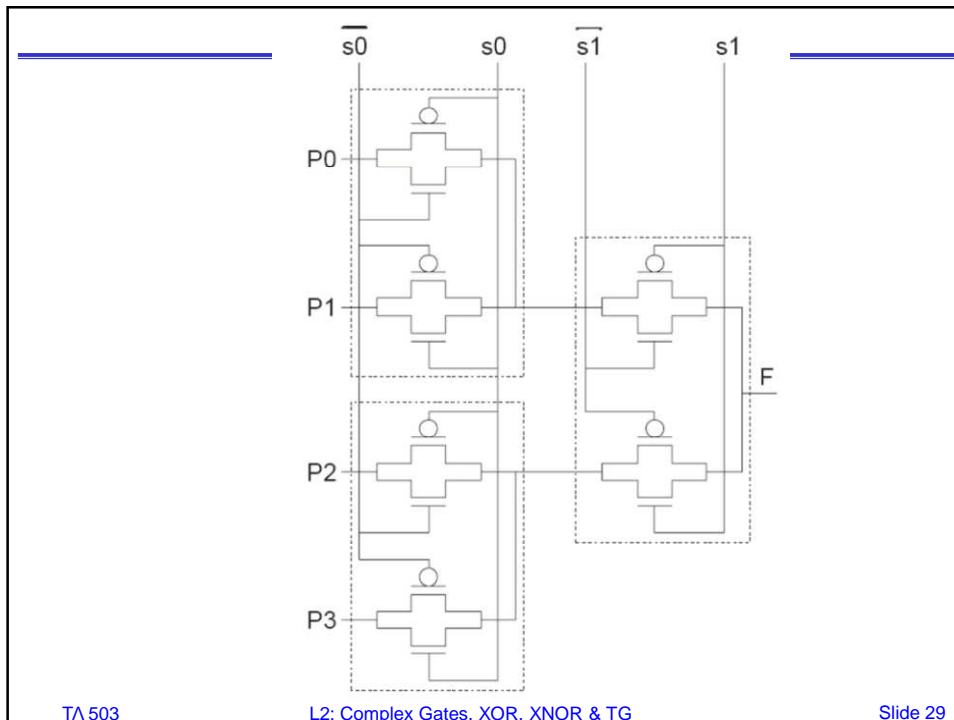
Κατασκευάστε:

(α) το σχηματικό επίπεδο-πύλης, το οποίο δείχνει πως ο πολυπλέκτης 4:1 μπορεί να υλοποιηθεί χρησιμοποιώντας μόνο πολυπλέκτες 2:1 όπου, s0, s1 και P3:0 (P0-P3) είναι οι εισοδοί και F είναι η έξοδος.

Με βάση το μέρος (α), σχεδιάστε το κύκλωμα σε επίπεδο τρανζίστορ για τον πολυπλέκτη 4:1 χρησιμοποιώντας πύλες διέλευσης (transmission gate).

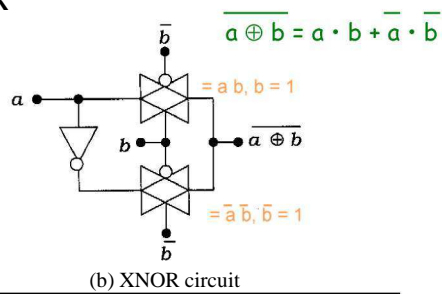
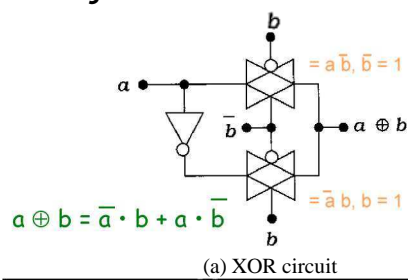
s1	s0	F
0	0	P0
0	1	P1
1	0	P2
1	1	P3





Περισσότερες συναρτήσεις με χρήση TG

- Πύλες TG XOR και XNOR



- Χρήση TGs αντί για “στατική CMOS”
 - TG OR gate

