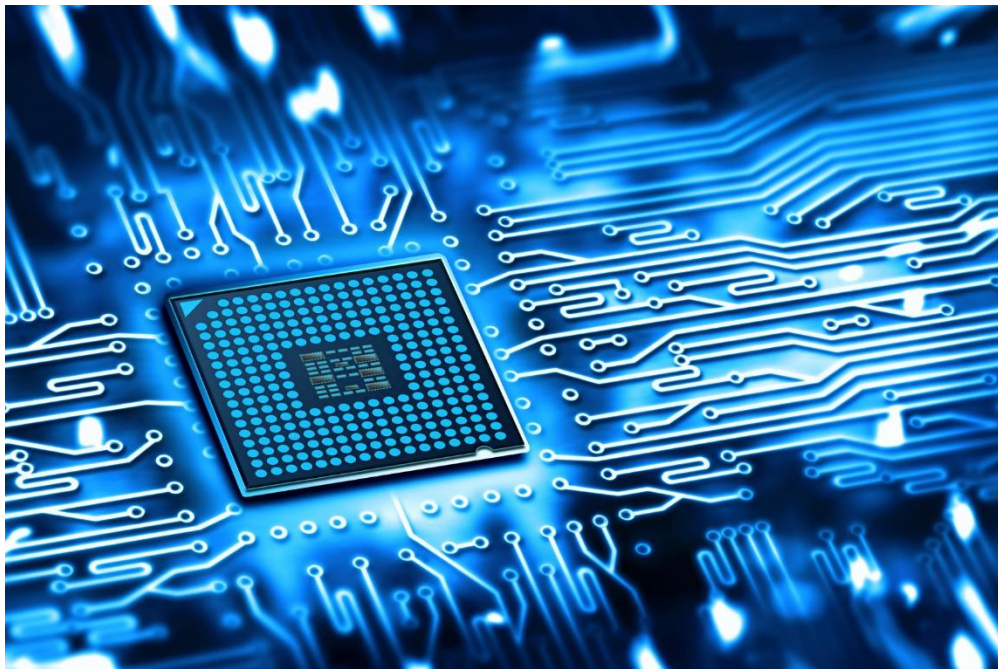




**ΣΧΟΛΗ ΜΗΧΑΝΙΚΩΝ**  
**ΤΜΗΜΑ ΗΛΕΚΤΡΟΛΟΓΩΝ ΜΗΧΑΝΙΚΩΝ Τ.Ε.**



**ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ**  
**ΨΗΦΙΑΚΑ ΣΥΣΤΗΜΑΤΑ**

**Επιμέλεια και συγγραφή :**

**Βισκαδούρος Γεώργιος**

Επιστημονικός Συνεργάτης, Ηλεκτρολόγος Μηχανικός & Μηχανικός Η/Υ, (M.Eng)

**Κορνήλιος Νικόλαος**

Καθηγητής τμήματος Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών

**ΗΡΑΚΛΕΙΟ 2021**

## Πρόλογος

Οι σημειώσεις του Εργαστηρίου «Λογικής Σχεδίασης» έχουν γραφεί για το τμήμα Ηλεκτρολόγων Μηχανικών Τ.Ε. του Ελληνικού Μεσογειακού Πανεπιστημίου. Καλύπτουν την ύλη του προγράμματος σπουδών και σε ένα μεγάλο ποσοστό το μάθημα στο σύνολο του. Στο πρώτο μέρος γίνεται μια παρουσίαση και μια περιγραφή του τρόπου υλοποίησης των ασκήσεων και του βασικού εξοπλισμού που θα χρησιμοποιηθεί σε όλη τη διάρκεια του εργαστηρίου. Το δεύτερο μέρος αναφέρεται στις λογικές πύλες στη συνδυαστική λογική και στα κυκλώματα της. Τέλος, στο τρίτο μέρος παρουσιάζονται τα ακολουθιακά κυκλώματα.

Για την ομαλή διεξαγωγή των εργαστηρίων οι σπουδαστές οφείλουν να ακολουθήσουν τους παρακάτω κανόνες :

- Η διεξαγωγή των εργαστηριακών ασκήσεων πραγματοποιείται σύμφωνα με το ωρολόγιο πρόγραμμα που ανακοινώνεται στην αρχή κάθε εξαμήνου. Κάθε εργαστηριακή άσκηση έχει χρονική διάρκεια δύο (2) ωρών και πρέπει να έχει περατωθεί στο τέλος αυτού του χρονικού διαστήματος. Επομένως κρίνεται απαραίτητο να μην υπάρχουν καθυστερήσεις ώστε να εξασφαλιστεί η ομαλή διεξαγωγή του εργαστηρίου.
- Θα πρέπει, και ο παρακάτω όρος είναι αυτός που θα καθορίζει αποφασιστικά και την πρόοδο του εργαστηρίου να προσέρχονται οι σπουδαστές πολύ καλά προετοιμασμένοι στην αντίστοιχη άσκηση. Θα πρέπει δηλαδή να έχουν μελετήσει την περιληπτική θεωρία που συνοδεύει την εργαστηριακή άσκηση και να γνωρίζουν τι θα πρέπει ακριβώς να πράξουν με τον ερχομό τους στο εργαστήριο.
- Οι εργαστηριακές ασκήσεις είναι αλληλένδετες μεταξύ τους. Το παραπάνω σημαίνει ότι αν έχει πραγματοποιηθεί η εργαστηριακή άσκηση 1 θα θεωρείται διδαγμένη και πιθανόν να ζητηθεί στην άσκηση 2 ή στην επόμενη κ.λ.π. Επομένως κατά την διάρκεια της προετοιμασίας της επόμενης άσκησης θα μελετάτε και τις ασκήσεις που έχουν προηγηθεί κατά τη διάρκεια του εξαμήνου.
- Σεβασμό στα υλικά, στα όργανα και γενικά σε όλο τον εξοπλισμό του εργαστηρίου. Θα πρέπει να μείνει ακέραιος έτσι ώστε να μπορέσει να χρησιμοποιηθεί και από άλλους συναδέλφους σας κατά το επόμενο ακαδημαϊκό εξάμηνο.

Ηράκλειο 2021

**Εκ του Εργαστηρίου**

## Περιεχόμενα

ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ .....	1
ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ .....	1
Επιμέλεια και συγγραφή : .....	1
Πρόλογος.....	2
A. Εισαγωγή .....	4
A.1 Λειτουργικά χαρακτηριστικά ψηφιακών κυκλωμάτων .....	4
Στάθμες εισόδου/εξόδου και περιθώρια θορύβου .....	5
Οδηγητική ικανότητα .....	6
Καθυστέρηση διάδοσης και χρόνοι ανόδου-καθόδου .....	7
Κατανάλωση ισχύος .....	8
A.2 Τεχνικά χαρακτηριστικά.....	9
Πυκνότητα Ολοκλήρωσης.....	9
Τεχνολογία Κατασκευής .....	9
Μέθοδος κατασκευής MOS.....	11
A.3 Λογικά Ολοκληρωμένα κυκλώματα TTL σειράς 74 .....	11
B.Πλακέτα δοκιμής ψηφιακών κυκλωμάτων και οδηγίες χρήσεως .....	13
Εισαγωγή.....	13
Breadboards.....	15
Pulser (Ασταθής πολυδονητής ή γεννήτρια παλμών).....	15
Debounced Switches (Αποθορυβοποιημένοι διακόπτες ) .....	15
LEDs Ενδεικτικές λυχνίες τύπου LED (φωτοдиодοι) .....	16
7 Segment LED Displays (Ενδείκτες 7 τμημάτων φωτοдиодων) .....	16
Dip-Switches (Dip από το Dual Inline Package Switches).....	17
Μορφή Ολοκληρωμένων Κυκλωμάτων (Integated Circuits, ICs) .....	17
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ .....	19
1ο ΕΡΓΑΣΤΗΡΙΟ : ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ.....	20
2ο ΕΡΓΑΣΤΗΡΙΟ : Κυκλώματα                      άθροισης - αφαίρεσης.....	27
3ο ΕΡΓΑΣΤΗΡΙΟ : ΑΠΟΚΩΔΙΚΟΠΟΙΗΣΗ, ΠΟΛΥΠΛΕΞΗ & ΑΠΟΠΛΕΞΗ.....	31
4ο ΕΡΓΑΣΤΗΡΙΟ : FLIP-FLOP.....	35
5° ΕΡΓΑΣΤΗΡΙΟ : ΣΥΓΧΡΟΝΑ/ΑΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΜΕΤΡΗΤΕΣ UP/DOWN-ΚΑΤΑΧΩΡΗΤΕΣ.....	41
PIN OUT των βασικών ICs διαθέσιμων στο εργαστήριο .....	50
ΒΙΒΛΙΟΓΡΑΦΙΑ .....	58

## A. Εισαγωγή

Τα διακριτά ψηφιακά ηλεκτρονικά κυκλώματα είναι τα βασικά κυκλώματα που χρησιμοποιούνται για την λογική σχεδίαση όλων των σύνθετων ψηφιακών κυκλωμάτων. Τυπικά παραδείγματα τέτοιων κυκλωμάτων αποτελούν οι λογικές πύλες, οι αθροιστές, τα Flip Flops, οι μνήμες, κ.λ.π. Τα ψηφιακά κυκλώματα διαχειρίζονται την πληροφορία κωδικοποιημένη σε μία σειρά από διακριτά “ψηφία” σε αντίθεση με τα αναλογικά κυκλώματα, τα οποία επεξεργάζονται μεγέθη συνεχή. Η λειτουργία τους διέπεται από την θεωρία των δισταθών κυκλωμάτων και για αυτό τον λόγο χρησιμοποιούν δύο μόνον “ψηφία”.

Στα ψηφιακά ηλεκτρονικά κυκλώματα κάθε δυαδικό ψηφίο ή δυαδικό κύτταρο μπορεί να πάρει μόνο δύο τιμές 0 ή 1. Οι παραπάνω δυαδικές τιμές ή καταστάσεις αντιστοιχούν σε επίπεδα τάσης.

Τα ψηφιακά κυκλώματα λειτουργούν με τέτοιο τρόπο, ώστε να απορρίπτεται κάθε προστιθέμενος θόρυβος, εφόσον αυτός είναι μικρότερος από ένα προκαθορισμένο επίπεδο. Λόγου χάρη, εάν στην ονομαστική στάθμη τάσης  $V_0$  του λογικού ψηφίου 0 προστεθεί θόρυβος  $V_N$ , το αποτέλεσμα  $V_0+V_N$  θα εξακολουθήσει να αντιπροσωπεύει το ψηφίο 0, εάν συνεχίζει να βρίσκεται μέσα στην προκαθορισμένη περιοχή τιμών του ψηφίου 0.

Ακόμη πιο σημαντικό είναι το γεγονός ότι, εάν το  $V_0+V_N$  οδηγηθεί στην είσοδο ενός ψηφιακού κυκλώματος, το αποτέλεσμα στην έξοδο θα έχει αποκατασταθεί στην τιμή  $V_0$ , ή αλλιώς θα έχει αναγεννηθεί. Η αναγέννηση του ψηφιακού σήματος μεταξύ των διαφόρων βαθμίδων των ψηφιακών κυκλωμάτων είναι μία πολύ σημαντική ιδιότητα, η οποία αποτρέπει τη συσσώρευση των επιδράσεων του θορύβου πάνω στο ηλεκτρικό σήμα και εμποδίζει τη μετάδοση των αλλοιώσεων στις επόμενες βαθμίδες.

Τα ψηφιακά ηλεκτρονικά κυκλώματα αντλούν την απαιτούμενη ενέργεια για τη λειτουργία τους και την αναγέννηση του σήματος μέσω δύο γραμμών τροφοδοσίας. Η θετικότερη συμβολίζεται με  $V_{CC}$ , ενώ η αρνητικότερη (γείωση – GND) αποτελεί συνήθως (όχι πάντοτε) την τάση αναφοράς (0 V) του συστήματος.

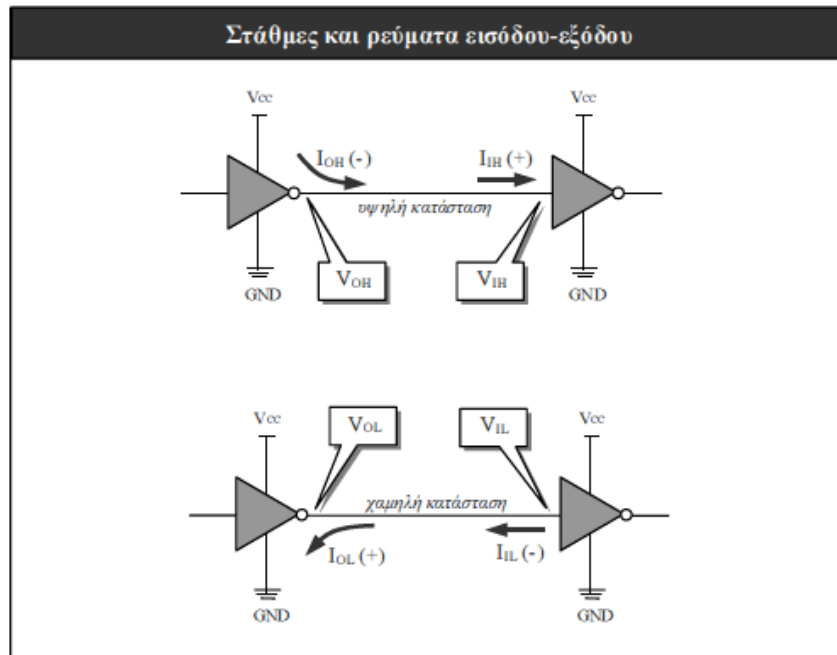
### **A.1 Λειτουργικά χαρακτηριστικά ψηφιακών κυκλωμάτων**

Τα διάφορα ψηφιακά ηλεκτρονικά κυκλώματα χωρίζονται σε κατηγορίες (“λογικές οικογένειες”) ανάλογα με την τεχνολογία κατασκευής τους, την βασική ηλεκτρονική διάταξη που χρησιμοποιείται για την κατασκευή τους όπως επίσης και τα χαρακτηριστικά λειτουργίας τους.

Τα χαρακτηριστικά αυτά αποτελούν τα κριτήρια επιλογής ενός κυκλώματος, έτσι ώστε να ικανοποιεί τις απαιτήσεις της εκάστοτε σχεδίασης. Η περιγραφή των λειτουργικών αυτών χαρακτηριστικών ακολουθεί στη συνέχεια.

### Στάθμες εισόδου/εξόδου και περιθώρια θορύβου

Στο σχήμα 1-1 απεικονίζεται η διασύνδεση δύο ψηφιακών κυκλωμάτων (πυλών).



Σχήμα 1-1. Στάθμες και ρεύματ εισόδου και εξόδου ενός αντιστροφέα

Οι δύο λογικές καταστάσεις, υψηλή (HIGH) και χαμηλή (LOW), αντιστοιχούν σε αντίστοιχες στάθμες τάσης. Οι στάθμες αυτές συμβολίζονται ως εξής:

- η χαμηλή στάθμη εξόδου συμβολίζεται ως  $V_{OL}$  (Voutput low), ενώ η υψηλή στάθμη εξόδου ως  $V_{OH}$  (Voutput high).
- η χαμηλή στάθμη εισόδου συμβολίζεται ως  $V_{IL}$  (Vinput low), ενώ η υψηλή στάθμη εισόδου ως  $V_{IH}$  (Vinput high).

Στο ίδιο σχήμα 1-1 φαίνεται επίσης ότι η οδηγούσα πύλη παρέχει (source) ή καταβυθίζει (sink) ρεύμα σε/από την είσοδο της οδηγούμενης πύλης ανάλογα με την λογική κατάσταση εξόδου. Η ακριβής φορά και το μέγεθος του ρεύματος σε σχέση με την λογική κατάσταση εξαρτάται από την τεχνολογία των ψηφιακών κυκλωμάτων. Συνήθως η οδηγούσα πύλη παρέχει ρεύμα όταν η έξοδός της βρίσκεται σε υψηλή λογική κατάσταση, ενώ καταβυθίζει ρεύμα σε χαμηλή κατάσταση εξόδου.

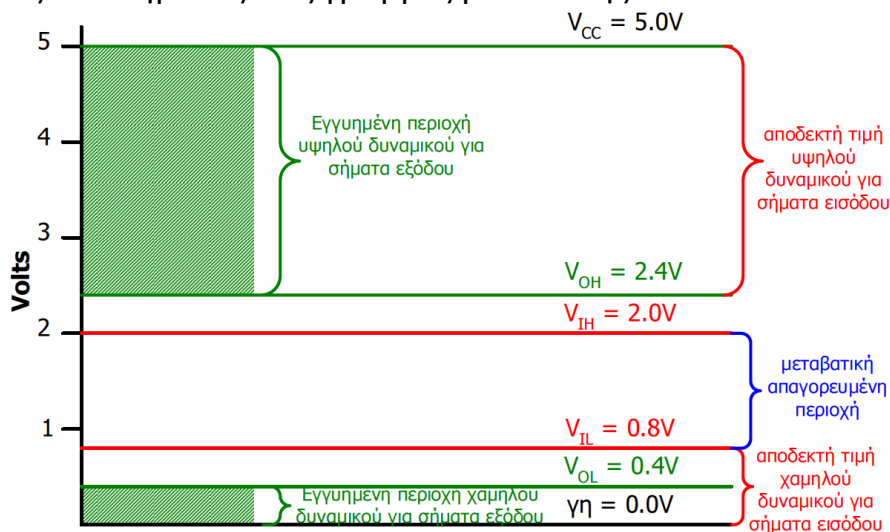
Τα ρεύματα εισόδου/εξόδου συμβολίζονται ως εξής:

- το ρεύμα που ρέει προς ή από την έξοδο της οδηγούσας πύλης συμβολίζεται  $I_{OL}$  (Ioutput low) για τη χαμηλή λογική κατάσταση και  $I_{OH}$  (Ioutput high) για την υψηλή.
- ως προς την οδηγούμενη πύλη, το ρεύμα που ρέει από ή προς την είσοδο της συμβολίζεται  $I_{IL}$  (Iinput low) για τη χαμηλή λογική κατάσταση και  $I_{IH}$  (Iinput high) για την υψηλή.

Κατά την επικρατούσα σύμβαση, το ρεύμα που ρέει προς το εσωτερικό ενός ψηφιακού κυκλώματος θεωρείται θετικό (+), ενώ το ρεύμα που ρέει εκτός κυκλώματος αρνητικό (-).

Υπενθυμίζεται ότι σε κανονικές συνθήκες λειτουργίας, οι στάθμες εισόδου-εξόδου κυμαίνονται σε προκαθορισμένες περιοχές τιμών. Το γεγονός αυτό επιτρέπει την ανοχή του ψηφιακού κυκλώματος στις επιδράσεις θορύβου.

Ο θόρυβος είναι ένας από τους σημαντικότερους παράγοντες που επηρεάζουν την ορθή λειτουργία κάθε συστήματος. Προέρχεται είτε από εξωτερικούς παράγοντες, είτε από το ίδιο το ψηφιακό κύκλωμα και οφείλεται σε γενικές γραμμές στις διακυμάνσεις των τάσεων τροφοδοσίας (και γείωσης), στις αλληλοεπιδράσεις γειτονικών σημάτων και στις ανακλάσεις του σήματος στις γραμμές μετάδοσης.



Σχήμα 1-2 Περιοχές τάσεων για ολοκληρωμένα κυκλώματα τεχνολογίας TTL

## Οδηγητική ικανότητα

Καθοριστικός παράγοντας κατά τη διασύνδεση ψηφιακών κυκλωμάτων είναι η οδηγητική ικανότητά τους. Ο όρος “οδηγητική ικανότητα” περιγράφει το είδος και τον αριθμό των κυκλωμάτων, τα οποία μπορούν να συνδεθούν στην έξοδο ενός ψηφιακού κυκλώματος, χωρίς να αλλοιώνεται η ψηφιακή πληροφορία. Η οδηγητική ικανότητα εξαρτάται από τη δυνατότητα παροχής ρεύματος της εξόδου.

Κάθε έξοδος ψηφιακού κυκλώματος, ανεξάρτητα από την τεχνολογία κατασκευής, παρουσιάζει μία σύνθετη αντίσταση εξόδου σε κάθε μία από τις δύο λογικές καταστάσεις. Η τιμή της σύνθετης αντίστασης εξόδου δεν είναι σταθερή, αλλά δυναμικά μεταβαλλόμενη ανάλογα με την τάση εξόδου. Σε γενικές γραμμές, η τιμή αυτή κυμαίνεται μεταξύ 5-50Ω (ανάλογα με την τεχνολογία κατασκευής). Η ικανότητα παροχής ρεύματος της εξόδου είναι αντιστρόφως ανάλογη της τιμής της αντίστασης εξόδου.

Όταν η έξοδος ενός ψηφιακού κυκλώματος βρίσκεται σε σταθερή λογική κατάσταση, η οδήγηση εξαρτάται από την ικανότητα της εξόδου για παροχή ή καταβύθιση ρεύματος προς/από τις εισόδους των οδηγούμενων κυκλωμάτων. Στα φύλλα δεδομένων (datasheets) παρατίθενται οι μέγιστες τιμές ρεύματος που παρέχει η καταβυθίζει ένα ψηφιακό κύκλωμα στις εξόδους του σε υψηλή ή χαμηλή κατάσταση ( $I_{OH(max)}$  και  $I_{OL(max)}$  αντίστοιχα). Εάν τα οδηγούμενα κυκλώματα απαιτήσουν μεγαλύτερη ποσότητα ρεύματος από την επιτρεπόμενη, τότε η λογική στάθμη της εξόδου μετατοπίζεται εκτός των ορίων λειτουργίας  $V_{OH(min)}$  και  $V_{OL(max)}$ .

Στα φύλλα δεδομένων δίνεται επίσης και η μέγιστη ποσότητα ρεύματος, η οποία απαιτείται για την οδήγηση κάθε εισόδου σε υψηλή και χαμηλή λογική κατάσταση ( $I_{IH(max)}$  και  $I_{IL(max)}$  αντίστοιχα). Χρησιμοποιώντας τις μέγιστες τιμές των ρευμάτων εισόδου και εξόδου εξάγεται το fan-out: ο μέγιστος αριθμός των εισόδων όμοιων κυκλωμάτων, τις οποίες μπορεί να οδηγήσει με ασφάλεια μία έξοδος.

Το fan-out για τις δύο λογικές καταστάσεις υπολογίζεται ως εξής:

$$FO_{(H)} = \frac{I_{OH(max)}}{I_{IH(max)}} \qquad FO_{(L)} = \frac{I_{OL(max)}}{I_{IL(max)}}$$

ενώ ως συνολικό Fan-out λαμβάνεται η μικρότερη τιμή των  $FO_{(L)}$ ,  $FO_{(H)}$ .

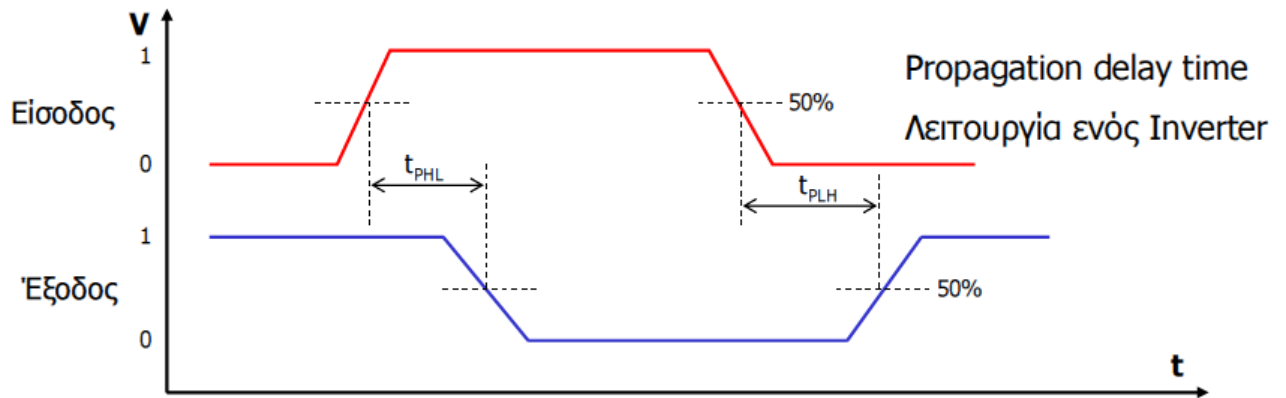
### Καθυστέρηση διάδοσης και χρόνοι ανόδου-καθόδου

Το μέγεθος που χαρακτηρίζει την ταχύτητα λειτουργίας κάθε ψηφιακού κυκλώματος είναι η *καθυστέρηση διάδοσης* (propagation delay). Η καθυστέρηση διάδοσης περιγράφει το χρονικό διάστημα από τη στιγμή της αλλαγής της κατάστασης εισόδου έως την εμφάνιση του αποτελέσματος στην έξοδο του κυκλώματος. Η καθυστέρηση διάδοσης μετράται συνήθως στο 50% της αλλαγής στάθμης (σχήμα 1-3). Στα φύλλα δεδομένων παρατίθενται τα εξής μεγέθη:

$t_{PLH}$  : η καθυστέρηση διάδοσης όταν η έξοδος μεταβαίνει σε υψηλή κατάσταση.

$t_{PHL}$  : η καθυστέρηση διάδοσης όταν η έξοδος μεταβαίνει σε χαμηλή κατάσταση.

$t_{PD}$  : ο μέσος όρος καθυστέρησης διάδοσης,  $(t_{PLH} + t_{PHL})/2$ .



Σχήμα 1-3 Καθυστέρηση διάδοσης ενός αντιστροφέα TTL

Η καθυστέρηση διάδοσης εξαρτάται από την τεχνολογία κατασκευής του ψηφιακού κυκλώματος αλλά επηρεάζεται επίσης από την τάση τροφοδοσίας  $V_{CC}$  και τη θερμοκρασία περιβάλλοντος  $T_A$ . Σε γενικές γραμμές, η καθυστέρηση διάδοσης αυξάνεται με την αύξηση του  $T_A$  ενώ μειώνεται με την αύξηση του  $V_{CC}$ .

Στα φύλλα δεδομένων, η καθυστέρηση διάδοσης δίνεται σε συγκεκριμένες τιμές  $V_{CC}$  και  $T_A$ .

Παράδειγμα	$t_{PLH}$ (ns)	$t_{PHL}$ (ns)	$t_{PD}$ (ns)
ALS	4	5	4.5
MECL 10K	2	2	2
CMOS 74H series	10	10	10

Σχήμα 1-4 Καθυστέρηση διάδοσης σε διαφορετικές τεχνολογίες κατασκευής

Εδώ θα πρέπει να σημειωθεί ότι πειραματικά η μέση καθυστέρηση ενός κυκλώματος υπολογίζεται από τον τύπο :

$$\text{Καθυστέρηση} = \frac{\text{Περίοδος Κυματομορφής}}{2 * \text{Αριθμός Πυλών}}$$

### Κατανάλωση ισχύος

Η ισχύς, η οποία καταναλώνεται σε ένα ψηφιακό κύκλωμα, καθορίζει το βαθμό ολοκλήρωσης του κυκλώματος και τη χρήση του. Η χαμηλή κατανάλωση ισχύος συνεπάγεται μικρότερη έκλυση θερμότητας και επιτρέπει την σύμπτυξη μεγάλου αριθμού πυλών στο ίδιο ολοκληρωμένο κύκλωμα, μειώνοντας έτσι το κόστος κατασκευής και αυξάνοντας τη λειτουργικότητα και απόδοση του κυκλώματος ανά μονάδα επιφάνειας πυριτίου. Κυκλώματα χαμηλής ισχύος χρησιμοποιούνται επίσης σε όλες τις φορητές συσκευές, οι οποίες τροφοδοτούνται από μπαταρίες.

## A.2 Τεχνικά χαρακτηριστικά

### Πυκνότητα Ολοκλήρωσης

Η πυκνότητα ολοκλήρωσης των ICs κυκλωμάτων χαρακτηρίζεται από το πλήθος των βασικών μονάδων που περιέχουν και εφ' όσον πρόκειται για ψηφιακά ICs από τον αριθμό των πυλών που περιέχουν.

Έτσι τα ολοκληρωμένα κυκλώματα χαρακτηρίζονται σε κυκλώματα χαμηλής ολοκλήρωσης (SSI small scale, έως 10 πύλες), μεσαίας (SMI medium scale, έως 1000 πύλες), μεγάλης (LSI large scale, έως μερικές χιλιάδες πύλες) και πολύ μεγάλης ολοκλήρωσης (VLSI very large scale integration, αρκετές εκατοντάδες χιλιάδες πύλες). Οι χαρακτηρισμοί ULSI (ULTRA LSI) και GSI (Giga SI) έχουν δημιουργηθεί τα τελευταία χρόνια και προφανώς προσδιορίζουν ακόμη μεγαλύτερες ολοκληρώσεις όπως φαίνεται και στον παρακάτω πίνακα.

1961	1966	1971	1980	1985	1995	2010
<b>SSI</b>	<b>MSI</b>	<b>LSI</b>	<b>VLSI</b>	<b>ULSI</b>	<b>SLSI</b>	<b>GSI</b>
10	100-1000	1000-20.000	20.000-500.000	>500.000	>1.000.000	>100.000.000
Planar devices Logic gates Flip-Flops	Counters Multi-plexes Adders	8 bit microproc. ROM RAM	16 and 32 bit microproc Sophistaced peripherals	Special processors Real time image processing	Wafer-scale integration, system-on-a-chip	Processors

Σχήμα 1-5 Διαφορετικές τεχνολογίες ολοκλήρωσης

### Τεχνολογία Κατασκευής

Κάθε ολοκληρωμένο κύκλωμα χαρακτηρίζεται εκτός των άλλων και από τον τρόπο κατασκευής του, ή καλύτερα από την τεχνολογία, με την οποία έχει κατασκευαστεί και στην οποία ανήκει όσον αφορά τα ηλεκτρικά του χαρακτηριστικά.

Δηλαδή υπάρχουν πύλες για παράδειγμα NAND με την ίδια λογική λειτουργία αλλά με διαφορετική ηλεκτρική συμπεριφορά.

Οι πλέον βασικές τεχνολογίες - οικογένειες ολοκληρωμένων κυκλωμάτων είναι:

<b>RTL</b>	<b>Resistor Transistor Logic</b>
<b>DTL</b>	<b>Diode Transistor Logic</b>
<b>TTL</b>	<b>Transistor Transistor Logic</b>
<b>ECL</b>	<b>Emitter Coupled Logic</b>
<b>MOS</b>	<b>Metal Oxyde Semiconductor</b>
<b>CMOS</b>	<b>Complementary MOS</b>

Σχήμα 1-6 Διαφορετικές οικογένειες ολοκληρωμένων κυκλωμάτων

Το είδος του κυκλώματος και ο τρόπος συνδεσμολογίας χαρακτηρίζουν τις βασικές οικογένειες ολοκληρωμένων κυκλωμάτων με τα αντίστοιχα ηλεκτρικά χαρακτηριστικά.

Τα σημαντικά ηλεκτρικά χαρακτηριστικά που διαφοροποιούνται στις διάφορες τεχνολογίες – οικογένειες και δημιουργούν τις ηλεκτρικές ιδιαιτερότητες είναι όπως είδαμε και προηγουμένως:

- **Fan Out** Ικανότητα οδήγησης.
- **Propagation Delay** Καθυστέρηση διάδοσης.
- **Power Dissipation** Κατανάλωση ισχύος.
- **Noise Margin – Immunity** Περιθώριο - ευαισθησία θορύβου.

Έτσι λοιπόν κάθε σχεδιαστής μπορεί να επιλέξει την τεχνολογία που επιθυμεί και του εξασφαλίζει σύμφωνα πάντα με τις ανάγκες και τις προδιαγραφές του κάθε ψηφιακού κυκλώματος.

Είναι προφανές ότι ένα κύκλωμα με υψηλή συχνότητα λειτουργίας θα πρέπει να σχεδιαστεί με κυκλώματα μικρής καθυστέρησης διάδοσης δηλαδή κυκλώματα υψηλών ταχυτήτων, κυκλώματα γρήγορα ή ένα κύκλωμα για φορητή συσκευή (τροφοδοτούμενο από μπαταρία) θα πρέπει να σχεδιαστεί με τεχνολογία χαμηλής κατανάλωσης ισχύος.

Ο ακόλουθος συγκριτικός πίνακας παρουσιάζει τα βασικά ηλεκτρικά χαρακτηριστικά των πλέον σημαντικών τεχνολογιών στην κατασκευή των ολοκληρωμένων κυκλωμάτων:

<u>ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ</u>	<u>RTL</u>	<u>DTL</u>	<u>TTL</u>	<u>ECL</u>	<u>CMOS</u>
<b>FAN – OUT (πύλες)</b>	4-5	8	10	25	50
<b>POWER DIS. mW/πύλη</b>	12	8-12	12-22	40-60	1
<b>NOISE IMMUNITY</b>	Σχετικά καλή	Καλή	Πολύ καλή	Καλή	Πολύ καλή
<b>ΤΡΟΦΟΔΟΣΙΑ Vcc (Volt)</b>	3-3.6	5	5	-5.2	4.5-16
<b>PROPAG DELAY nsec/πύλη</b>	12	30	4-12	1-2	70

Σχήμα 1-7 Τεχνικά χαρακτηριστικά διάφορων οικογενειών ολοκληρωμένων κυκλωμάτων

Τα ψηφιακά κυκλώματα χρησιμοποιούν ημιαγωγούς (τρανζίστορ) ως ενεργά στοιχεία-διακόπτες για την υλοποίηση της δυαδικής λογικής. Τα τρανζίστορ αυτά λειτουργούν συνήθως σε καταστάσεις αγωγής-αποκοπής (“ON” και “OFF”). Στα σύγχρονα ολοκληρωμένα ψηφιακά κυκλώματα χρησιμοποιούνται κυρίως τρανζίστορ MOS, λόγω του μεγάλου βαθμού ολοκλήρωσης που επιτρέπουν, ενώ τρανζίστορ διπολικής επαφής (BJT) χρησιμοποιούνται σε εξειδικευμένα κυκλώματα πολύ υψηλής ταχύτητας. Κάθε μία από τις τεχνολογίες κατασκευής IC (BJT, MOS) έχει διαφορετικά χαρακτηριστικά και λειτουργικά γνωρίσματα, που αποτελούν τη βάση για την ταξινόμηση των IC σε ομάδες που λέγονται “λογικές οικογένειες”. Κάθε

λογική οικογένεια βασίζεται σε ένα ειδικό τύπο λογικού στοιχείου που χρησιμοποιείται από όλα τα IC της οικογένειας αυτής .

### Μέθοδος κατασκευής MOS

Τα χαρακτηριστικά των κυκλωμάτων με τη μέθοδο MOS διαφέρουν σημαντικά των διπολικών οικογενειών. Σαν πλεονεκτήματα αναφέρονται η μεγαλύτερη πυκνότητα στοιχείων ανά τσίπ, η χαμηλότερη κατανάλωση ισχύος και η αναισθησία στον θόρυβο, ενώ το μεγαλύτερο τους μειονέκτημα (στις πρώτες σειρές των MOS τρανζίστορ) ήταν η καθυστέρηση στη μετάδοση έναντι των οικογενειών BJT.

Οι πιο σημαντικές λογικές οικογένειες που αναπτύχθηκαν με τη μέθοδο κατασκευής MOS αναφέρονται παρακάτω :

- α) PMOS . Χρησιμοποιεί τρανζίστορ P-MOSFET
- β) NMOS . Χρησιμοποιεί τρανζίστορ N-MOSFET
- γ) CMOS (Complementary MOS) . Χρησιμοποιεί και τις δύο προηγούμενες τεχνικές σε συνδυασμό.
- γ) HCMOS (High Speed MOS)

### A.3 Λογικά Ολοκληρωμένα κυκλώματα TTL σειράς 74

Οι περισσότερες εφαρμογές των IC που θα χρησιμοποιήσουμε στο εργαστήριο είναι βασισμένες στη χρήση των IC της βασικής σειράς 7400 TTL.

Τα πρώτα δύο ψηφία της αριθμητικής ένδειξης αναφέρονται στην περιοχή θερμοκρασίας λειτουργίας (0-70°C) τα δύο τελευταία ψηφία δηλώνουν τον τύπο της πύλης που περιέχουν τα IC (πχ 7400:Πύλη NAND, 7402:Πύλη NOR). Είναι αναγκαίο να δώσουμε και εδώ τις διάφορες τεχνολογίες κατασκευής της σειράς 74 που αναπτύχθηκαν τα τελευταία χρόνια με βελτιωμένα χαρακτηριστικά. Οι τύποι αυτοί λέγονται υποοικογένειες της βασικής σειράς Standard TTL.

- |               |  |
|---------------|--|
| ▪ Σειρά 74    | Βασική σειρά TTL(Standard)                 |
| ▪ Σειρά 74H   | Σειρά αυξημένης ταχύτητας (High Speed)     |
| ▪ Σειρά 74S   | Τεχνολογία Shottky High Speed              |
| ▪ Σειρά 74AS  | Τεχνολογία Advanced Shottky High Speed     |
| ▪ Σειρά 74L   | Τεχνολογία χαμηλής κατανάλωσης (Low power) |
| ▪ Σειρά 74LS  | Τεχνολογία Shottky Low power               |
| ▪ Σειρά 74ALS | Τεχνολογία Advanced Shottky Low power      |

Υπενθυμίζουμε ότι για το Fan Out μια τυπική τιμή για την σειρά TTL είναι το 10, πράγμα που σημαίνει ότι μια πύλη TTL, δεν μπορεί να οδηγήσει πάνω από 10 άλλες πύλες TTL (ή 10 εισόδους πυλών).

Θα πρέπει εδώ να σημειωθεί ότι οι περισσότερες έξοδοι σε IC TTL μπορούν να συνδεθούν με τη γη χωρίς να καταστρέφεται το IC Αντίθετα η σύνδεση τους με τη  $V_{CC}$  καταστρέφει το IC Επίσης πρέπει να αναφερθεί ότι οι ελεύθερες εισοδοί πυλών TTL (ασύνδετες εισοδοί) γίνονται αντιληπτές από τα κυκλώματα σαν λογική κατάσταση "High".

Στοιχεία που ενδιαφέρουν στη μελέτη των IC (BJT και MOS) όσον αφορά στην απόδοση τους παρουσιάζονται στον παρακάτω πίνακα :

Οικογένεια	Γινόμενο ταχύτητας, ισχύος (pJ)	$t_{PD}$ (ns)	Ισχύς (mW)
<b>Transistor-transistor logic (TTL)</b>			
Low-power Schottky (LSTTL)	19	9.5	2
Low power (LTTL)	33	33	1
Schottky (STTL)	57	3	19
Standard (TTL)	100	10	10
High speed (HTTL)	132	6	22
Advanced Schottky (ASTTL)	15	1.5	10
Advanced low-power Schottky (ALSTTL)	4	4	1
<b>Emitter-coupled logic (ECL)</b>			
10k	50	2	25
100k	32	0.8	40
<b>CMOS logic</b>			
74HC	15	10	1.5 at 1MHz
400B	105	105	1 at 1MHz
Διάφορα σχήματα ταξινόμησης των ολοκληρωμένων κυκλωμάτων είναι σε χρήση σήμερα. Για παράδειγμα είδαμε μια ταξινόμηση σε TTL, ECL, CMOS. Μια από τις σημαντικότερες ταξινομήσεις βασίζεται στο επίπεδο ολοκλήρωσης, δηλαδή στον αριθμό των πυλών που περιλαμβάνονται στο ολοκληρωμένο κύκλωμα.			

Σχήμα 1-8 Τεχνικά χαρακτηριστικά διάφορων οικογενειών ολοκληρωμένων κυκλωμάτων (Intergrates Circuits, ICs)

## **Β.Πλακέτα δοκιμής ψηφιακών κυκλωμάτων και οδηγίες χρήσεως**

### **Εισαγωγή**

Η πλακέτα δοκιμής ψηφιακών κυκλωμάτων αποτελείται από τα εξής τμήματα :

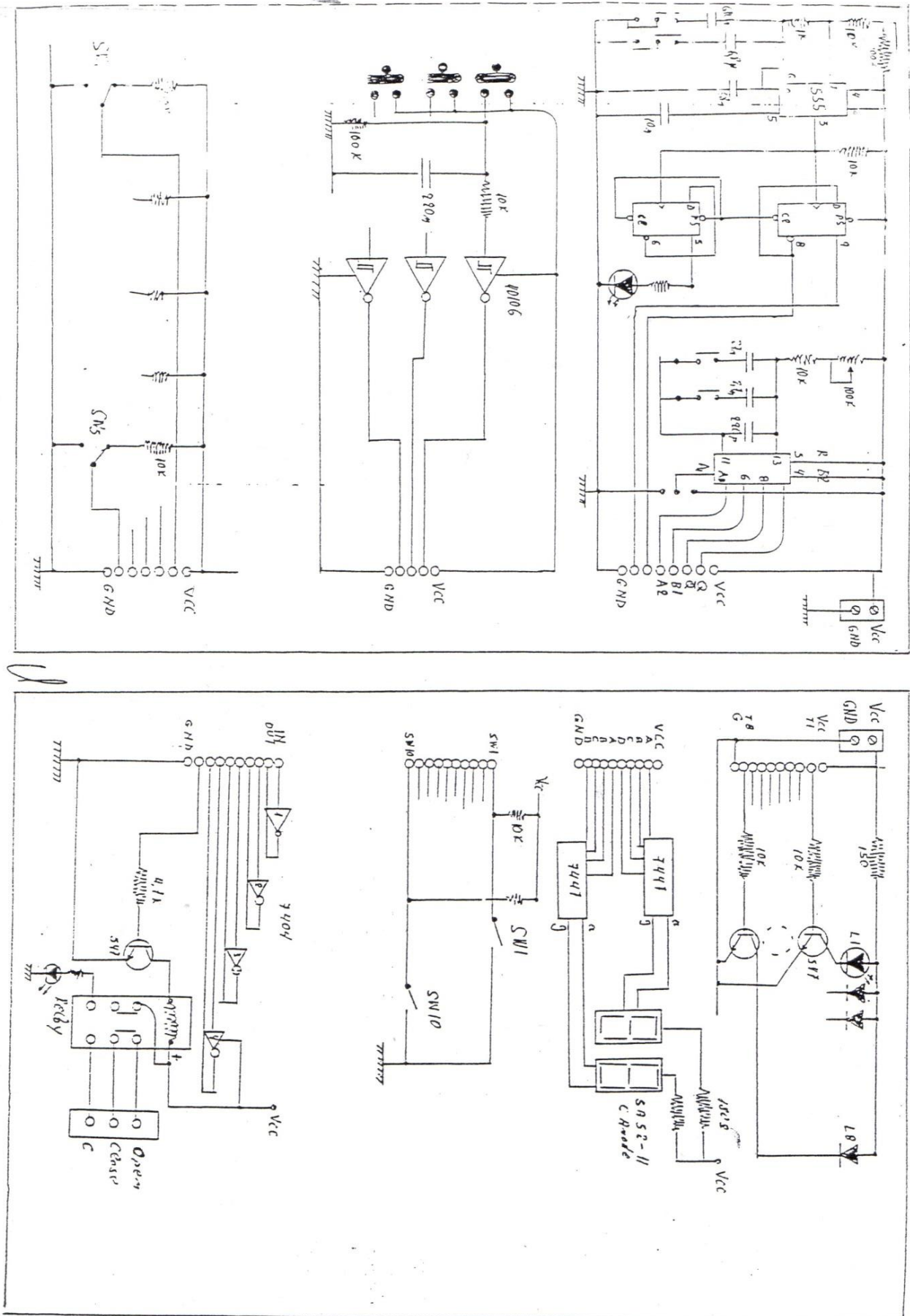
1. Εισαγωγή
2. Τροφοδοτικό
3. Breadboards
4. 7-Segments Displays
5. LEDS
6. Logic - Probe
7. Monostable
8. Pulser
9. Debounced Switches
10. Dip-Switches

Κάθε τμήμα περιγράφεται με λεπτομέρεια παρακάτω. Μαζί με τη περιγραφή δίνονται και τρόποι δοκιμής λειτουργίας κάθε τμήματος. Το τροφοδοτικό παρέχει την τάση που απαιτούν τα διάφορα κυκλώματα ώστε να λειτουργήσουν. Η αναγκαία τάση λειτουργίας των ΟΚ που θα χρησιμοποιηθούν στο εργαστήριο είναι 5V συνεχής τάση (DC) ενώ το μέγιστο ρεύμα που μπορεί να αποδώσει το τροφοδοτικό είναι 1A. Η συνεχής τάση των 5V παρέχεται από διάφορες θέσεις του breadboard που θα σας υποδείξει ο καθηγητής κατά την επίδειξη της εργαστηριακής πλακέτας υλοποίησης κυκλωμάτων που θα γίνει στον εργαστηριακό χώρο κατά την διάρκεια του μαθήματος. Η σύνδεση ενός καλωδίου σε κάποιο pin τροφοδοσίας σημειωμένο – ισοδυναμεί με σύνδεση σε λογικό 0. Αντίστοιχα η σύνδεση με το + ισοδυναμεί με το λογικό 1.

### **Δοκιμή λειτουργίας**

Ένα led αριστερά στην πλακέτα δείχνει την σωστή λειτουργία των κυκλωμάτων και πρέπει στην κανονική λειτουργία να αναβοσβήνει συνέχεια.

Παρακάτω παρουσιάζεται ένα σχηματικό διάγραμμα της πλακέτας δοκιμής ψηφιακών κυκλωμάτων που θα χρησιμοποιήσουμε στο εργαστήριο.



Σχήμα Β-1 Σχηματικό διάγραμμα της πλακέτας του εργαστηρίου

## Breadboards

Στα breadboards υλοποιούνται πειραματικά κυκλώματα στο εργαστήριο με μεγάλη ευκολία. Χάρη στη δομή τους προσφέρουν εύκολες αλλαγές στις συνδέσεις και δίνουν τη δυνατότητα υλοποίησης και δοκιμής περίπλοκων κυκλωμάτων ψηφιακών και ή αναλογικών κυκλωμάτων. Αποτελούνται από δύο breadboard ενωμένα μεταξύ τους. Κάθε breadboard έχει την εξής δομή :

Το κεντρικό τμήμα χωρίζεται στη μέση από ένα μικρό κενό. Πάνω από το κενό τοποθετούνται τα ICs. Τα δύο παραπάνω τμήματα αποτελούνται από 64 κάθετες γραμμές. Κάθε κάθετη γραμμή περιέχει 5 υποδοχές που είναι συνδεδεμένες εσωτερικά. Τα πλαϊνά τμήματα αποτελούνται από δύο οριζόντιες σειρές οπών. Κάθε σειρά οπών αποτελείται από υποδοχές που είναι εσωτερικά συνδεδεμένες. Αυτές οι σειρές οπών μπορούν να συνδεθούν με σήματα που χρησιμοποιούνται συχνά, όπως είναι η τροφοδοσία και έξοδοι διακοπών.

## Pulser (Ασταθής πολυδονητής ή γεννήτρια παλμών)

Ο pulser είναι ένα κύκλωμα που παράγει στην έξοδο του τετραγωνικούς παλμούς. Η συχνότητα των παλμών εξόδου μπορεί να μεταβληθεί. Ο pulser έχει μόνο εξόδους, καμία είσοδο.

Ο pulser αποτελείται από τα εξής τμήματα :

1. Δύο pins στα τα οποία παρέχεται η έξοδος.(Q,Q')
2. Ένα jumper διακόπτη

Η συχνότητα μεταβάλλεται από 1Hz ως 1KHz ανάλογα με τη θέση του jumper.

## Debounced Switches (Αποθρομβοποιημένοι διακόπτες )

Οι debounced switches παρέχουν σήματα λογικού 0 ή 1, δίχως τους θορύβους που δημιουργεί η μετακίνηση του διακόπτη. Εκτός από λογικό 0 ή 1 παρέχονται και παλμοί με μικρή χρονική διάρκεια. Οι debounced switches αποτελούνται από τα εξής τμήματα:

Κάθε διακόπτης παρέχει δύο εξόδους. Μια έξοδος παρέχει το λογικό 0 ή 1(έξοδος λογικού) και η άλλη ένα σύντομο θετικό παλμό (έξοδος παλμού). Η θέση LOW αντιστοιχεί σε έξοδο με λογικό 0 ενώ η θέση HI αντιστοιχεί σε έξοδο με λογικό 1. Για να εμφανιστεί παλμός, στην έξοδο παλμού, πρέπει να γίνει μετάβαση του διακόπτη από τη θέση LOW στη θέση HI. Μόνο μία τέτοια μετάβαση προκαλεί παλμό, αλλιώς η έξοδος παλμού παραμένει

σταθερή σε λογικό 0. Κάθε διακόπτης έχει δύο pin εξόδου. Κάτω από κάθε pin υπάρχει ένας αριθμός που αντιστοιχεί στον αριθμό του διακόπτη.

Χαρακτηριστικό των debounced switches είναι ότι τα σήματα εξόδου κάθε διακόπτη δεν επηρεάζονται από το θόρυβο του διακόπτη. Ο θόρυβος μπορεί να προέρχεται από την κακή επαφή στο εσωτερικό του διακόπτη. Όταν γίνεται μετάβαση από τη θέση LOW στη θέση HI μία μόνο αλλαγή θα συμβεί στην έξοδο λογικού από 0 σε 1 και μόνο ένας παλμός θα εμφανιστεί στην έξοδο παλμού. Όταν γίνεται μετάβαση από τη θέση HI στη θέση LOW μία μόνο αλλαγή θα συμβεί στην έξοδο λογικού από 1 σε 0 ενώ στην έξοδο παλμού δεν θα εμφανιστεί παλμός, θα παραμείνει σε λογικό 0.

### **LEDs Ενδεικτικές λυχνίες τύπου LED (φωτοдиодοι)**

Τα leds ανάβουν ανάλογα με τη λογική κατάσταση των σημάτων εισόδου. Το σύστημα των led αποτελείται από τα εξής τμήματα: Δύο τετράδες pins: 9 ως 16. Οκτώ leds: 1 ως 8. Τα leds είναι αριθμημένα. Η αρίθμηση γίνεται από τα δεξιά προς τα αριστερά. Στα led 1ως 8 αντιστοιχούν οι αριθμοί 1 ως 8.

Κάθε ένα από τα leds λειτουργεί ανεξάρτητα και σε κάθε led αντιστοιχεί μία ξεχωριστή είσοδος που δίνεται από το αντίστοιχο pin εισόδου. Τα pins εισόδου είναι ομαδοποιημένα. Όταν ανάβει ένα led σημαίνει πως η αντίστοιχη είσοδος βρίσκεται σε λογικό 1. Όταν κάποιο led είναι σβηστό η είσοδος του βρίσκεται σε λογικό 0.

### **7 Segment LED Displays (Ενδείκτες 7 τμημάτων φωτοδιόδων)**

Τα 7-segment displays εμφανίζουν αριθμούς στο δεκαδικό σύστημα αρίθμησης. Αποτελούνται από φωτοδιόδους τύπου LED. Ο αριθμός προς απεικόνιση δίνεται στην είσοδο στο δυαδικό σύστημα. Ένας αποκωδικοποιητής μετατρέπει το δυαδικό σήμα σε κατάλληλη μορφή ώστε οι ενδείκτες να δείχνουν τον αντίστοιχο δεκαδικό αριθμό.

Τα 7-segment displays αποτελούνται από τα εξής τμήματα: Δύο τετράδες pins: 1 ως 8. Δύο 7-segment displays που λειτουργούν ανεξάρτητα μεταξύ τους. Μια τετράδα pins αντιστοιχεί σε ένα 7-segment display. Το display 1 αντιστοιχεί στη τετράδα με τα pins 1 ως 4 ενώ το display 2 αντιστοιχεί στη τετράδα με τα pins 5 ως 8.

Κάθε display μπορεί να εμφανίζει τους αριθμούς 0 ως 9 του δεκαδικού συστήματος. Ο αριθμός που εμφανίζεται δίνεται σε δυαδική

μορφή στις εισόδους. Είσοδοι είναι τα pins που αντιστοιχούν σε κάθε display.

Σε κάθε display αντιστοιχούν τέσσερα bit εισόδου (ένα bit σε κάθε pin). Στο 1 το πιο σημαντικό bit εισόδου αντιστοιχεί στο pin 4 και το λιγότερο σημαντικό bit στο pin 1. Τα αντίστοιχα pins εισόδου για το display 2 είναι τα pin 8 και 5. Για ευκολία πάνω από κάθε pin εισόδου σημειώνεται η δύναμη του δύο που αντιστοιχεί σε αυτό π.χ. στο pin 3 σημειώνεται το 4 που είναι  $2^2$  (βάρος του τρίτου bit του δυαδικού αριθμού εισόδου).

Οι αριθμοί που μπορούν να εμφανιστούν σε κάθε ένα display είναι από 0 ως 9. Ο αριθμός εισόδου όμως είναι τεσσάρων bit που καλύπτει τους αριθμούς 0 ως 15. Οι αριθμοί 10 ως 15 δεν μπορούν να εμφανιστούν στη δεκαδική τους μορφή σε ένα μόνο display, αντιστοιχεί δε στον καθένα τους μια κωδικοποιημένη ένδειξη. Στην τιμή εισόδου 15 δεν αντιστοιχεί καμία ένδειξη, δηλαδή το αντίστοιχο display παραμένει σβηστό. Αν κάποιο από τα pins εισόδου μείνει ασύνδετο τότε θεωρείται ότι είναι σε λογικό 1 [κύκλωμα TTL]. Άρα εάν δεν είναι συνδεδεμένες οι τέσσερις εισοδοι κάποιου display τότε θεωρείται ότι υπάρχει στην είσοδο ο δυαδικός αριθμός 1111 (15) οπότε και το display παραμένει σβηστό.

### **Dip-Switches (Dip από το Dual Inline Package Switches)**

Τα DIP-switches αποτελούνται από 8 διακόπτες τοποθετημένους σε μία συσκευασία και παρέχουν σήματα λογικού 0 ή 1. Οι διακόπτες αριθμούνται από δεξιά προς αριστερά. Οι διακόπτες 1 ως 8 έχουν αντίστοιχα την αρίθμηση 1 ως 8. Οι διακόπτες αυτοί δεν είναι αποθρομβοποιημένοι, γι' αυτό η χρήση τους σαν σήματα εισόδου σε ακολουθιακά κυκλώματα πρέπει να αποφεύγεται, εκτός αν δεν υπάρχει κίνδυνος δυσλειτουργίας.

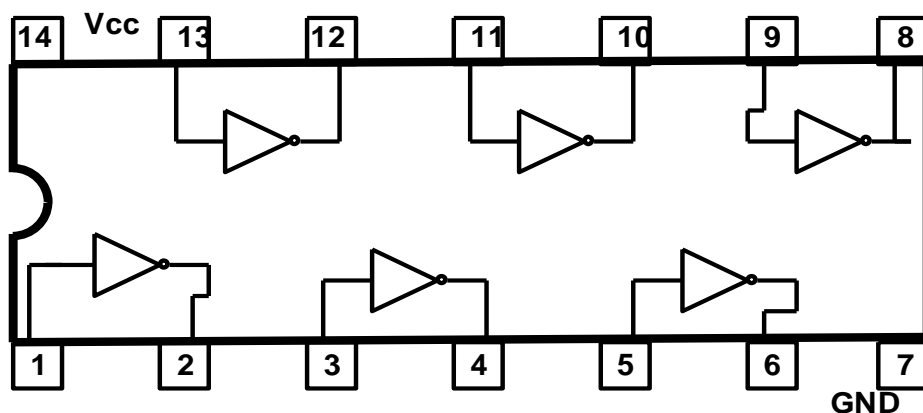
### **Μορφή Ολοκληρωμένων Κυκλωμάτων (Integated Circuits, ICs)**

Ένα ολοκληρωμένο κύκλωμα όπως αυτό που παρουσιάζουμε παρακάτω αποτελείται από δύο παράλληλες σειρές ακροδεκτών που επιτρέπουν την επικοινωνία του IC με τον έξω κόσμο. Η αρίθμηση των ακροδεκτών γίνεται όπως φαίνεται παρακάτω ξεκινώντας πάντα από την μεριά της εγκοπής που χρησιμοποιείται για προσανατολισμό του IC. Το παρακάτω IC όπως φαίνεται είναι το 7400 και όπως φαίνεται διαγραμματικά το εσωτερικό του περιέχει τέσσερις πύλες NAND δύο εισόδων. Οι ακροδέκτες 1 και 2 του IC είναι οι εισοδοι της πρώτης πύλης

και το 3 η έξοδος του. Ο ακροδέκτης 7 είναι η γείωση **GND** και ο ακροδέκτης 14 η τροφοδοσία **Vcc**.

Η τροφοδοσία και η γείωση είναι απαραίτητα για να πολωθεί και να λειτουργήσει το IC. Γι 'αυτό το λόγο πάντα πρέπει να τοποθετούμε Vcc και GND από τις διαθέσιμες θέσεις που υπάρχουν πάνω στην πλακέτα (δείτε σχήμα πλακέτας- 10 διαθέσιμες θέσεις για Vcc,Gnd).

Για δική σας ευκολία θα ήταν προτιμότερο η χρήση των πλαινών θέσεων του breadboard για να τροφοδοτούμε με Vcc και GND τα ολοκληρωμένα που θα χρησιμοποιήσουμε σε κάθε άσκηση ώστε να μην υπάρχει υπερβολική συμφόρηση από καλώδια πάνω στην πλακέτα δοκιμής.



### Πίνακες αληθείας

Επαληθεύστε τον πίνακα αληθείας της παραπάνω πύλης. Για να τον βρείτε, συνδέστε τις εισόδους της πύλης σε διακόπτες και τις εξόδους της σε μια ενδεικτική λυχνία. Συγκρίνετε τα αποτελέσματά σας με τον πίνακα αλήθειας της πύλης NOT, όπως δίνεται παρακάτω.

ΠΥΛΗ NOT (OXI)	
Είσοδος	Έξοδος
A	NOT A
0	1
1	0

# ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ

# 1ο ΕΡΓΑΣΤΗΡΙΟ : ΣΥΝΔΥΑΣΤΙΚΑ ΚΥΚΛΩΜΑΤΑ

## Στόχος

- Παρουσίαση ολοκληρωμένων κυκλωμάτων (intergrated circuits, ICs) λογικής οικογένειας 74XX.
- Υλοποίηση όλων των βασικών συναρτήσεων και πυλών αποκλειστικά με τις οικουμενικές πύλες NAND και NOR χρησιμοποιώντας θεωρήματα της άλγεβρας Boole..
- Υλοποίηση συναρτήσεων μετατροπές διαφόρων υλοποιήσεων μέσω άλγεβρας Boole.
- Κατανόηση χρονικών κυματομορφών
- Απλοποίηση λογικών συναρτήσεων με την μέθοδο Karnaugh.

## Απαιτούμενα Υλικά

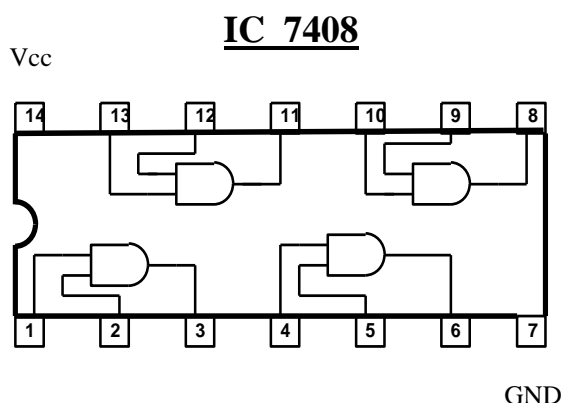
- Πλακέτα Εργαστηρίου
- Ένα IC 7400 - περιέχει 4 πύλες NAND 2 εισόδων
- Ένα IC 7402 - περιέχει 4 πύλες NOR 2 εισόδων
- Ένα IC 7410 περιέχει - 3 πύλες NAND 3-εισόδων

Οι ακροδέκτες [pins] των ICs φαίνονται παρακάτω και στα διαγράμματα μετά το τέλος των εργαστηριακών ασκήσεων.

## Θεωρητικό Υπόβαθρο

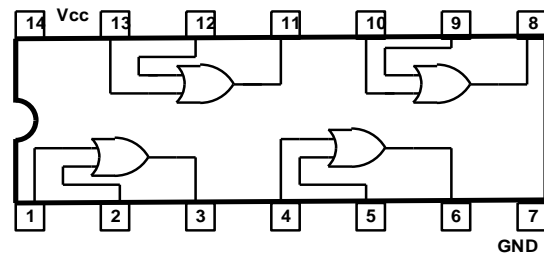
### Πίνακας Αλήθειας Βασικών Πυλών

ΠΥΛΗ AND (ΚΑΙ)		
Είσοδοι		Έξοδος
A	B	A AND B
0	0	0
0	1	0
1	0	0
1	1	1



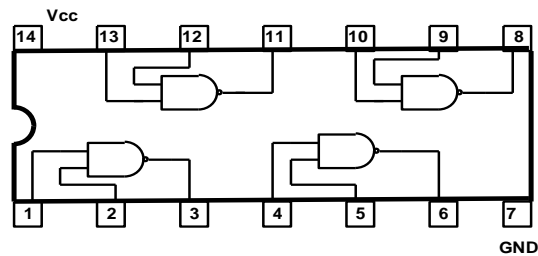
ΠΥΛΗ OR ( Η' )		
Είσοδοι		Έξοδος
A	B	A OR B
0	0	0
0	1	1
1	0	1
1	1	1

**IC 7432**



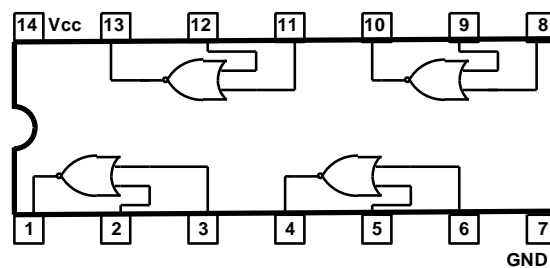
ΠΥΛΗ NAND ( ΟΧΙ ΚΑΙ )		
Είσοδοι		Έξοδος
A	B	A NAND B
0	0	1
0	1	1
1	0	1
1	1	0

**IC 7400**



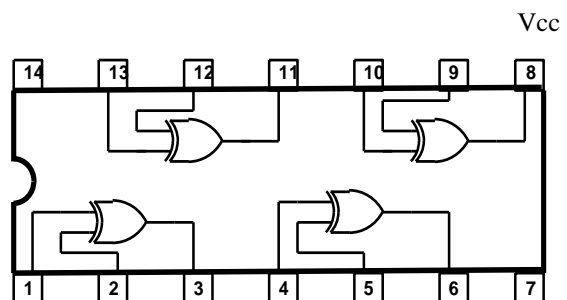
ΠΥΛΗ NOR ( ΟΧΙ Ή )		
Είσοδοι		Έξοδος
A	B	A NOR B
0	0	1
0	1	0
1	0	0
1	1	0

**IC 7402**



ΠΥΛΗ ΧΟR ( ΑΠΟΚΛΕΙΣΤΙΚΟ Ή )		
Είσοδοι		Έξοδος
A	B	A ΧΟR B
0	0	0
0	1	1
1	0	1
1	1	0

**IC 7**



**Βασικά Θεωρήματα της Άλγεβρας Boole**

ΘΕΩΡΗΜΑ ΔΙΠΛΟΥ ΣΥΜΠΛΗΡΩΜΑΤΟΣ	$\overline{(\overline{A})} = \overline{\overline{A}} = A$
ΘΕΩΡΗΜΑ ΟΥΔΕΤΕΡΟΥ ΣΤΟΙΧΕΙΟΥ	$A+0=A$ $A*1=A$
ΘΕΩΡΗΜΑ ΑΥΤΟΔΥΝΑΜΙΑΣ	$A+A=A$ $A*A=A$
ΘΕΩΡΗΜΑ ΣΥΜΠΛΗΡΩΜΑΤΙΚΟΥ ΣΤΟΙΧΕΙΟΥ	$A + \overline{A} = 1$ $A * \overline{A} = 0$
ΘΕΩΡΗΜΑΤΑ DE MORGAN	$\overline{A + B} = \overline{A} \bullet \overline{B}$ $\overline{A \bullet B} = \overline{A} + \overline{B}$



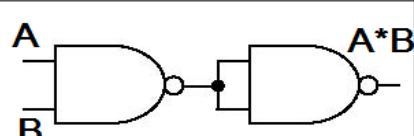
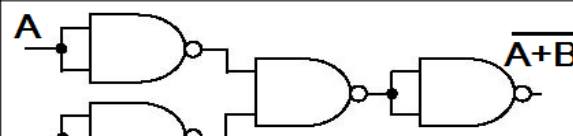
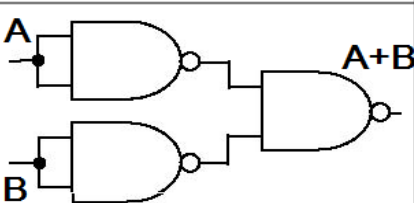
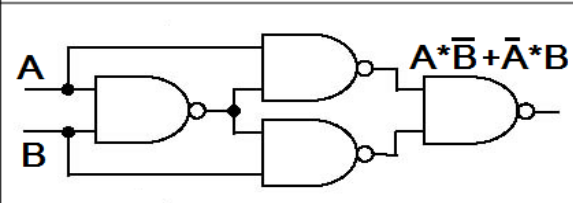
**1<sup>η</sup> Άσκηση**

Οικουμενικότητα της πύλης NAND

Χρησιμοποιήστε ένα μόνο IC 7400 και συνδέστε το έτσι ώστε να υλοποιεί :

1. Έναν αντιστροφέα (πύλη NOT)
2. Μια πύλη AND δύο εισόδων (πύλη ΚΑΙ)
3. Μια πύλη OR δύο εισόδων (πύλη Ή)
4. Μια πύλη NAND δύο εισόδων (πύλη Όχι και)
5. Μια πύλη NOR δύο εισόδων (πύλη Όχι Ή)
6. Μια πύλη XOR δύο εισόδων (ΑΠΟΚΛΕΙΣΤΙΚΟΥΉ)

Σε κάθε περίπτωση επαληθεύστε τη σχεδίαση βρίσκοντας τον πίνακα αληθείας με τους διακόπτες και την ενδεικτική λυχνία.

ΠΥΛΗ	ΚΥΚΛΩΜΑΤΑ ΜΕ NAND	ΠΥΛΗ	ΚΥΚΛΩΜΑΤΑ ΜΕ NAND
NOT		NAND	
AND		NOR	
OR		XOR	

**2<sup>η</sup> Άσκηση**Οικουμενικότητα της πύλης NOR

**Χρησιμοποιείτε ένα μόνο IC 7402 και συνδέστε το έτσι ώστε να υλοποιεί:**

1. Έναν αντιστροφέα (πύλη NOT)
2. Μια πύλη AND δύο εισόδων (πύλη ΚΑΙ)
3. Μια πύλη OR δύο εισόδων (πύλη Ή)
4. Μια πύλη NOR δύο εισόδων (πύλη ΉΧΙ Ή)
5. Μια πύλη NAND δύο εισόδων (πύλη ΉΧΙ ΚΑΙ)
6. Μια πύλη XNOR δύο εισόδων (ΉΧΙ ΑΠΟΚΛΕΙΣΤΙΚΟΥΉ)

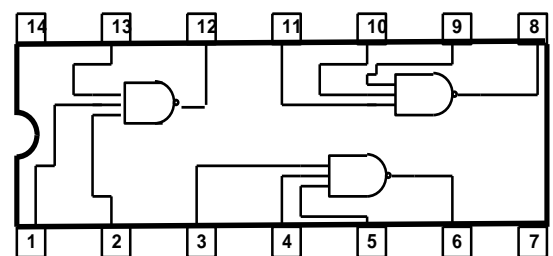
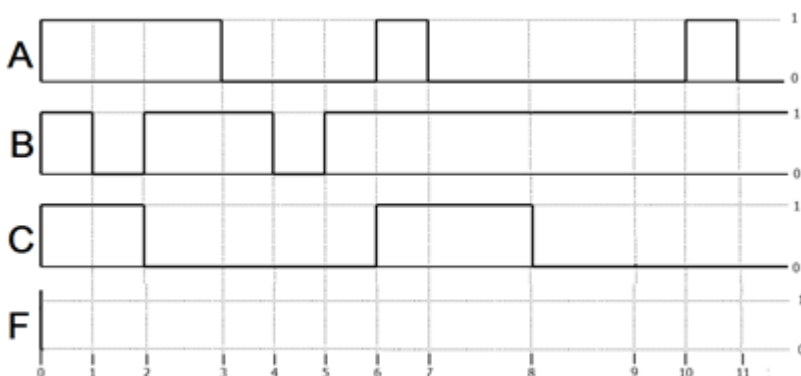
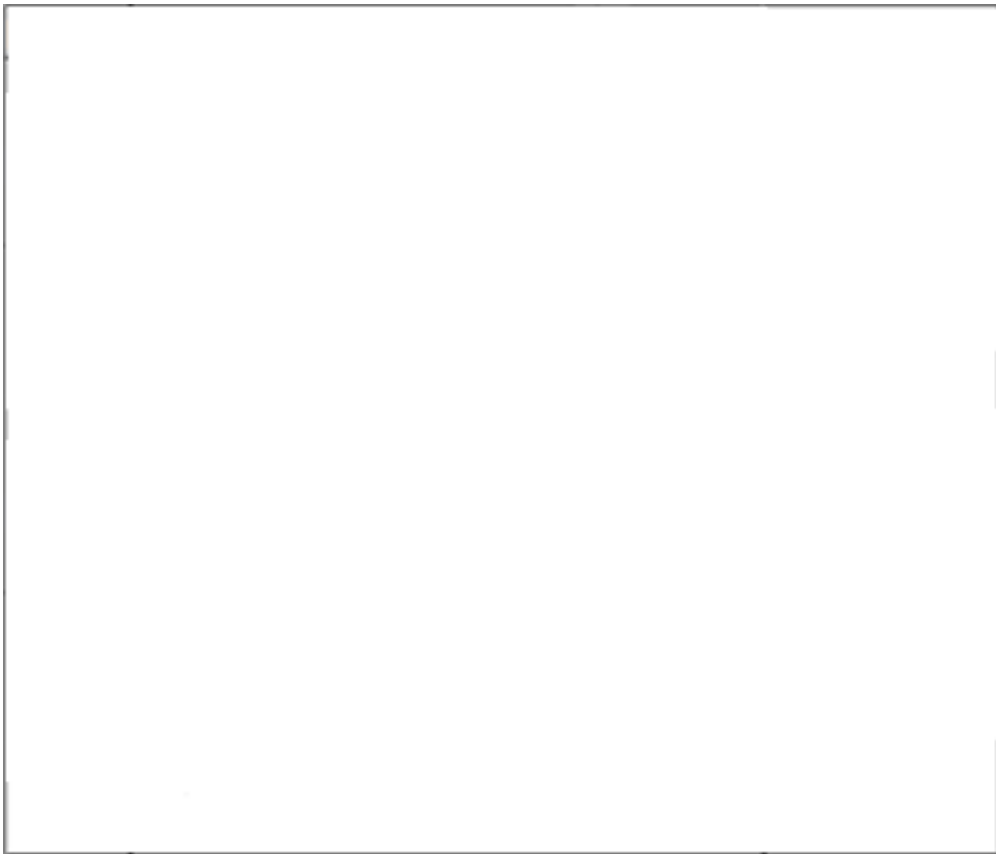
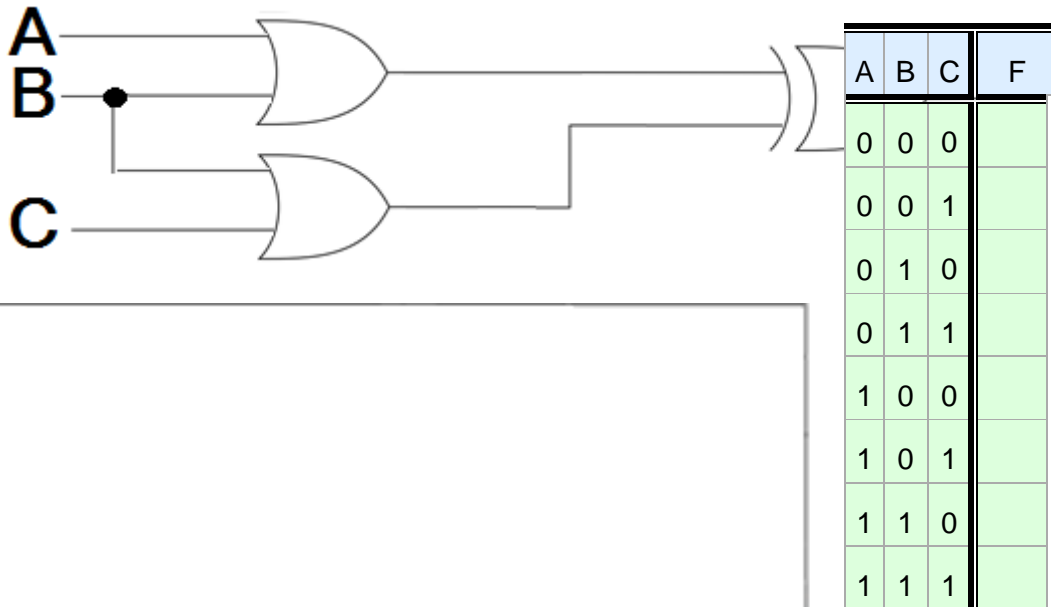
Σχεδιάστε τις πύλες που θα χρησιμοποιήσετε χρησιμοποιώντας τα παρακάτω θεωρήματα της Αλγεβρας Boole και επαληθεύστε τους πίνακες αληθείας των τελικών κυκλωμάτων.

ΠΥΛΗ	ΚΥΚΛΩΜΑΤΑ ΜΕ NOR	ΠΥΛΗ	ΚΥΚΛΩΜΑΤΑ ΜΕ NOR
NOT		NOR	
AND		NAND	
OR		XNOR	

**3<sup>η</sup> Άσκηση**

Αναλύστε το παρακάτω κύκλωμα, βρείτε την συνάρτηση F στην έξοδο και συμπληρώστε τον αντίστοιχο πίνακα αληθείας.

Στην συνέχεια μετατρέψτε την διεπίπεδη υλοποίηση OR-XOR σε κύκλωμα με μόνο NAND πύλες χρησιμοποιώντας ιδιότητες της άλγεβρας Boole. Υλοποιήστε το κύκλωμα και ελέγξτε την σωστή λειτουργία του



**4<sup>η</sup> Άσκηση**

Συναρτήσεις Boole σε μορφή αθροίσματος ελαχιστόρων.

Δίνονται οι δύο ακόλουθες συναρτήσεις Boole σε μορφή αθροίσματος ελαχιστόρων :

$$F(A, B, C, D) = \Sigma(0,1,4,5,8,9,10,12,13)$$

$$G(A, B, C, D) = \Sigma(3,5,7,8,10,11,13,15)$$

1. Απλοποιήστε τις δύο συναρτήσεις με τη μέθοδο του χάρτη Karnaugh.

CD AB	00	01	11	10
00	m0	m1	m3	m2
01	m4	m5	m7	m6
11	m12	m13	m15	m14
10	m8	m9	m11	m10

Συνάρτηση F

CD AB	00	01	11	10
00				
01				
11				
10				

Συνάρτηση G

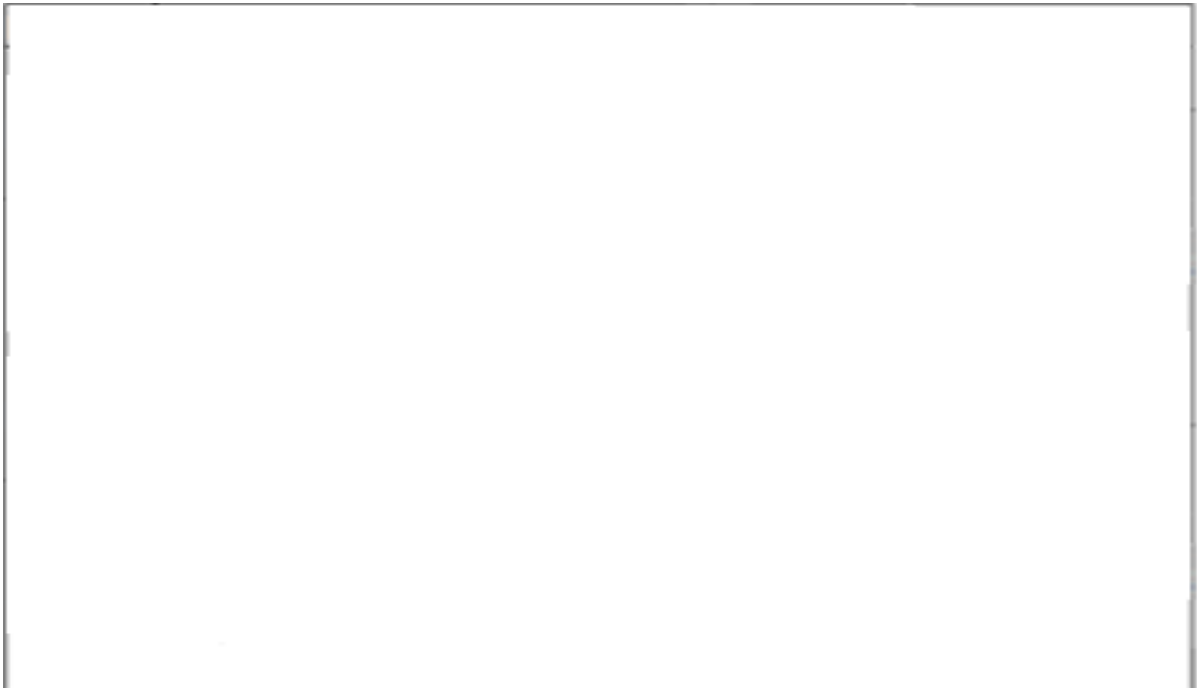
CD AB	00	01	11	10
00				
01				
11				
10				

Είσοδοι				Έξοδοι		
A	B	C	D	m	F	G
0	0	0	0	m0		
0	0	0	1	m1		
0	0	1	0	m2		
0	0	1	1	m3		
0	1	0	0	m4		
0	1	0	1	m5		
0	1	1	0	m6		
0	1	1	1	m7		
1	0	0	0	m8		
1	0	0	1	m9		
1	0	1	0	m10		
1	0	1	1	m11		
1	1	0	0	m12		
1	1	0	1	m13		
1	1	1	0	m14		
1	1	1	1	m15		

2. Σχεδιάστε ένα συνολικό λογικό διάγραμμα και για τις δύο συναρτήσεις μαζί (στην απλοποιημένη μορφή τους), με εισόδους A, B, C, D και εξόδους F και G.



3. Υλοποιήστε και τις δύο συναρτήσεις μαζί, χρησιμοποιώντας τον ελάχιστο αριθμό ICs με πύλες NAND. Αν κάποιος όρος χρειάζεται και στις δύο συναρτήσεις, αρκεί να υλοποιηθεί μόνο μια φορά. Οπότε είναι δυνατόν, χρησιμοποιείτε πύλες που περισσεύουν σε μισοχρησιμοποιημένα ICs σαν αντιστροφείς.



## 2<sup>ο</sup> ΕΡΓΑΣΤΗΡΙΟ : ΚΥΚΛΩΜΑΤΑ ΑΘΡΟΙΣΗΣ - ΑΦΑΙΡΕΣΗΣ

### Στόχος

- Η ανάλυση της σχεδίασης και λειτουργίας ενός ημιαθροιστή και ενός πλήρους-αθροιστή.
- Η άθροιση δυαδικών αριθμών.
- Η αφαίρεση αριθμών με συμπλήρωμα ως προς 2.

### Απαιτούμενα Υλικά

- Ένα IC 7486 περιέχει 4 πύλες XOR 2-εισόδων
- Ένα IC 7483 περιέχει ένα τετράμπιτο παράλληλο δυαδικό αθροιστή
- Ένα IC 7408 περιέχει 4 πύλες AND 2-εισόδων
- Ένα IC 7432 περιέχει 4 πύλες OR 2-εισόδων

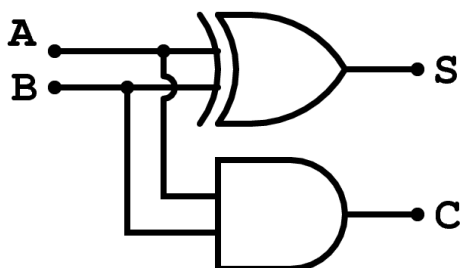
### Θεωρητικό Υπόβαθρο

- Αθροιστές
- Αφαίρεση με συμπλήρωμα ως προς 2
- Παράλληλη δυαδική άθροιση

### 1<sup>η</sup> Άσκηση

Ημι-Αθροιστής

1. Σχεδιάστε ένα κύκλωμα ημι-αθροιστή χρησιμοποιώντας μια πύλη XOR και μία πύλη AND.
2. Συνδέστε το κύκλωμα και ελέγξτε την καλή λειτουργία του.

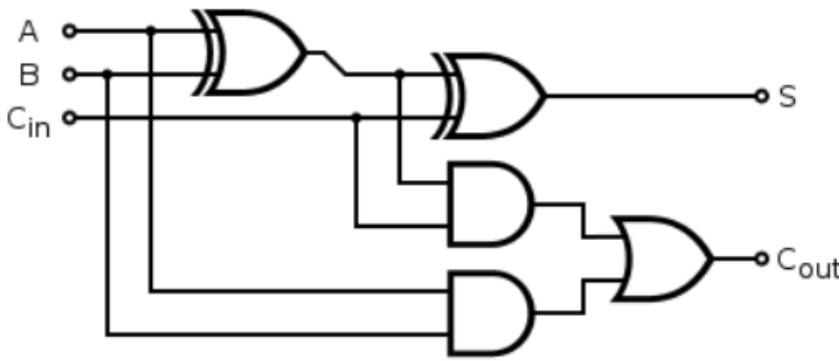


Είσοδοι		Έξοδοι	
A	B	C	S
0	0		
0	1		
1	0		
1	1		

**2<sup>η</sup> Άσκηση**

Πλήρης-αθροιστής

1. Σχεδιάστε ένα κύκλωμα πλήρους-αθροιστή χρησιμοποιώντας δύο πύλες XOR, δύο πύλες AND και μία πύλη OR.
2. Συνδέστε το κύκλωμα και ελέγξτε την καλή λειτουργία του.

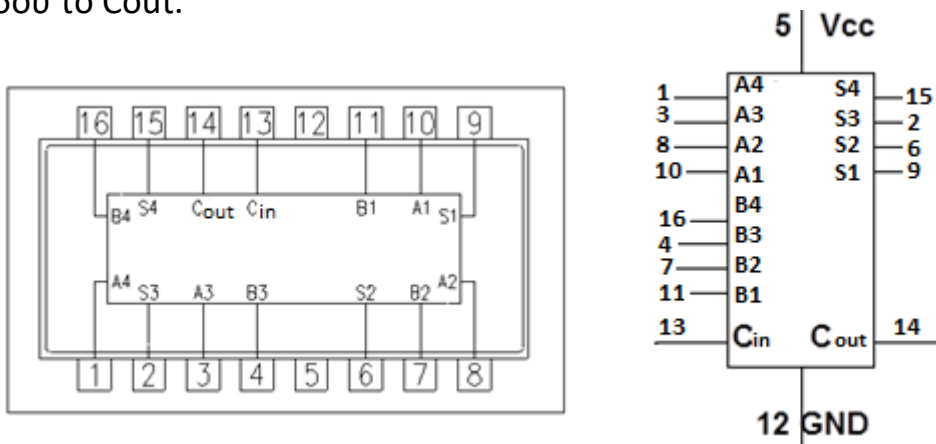


Είσοδοι			Έξοδοι	
C <sub>in</sub>	A	B	C <sub>out</sub>	S
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

**3<sup>η</sup> Άσκηση**

Παράλληλος Αθροιστής

Το IC 7483 είναι ένας παράλληλος τετράμπιτος δυαδικός αθροιστής. Στο παρακάτω σχήμα φαίνεται η οργάνωση των ακροδεκτών του ολοκληρωμένου κυκλώματος. Οι δύο τετράμπιτοι αριθμοί εισόδου συνδέονται στις θέσεις A4 ως A1 και B4 ως B1. Το άθροισμα βγαίνει στις εξόδους S4 ως S1. Το κρατούμενο εισόδου είναι το C<sub>in</sub> και το κρατούμενο εξόδου το C<sub>out</sub>.



Ελέγξτε τη λειτουργία του IC 7483. Συνδέστε τη γείωση και τροφοδοσία (Pin Out : V<sub>cc</sub>→5, Ground→12), συνδέστε στις τέσσερις εισόδους του A και στις τέσσερις εισόδους B και το κρατούμενο εισόδου σε 5 διακόπτες και συνδέστε τις 5 εξόδους σε ενδεικτικές λυχνίες.

Κάντε τις προσθέσεις δυαδικών αριθμών που δίνονται στον παρακάτω πίνακα για να διαπιστώσετε αν το άθροισμα και το κρατούμενο εξόδου είναι αυτά που πρέπει να είναι. Βεβαιωθείτε ότι όταν το κρατούμενο εισόδου είναι 1, η έξοδος ισούται με  $A+B+1$ .

Είσοδοι									Έξοδοι				
Cin	A				B				Cout	S			
	A4	A3	A2	A1	B4	B3	B2	B1		S4	S3	S2	S1
0	0	0	0	0	0	0	0	1					
0	1	0	1	0	1	0	1	0					
0	0	1	0	1	1	0	0	1					
0	1	1	0	0	1	1	1	1					
1	0	0	0	0	0	0	0	1					
1	1	0	1	0	1	0	1	0					
1	0	1	0	1	1	0	0	1					
1	1	1	0	0	1	1	1	1					

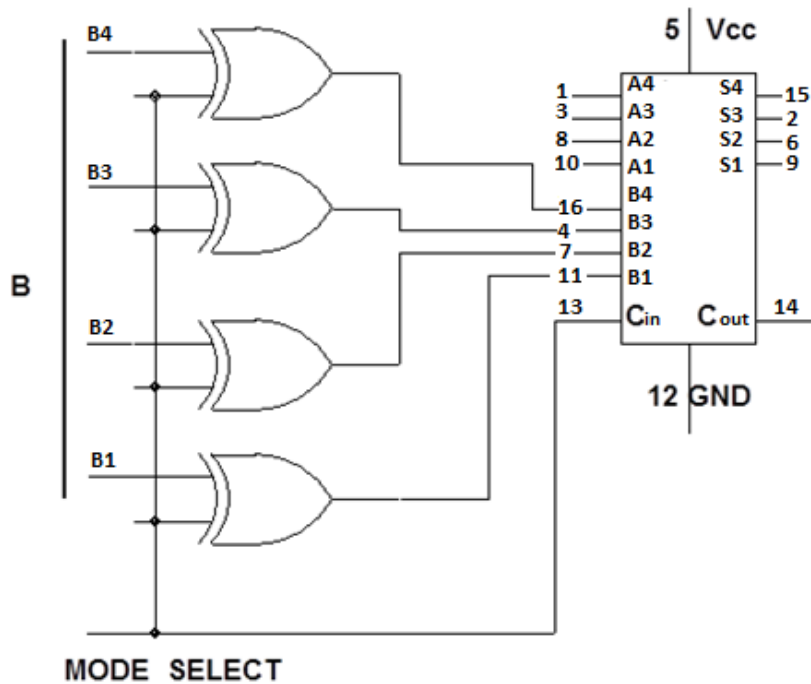
#### 4<sup>η</sup> Άσκηση

Αθροιστής –Αφαιρέτης

Η αφαίρεση δύο δυαδικών αριθμών μπορεί να γίνει προσθέτοντας στον μειωτέο το συμπλήρωμα ως προς 2 του αφαιρετέου. Το συμπλήρωμα ως προς 2 μπορεί να βρεθεί προσθέτοντας 1 στο συμπλήρωμα ως προς 1. Έτσι, για να βρούμε το  $A-B$ , παίρνουμε το συμπλήρωμα των bits του B, το προσθέτουμε στα bits του A, και προσθέτουμε και το 1 μέσω του κρατουμένου εισόδου. Στο σχήμα 2 βλέπουμε ένα κύκλωμα που μπορεί να κάνει ή πρόσθεση ή αφαίρεση. Οι τέσσερις πύλες XOR δίνουν το συμπλήρωμα των bits του B όταν  $M=1$  (αφού  $B \text{ XOR } 1 = \bar{B}$ ) ενώ τα αφήνουν αμετάβλητα για  $M=0$  (αφού  $B \text{ XOR } 0 = B$ ). Έτσι, όταν η επιλογή λειτουργίας (Mode Select) είναι 1, τότε το κρατούμενο εισόδου Cin είναι 1, το B συμπληρώνεται και η έξοδος ισούται με το A συν το συμπλήρωμα ως προς 2 του B. Όταν το M είναι 0, το Cin είναι 0, το B δεν μεταβάλλεται και η έξοδος είναι το  $A+B$ .

Συνδέστε το κύκλωμα του αθροιστή-αφαιρέτη και ελέγξτε αν λειτουργεί σωστά. Τροφοδοτείστε το σταθερό αριθμό  $9_{(10)}=1001_{(2)}$  στην είσοδο A και συνδέστε τις εισόδους B και M σε 5 διακόπτες. Κάντε πράξεις που αναφέρονται στον παρακάτω πίνακα και γράψτε το άθροισμα και το κρατούμενο κάθε φορά.

Βεβαιωθείτε ότι κατά την πρόσθεση το κρατούμενο εξόδου είναι 1 όταν το άθροισμα είναι μεγαλύτερο από 15. Επίσης, βεβαιωθείτε ότι όταν  $A \geq B$ , η αφαίρεση δίνει το σωστό αποτέλεσμα A-B και το κρατούμενο εξόδου είναι 1, ενώ όταν  $A < B$ , η αφαίρεση δίνει το συμπλήρωμα ως προς 2 του A-B, και το κρατούμενο εξόδου είναι 0.



Εκτελούμενες Πράξεις (A+B)	Είσοδοι								Έξοδοι					
	A				B				Mode Select	Cout	S			
	A4	A3	A2	A1	B4	B3	B2	B1			S4	S3	S2	S1
9+5														
9-5														
9+9														
9-9														
9+15														
9-15														

## 3<sup>ο</sup> ΕΡΓΑΣΤΗΡΙΟ : ΑΠΟΚΩΔΙΚΟΠΟΙΗΣΗ, ΠΟΛΥΠΛΕΞΗ & ΑΠΟΠΛΕΞΗ

### Στόχος

- Αποκωδικοποιητής, Πολυπλέκτης Αποπλέκτης
- Διερεύνηση της υλοποίησης συνδυαστικών κυκλωμάτων με τη βοήθεια αποκωδικοποιητή, Πολυπλέκτη και Αποπλέκτη.

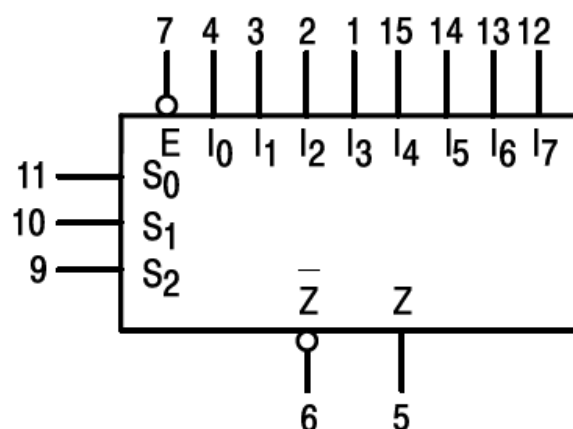
### Απαιτούμενα Υλικά

- Ένα IC 74151 Πολυπλέκτης 8 σε 1.
- Ένα IC 74155 Αποκωδικοποιητής διπλός από 2 εισόδους σε 4 ή μονός από τρεις (3) εισόδους σε 8.
- Ένα IC 7447 Αποκωδικοποιητής BCD σε 7-Segment Display
- Οτιδήποτε άλλο ολοκληρωμένο απαιτηθεί

### 1<sup>η</sup> Άσκηση

#### Πολυπλέκτης

Υλοποιήστε και ελέγξτε την καλή λειτουργία του κυκλώματος του πολυπλέκτη 74151. Το κύκλωμα του 74151 είναι ένας πολυπλέκτης 8 εισόδων με μία έξοδο. Για επιλέξουμε ποια είσοδος θα οδηγηθεί στην έξοδο θέλουμε τρεις γραμμές ελέγχου  $S_0, S_1, S_2$ . Δίνεται παρακάτω το διάγραμμα PIN-OUT του παραπάνου ολοκληρωμένου και ο πίνακας αλήθειας του. Οι 8 είσοδοι είναι τα PIN  $I_0=4, I_1=3, I_2=2, I_3=1, I_4=15, I_5=14, I_6=13$  και  $I_7=12$ . Η κανονική έξοδος  $Z$  είναι το PIN 5, και η συμπληρωματική  $\bar{Z}$  το PIN 6. Οι τρεις γραμμές ελέγχου  $S_0, S_1, S_2$  είναι αντίστοιχα τα PIN 11, 10, 9. Το PIN 16 είναι η τροφοδοσία, το PIN 8 η γείωση και η είσοδος ενεργοποίησης  $\overline{ENABLE}$  (Ενεργοποιείται στο λογικό μηδέν, Active low) είναι το Pin 7



$\bar{E}$	$S_2$	$S_1$	$S_0$	$I_0$	$I_1$	$I_2$	$I_3$	$I_4$	$I_5$	$I_6$	$I_7$	$\bar{Z}$	$Z$
H	X	X	X	X	X	X	X	X	X	X	X	H	L
L	L	L	L	L	X	X	X	X	X	X	X	H	L
L	L	L	L	H	X	X	X	X	X	X	X	L	H
L	L	L	H	X	L	X	X	X	X	X	X	H	L
L	L	L	H	X	H	X	X	X	X	X	X	L	H
L	L	H	L	X	X	L	X	X	X	X	X	H	L
L	L	H	L	X	X	H	X	X	X	X	X	L	H
L	L	H	H	X	X	X	L	X	X	X	X	H	L
L	L	H	H	X	X	X	H	X	X	X	X	L	H
L	H	L	L	X	X	X	X	L	X	X	X	H	L
L	H	L	L	X	X	X	X	H	X	X	X	L	H
L	H	L	H	X	X	X	X	X	L	X	X	H	L
L	H	L	H	X	X	X	X	X	H	X	X	L	H
L	H	H	L	X	X	X	X	X	X	L	X	H	L
L	H	H	L	X	X	X	X	X	X	H	X	L	H
L	H	H	H	X	X	X	X	X	X	X	L	H	L
L	H	H	H	X	X	X	X	X	X	X	H	L	H

H = HIGH Voltage Level

L = LOW Voltage Level

X = Don't Care

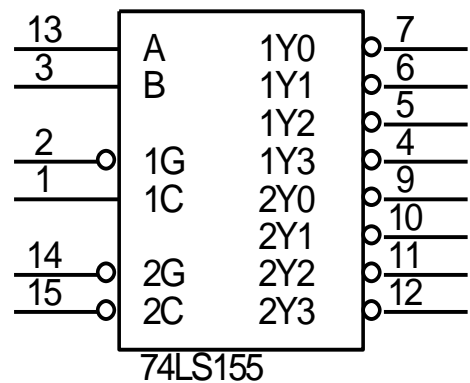
## 2<sup>η</sup> Άσκηση

### Αποκωδικοποιητής

Υλοποιήστε και ελέγξτε την καλή λειτουργία του κυκλώματος αυτού, χρησιμοποιώντας ένα IC αποκωδικοποιητή - το 74155 – και εξωτερικές πύλες NAND. Το συμβολικό διάγραμμα του αποκωδικοποιητή και ο πίνακας αληθείας του φαίνονται στο σχήμα 1. Το IC 74155 μπορεί να λειτουργήσει σαν διπλός αποκωδικοποιητής 2-σε-4 ή σαν απλός αποκωδικοποιητής 3-σε-8. Για τη λειτουργία 3-σε-8, οι εισοδοί 1C και 2C πρέπει να είναι βραχυκυκλωμένες μεταξύ τους, όπως επίσης και οι εισοδοί 1G και 2G, όπως φαίνεται στο σχήμα. Το κύκλωμα του αποκωδικοποιητή είναι παρόμοιο με αυτό που έχει δοθεί από τη θεωρία. Η G είναι είσοδος επίτρεψης και στην κανονική λειτουργία πρέπει να είναι στο λογικό 0. Όπως φαίνεται από τον πίνακα αληθείας, η έξοδος που επιλέγεται από τα A,B και C γίνεται 0, ενώ οι υπόλοιπες μένουν στο 1. Εξωτερικά πρέπει να χρησιμοποιηθούν πύλες NAND για τη συλλογή των απαραίτητων εξόδων του αποκωδικοποιητή.

## ΠΙΝΑΚΑΣ ΑΛΗΘΕΙΑΣ 74LS155

Inputs				Outputs							
Select		Strobe Or Data	G	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C	B A			2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X X	H		H	H	H	H	H	H	H	H
L	L L	L		L	H	H	H	H	H	H	H
L	L H	L		H	L	H	H	H	H	H	H
L	H L	L		H	H	L	H	H	H	H	H
L	H H	L		H	H	H	L	H	H	H	H
H	L L	L		H	H	H	H	L	H	H	H
H	L H	L		H	H	H	H	H	L	H	H
H	H L	L		H	H	H	H	H	H	L	H
H	H H	L		H	H	H	H	H	H	H	L



· C = inputs 1C and 2C connected together  
 · G = inputs 1G and 2G connected together  
 H = high level, L = low level, X = don't care

Τοποθετήστε το παραπάνω κύκλωμα στην πλακέτα υλοποίησης των ασκήσεων και στην συνέχεια τροφοδοτήστε το. Ελέγξτε τον πίνακα αλήθειας του αποκωδικοποιητή.

**3<sup>η</sup> Άσκηση**

Κύκλωμα Πλειοψηφίας

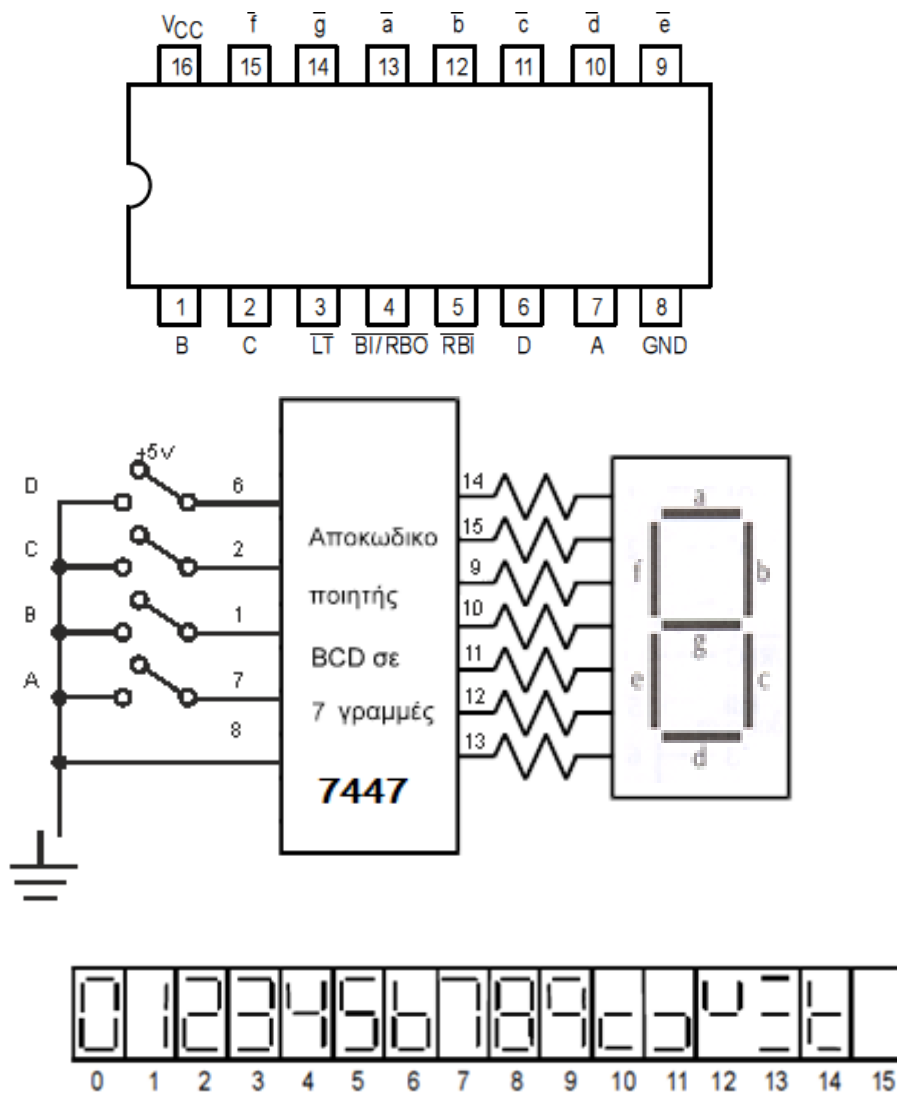
Το κύκλωμα πλειοψηφίας είναι ψηφιακό κύκλωμα του οποίου η έξοδος είναι 1, αν η πλειοψηφία των εισόδων του είναι 1. Αλλιώς, η έξοδος είναι 0.

1. Σχεδιάστε ένα τέτοιο κύκλωμα με τρεις εισόδους.
2. Υλοποιήστε το παραπάνω κύκλωμα πλειοψηφίας με την βοήθεια ενός αποκωδικοποιητή 3 σε 8 [74155] και τον αναγκαίο αριθμό πυλών της αρεσκείας σας. Υλοποιήστε το κύκλωμα και ελέγξτε την καλή λειτουργία του.

**4<sup>η</sup> Άσκηση**

Αποκωδικοποιητής BCD σε 7-Segment Display

Για την μετατροπή του κώδικα BCD στον ισοδύναμο δεκαδικό του, σύμφωνα με τον παρακάτω πίνακα πρέπει να χρησιμοποιήσουμε για κάθε δεκαδικό ψηφίο ένα κύκλωμα 4 εισόδων και 7 εξόδων. Αυτό φαίνεται στο παρακάτω σχήμα :



Σε πολλούς τύπους αποκωδικοποιητών, χρησιμοποιείται στις εισόδους και κύκλωμα απόρριψης των ανεπιθύμητων συνδυασμών , όπως και είσοδος ενεργοποίησης του κυκλώματος (Enable).

Μετά την αποκωδικοποίηση ενός αριθμού BCD σε δεκαδικό, μπορούμε να χρησιμοποιήσουμε δεύτερο αποκωδικοποιητή του δεκαδικού σε επταψηφιακό κώδικα για να δούμε τον αριθμό σε ένα επταστοιχειακό ενδείκτη .

## 4<sup>ο</sup> ΕΡΓΑΣΤΗΡΙΟ : FLIP-FLOP

### Στόχος

Η αναλυτική μελέτη της λειτουργίας των διαφόρων τύπων flip-flops.

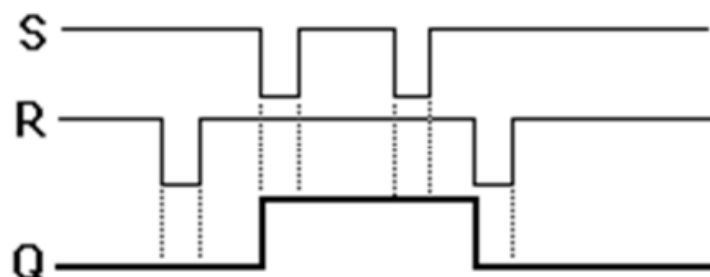
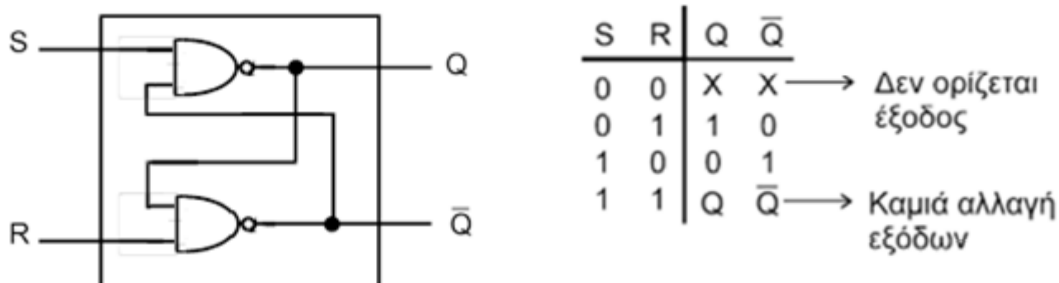
### Απαιτούμενα Υλικά

- Ένα IC 7400 περιέχει 4 πύλες NAND 2 εισόδων
- Ένα IC 7474 περιέχει 2 flip-flops ακμοπυροδότητα τύπου D
- Ένα IC 7476 περιέχει 2 flip-flops τύπου JK
- Ένα IC 74279 περιέχει 4 S-R μανδαλωτές

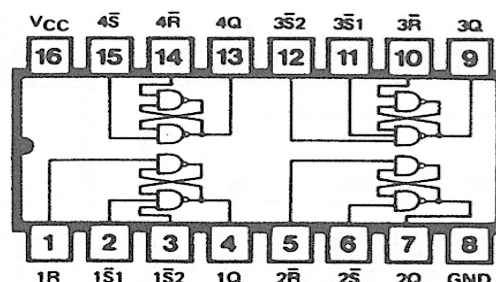
### 1<sup>η</sup> Άσκηση

#### Μανδαλωτής SR

Ο μανδαλωτής SR είναι το βασικό flip-flop, που αποτελείται από δύο αλληλοσυνδεμένες πύλες NAND. Χρησιμοποιήστε το IC 74279 και κατασκευάστε ένα τέτοιο βασικό κύκλωμα flip-flop. Συνδέστε τις δύο εισόδους του σε διακόπτες και την έξοδο του σε ενδεικτική λυχνία. Οι μανδαλωτές 1 και 3 του IC περιέχουν μια επιπλέον είσοδο ενεργοποίησης και μπορούν να χρησιμοποιηθούν ως χρονιζόμενοι μανδαλωτές S-R. Επαληθεύστε τον πίνακα αληθείας του κυκλώματος και συμπληρώστε την κυματομορφή της εξόδου Q στο γράφημα που δίνεται παρακάτω για τις αντίστοιχες εισόδους :



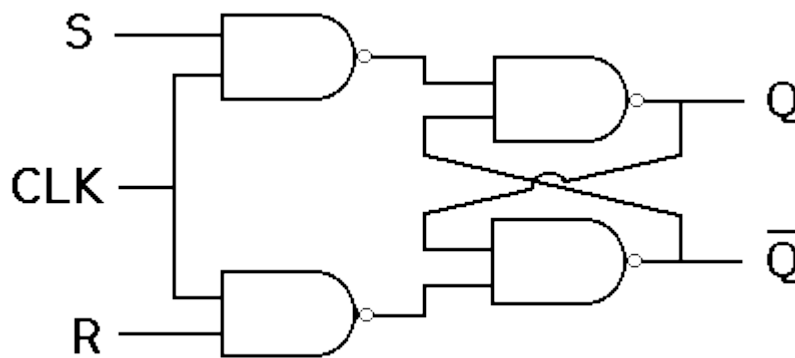
**74279**



**2<sup>η</sup> Άσκηση**

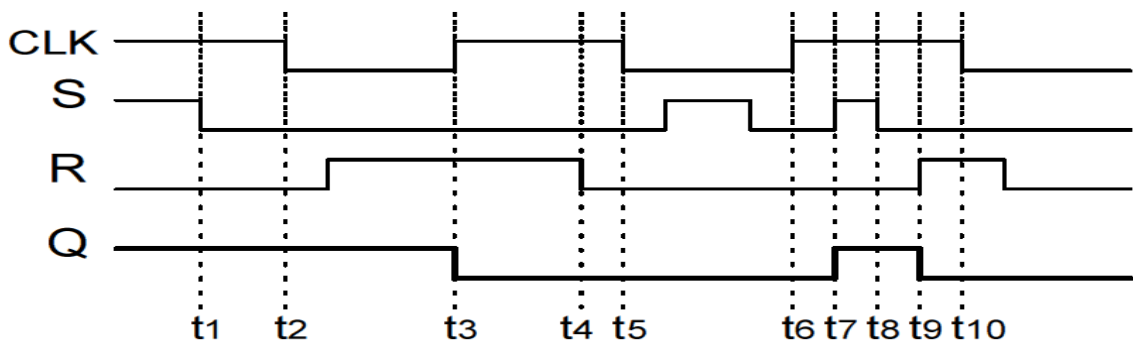
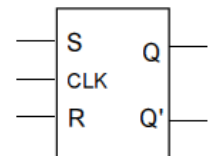
Flip-flop τύπου RS

Κατασκευάστε ένα flip-flop RS με ρολόι, με δύο πύλες NAND και το IC 74279. Συνδέστε τις εισόδους R και S σε δύο διακόπτες και τις εξόδους σε ενδεικτικές λυχνίες. Την είσοδο του ρολογιού συνδέστε την σε διακόπτη, αλλά στην έξοδό του που δίνει παλμό, και όχι σταθερό λογικό 1 ή 0 (οι “αριστερότερες” έξοδοι των διακοπών στην πλακέτα ελέγχου δίνουν παλμό κατά τη μετακίνησή τους από 0 σε 1 και οι “δεξιότερες” σταθερό λογικό 1 ή 0, ανάλογα με τη θέση του διακόπτη). Επαληθεύστε τον χαρακτηριστικό πίνακα του flip-flop και ελέγξτε αν η κυματομορφή της εξόδου Q συμφωνεί με το γράφημα που δίνεται παρακάτω για τις αντίστοιχες εισόδους :



Q <sub>t</sub>	S	R	Q <sub>t+1</sub>
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	απροσδιόριστη
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	απροσδιόριστη

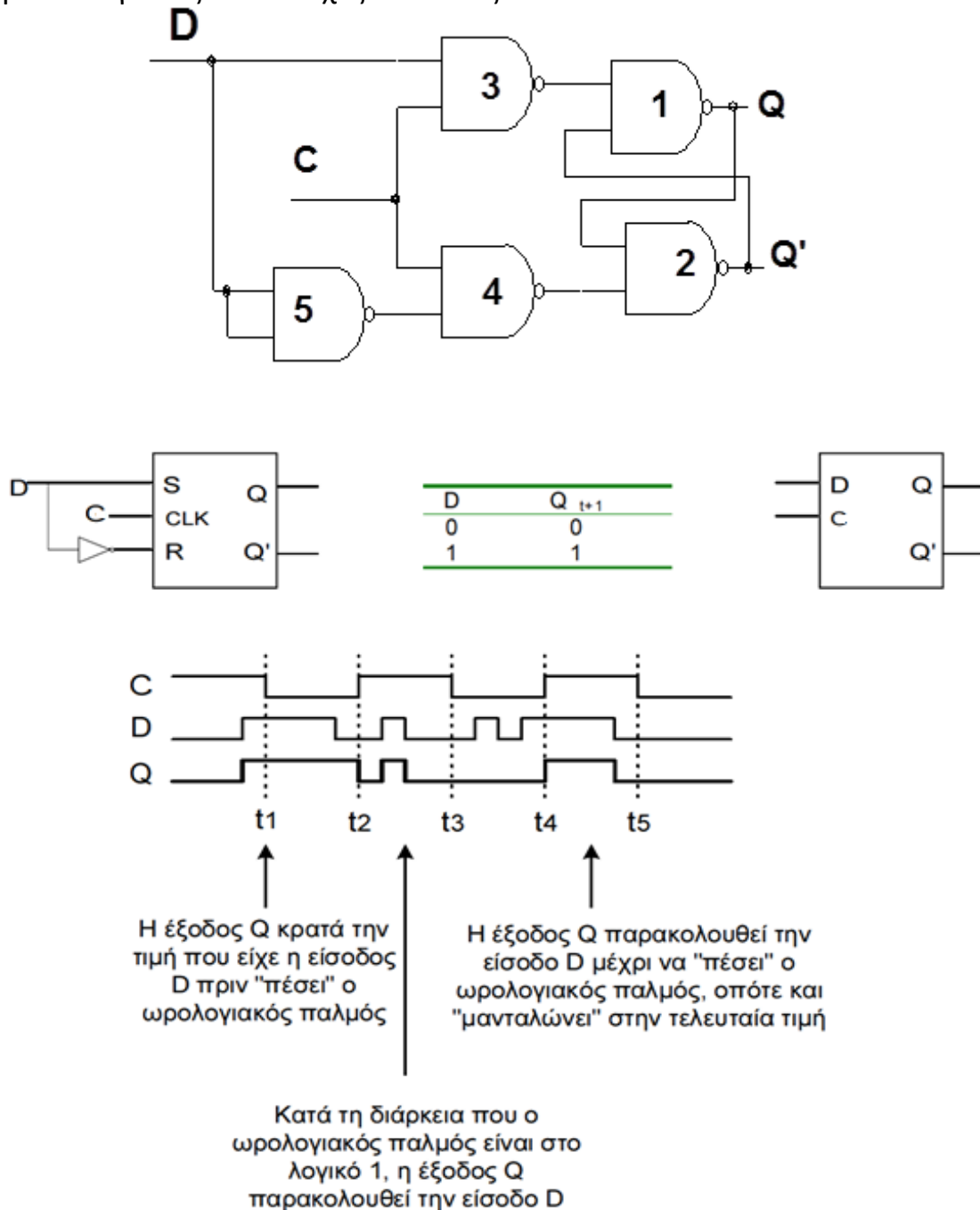
S	R	Q <sub>t+1</sub>
0	0	Q <sub>t</sub>
0	1	0
1	0	1
1	1	απροσδιόριστη



### 3<sup>η</sup> Άσκηση

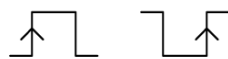
Flip-flop τύπου D

Κατασκευάστε ένα flip-flop τύπου D με ρολόι, χρησιμοποιώντας 3 πύλες NAND και το IC 74279. Αυτό μπορεί να γίνει με μια μικρή μετατροπή του προηγούμενου κυκλώματος όπως φαίνεται στο παρακάτω σχήμα. Επαληθεύστε το πίνακα αληθείας του D flip-flop και ελέγξτε αν η κυματομορφή της εξόδου Q συμφωνεί με το γράφημα που δίνεται παρακάτω για τις αντίστοιχες εισόδους :

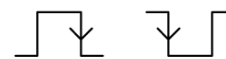


### Ακμοπυροδοτούμενα FFs

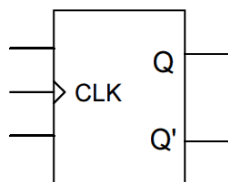
Ακμοπυροδοτούμενα FFs είναι αυτά τα οποία είναι έτσι σχεδιασμένα ώστε να είναι ευαίσθητα κατά την αλλαγή της λογικής στάθμης του ωρολογιακού παλμού. Όταν ο ωρολογιακός παλμός μεταβαίνει από το 0 (LOW) στο 1 (HIGH) τότε λέμε ότι έχουμε μια θετική μετάβαση και τα FFs που είναι ευαίσθητα κατά τη μετάβαση αυτή ονομάζονται θετικά ακμοπυροδοτούμενα FFs (positive edge-triggered FFs). Στην αντίθετη περίπτωση, δηλαδή για μετάβαση από 1 (HIGH) σε 0 (LOW) έχουμε τα αρνητικά ακμοπυροδοτούμενα FFs (negative edge-triggered FFs).



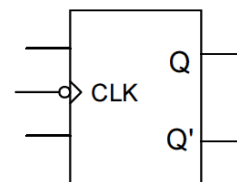
(α)



(β)



(γ)



(δ)

Ακμοπυροδότηση: (α) θετική ακμή παλμού, (β) αρνητική ακμή παλμού, (γ) σύμβολο θετικά ακμοπυροδοτούμενου FF, (δ) σύμβολο αρνητικά ακμοπυρο-δοτούμενου FF

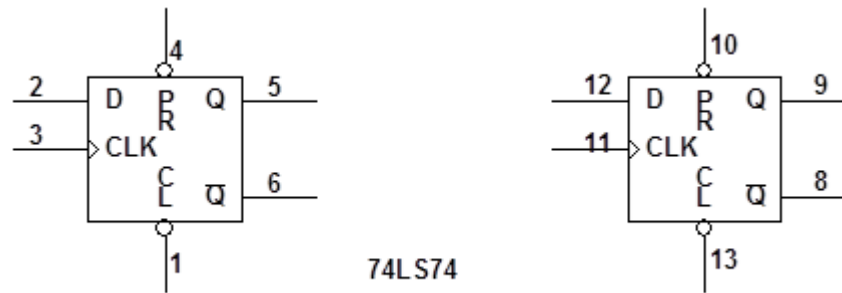
### 4<sup>η</sup> Άσκηση

Ακμοπυροδοτούμενο flip-flop τύπου D

Κατασκευάστε ένα θετικά ακμοπυροδοτούμενο flip-flop τύπου D, χρησιμοποιώντας το IC 7474. Συνδέστε την είσοδο του ρολογιού σ' ένα διακόπτη, την είσοδο D σ' έναν άλλο διακόπτη και την έξοδο Q του flip-flop σε μια ενδεικτική λυχνία. Το PIN 14 είναι η τροφοδοσία το PIN 7 η γείωση και τα PIN 4,1 είναι οι ασύγχρονες εισόδους PRESET και CLEAR που ενεργοποιούνται με λογικό 1.

Κάντε το D να ισούται με το συμπλήρωμα το Q και εφαρμόστε παλμό στην είσοδο του ρολογιού. Δείξτε ότι η έξοδος του flip-flop αλλάζει μόνο όταν εμφανίζεται η αρνητική ακμή του παλμού του ρολογιού. Βεβαιωθείτε ότι η έξοδος δεν αλλάζει όταν το ρολόι είναι στο λογικό 1 ή στο λογικό 0 ή όταν αλλάζει στην θετική κατεύθυνση. Συνεχίστε να αλλάζετε την είσοδο D έτσι που να ισούται συνεχώς με το συμπλήρωμα της εξόδου Q.

## Πίνακας Λειτουργίας &amp; Διάταξη ακροδεκτών για το IC 7474



## ΕΙΣΟΔΟΙ 7474

## ΕΞΟΔΟΙ

Preset	Clear	CLK	D	Q	$\bar{Q}$
0	1	X	X	1	0
1	0	X	X	0	1
0	0	X	X	1	1
1	1	L TO H	0	0	1
1	1	L TO H	1	1	0
1	1	0	X	Q	$\bar{Q}$

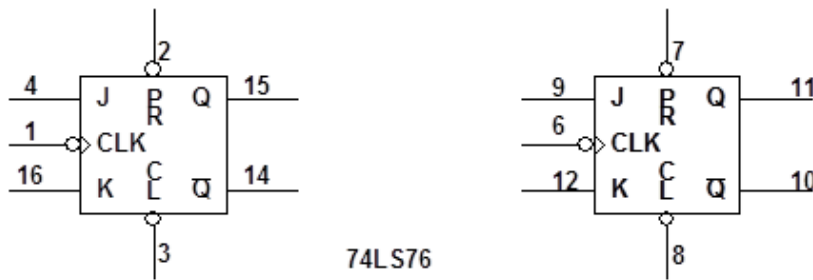
**5<sup>η</sup> Άσκηση**

## JK Flip-Flop

Το IC 7476 περιέχει δύο flip-flop τύπου JK, με εισόδους clear (μηδενισμού) και preset. Το παρακάτω σχήμα δίνει τη θέση των ακροδεκτών. Στον πίνακα λειτουργίας τους, οι τρεις πρώτες γραμμές δείχνουν πως λειτουργούν οι ασύγχρονες εισόδοι preset και clear. Αυτές είναι ανεξάρτητες από το ρολόι τα J και K, και συμπεριφέρονται σαν το μανδαλωτή SR (τα X στον πίνακα δείχνουν αδιάφορες συνθήκες). Οι τέσσερις τελευταίες γραμμές του πίνακα περιγράφουν τη λειτουργία με ρολόι – όταν οι εισόδοι preset και clear κρατούνται και οι δύο στο λογικό 1. Σαν τιμή του ρολογιού δείχνεται ένας παλμός. Στη θετική ακμή του παλμού αλλάζει το πρώτο flip-flop τον και στην αρνητική το δεύτερο, καθώς και η έξοδος του IC. Όταν J=K=0, η έξοδος δεν αλλάζει, όταν J=K=1, η κατάσταση του flip-flop αντιστρέφεται, κ.λ.π.

Δοκιμάστε τη λειτουργία ενός απ' τα δύο flip-flops ενός 7476 και δείτε αν ακολουθεί όντως τον πίνακα λειτουργίας. Τέλος ελέγξτε αν η κυματομορφή της εξόδου Q συμφωνεί με το γράφημα που δίνεται παρακάτω για τις αντίστοιχες εισόδους

Πίνακας Λειτουργίας & Διάταξη ακροδεκτών για το IC 7476

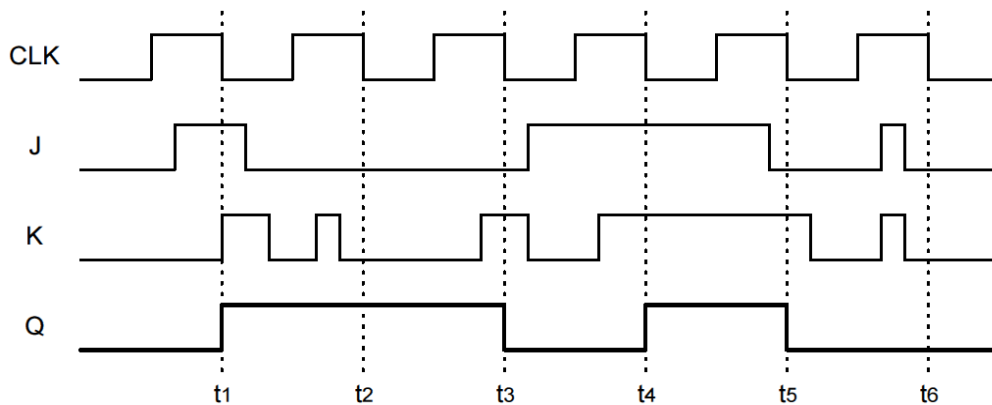


**ΕΙΣΟΔΟΙ**

**7476**

**ΕΞΟΔΟΙ**

Preset	Clear	CLK	J	K	Q	$\bar{Q}$
0	1	X	X	X	1	0
1	0	X	X	X	0	1
0	0	X	X	X	1	1
1	1	H TO L	0	0	Q	$\bar{Q}$
1	1	H TO L	0	1	0	1
1	1	H TO L	1	0	1	0
1	1	H TO L	1	1	$\bar{Q}$	Q

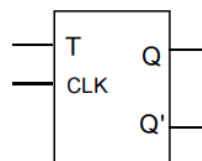


**6<sup>η</sup> Άσκηση**

**T Flip-Flop**

Πρόκειται για μια παραλλαγή του JK Flip-flop που υλοποιήθηκε στην προηγούμενη άσκηση. Προκύπτει άμεσα από το JK FF συνδέοντας μαζί (βραχυκυκλώνοντας) τις δύο εισόδους του J και K. Ο πίνακας αλήθειας και το σχηματικό σύμβολο ενός T Flip-flop δίνεται παρακάτω. Ελέγξτε τη λειτουργία ενός T Flip-flop χρησιμοποιώντας το IC 7476

T	$Q_{t+1}$
0	$Q_t$
1	$Q'_t$



## 5<sup>ο</sup> ΕΡΓΑΣΤΗΡΙΟ : ΣΥΓΧΡΟΝΑ/ΑΣΥΓΧΡΟΝΑ ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ ΜΕΤΡΗΤΕΣ UP/DOWN-ΚΑΤΑΧΩΡΗΤΕΣ

### Στόχος

- Η ανάλυση της σχεδίασης και κατασκευής των ασύγχρονων (χωρίς κοινό ρολόι) ακολουθιακών κυκλωμάτων.
- Η ανάλυση της σχεδίασης και κατασκευής των σύγχρονων (με κοινή χρήση ρολογιού) ακολουθιακών κυκλωμάτων.
- Η ανάλυση της λειτουργίας των καταχωρητών ολίσθησης.
- Η μελέτη της σχέσης μεταξύ ενός ακολουθιακού κυκλώματος και του διαγράμματος καταστάσεων που αυτό ακολουθεί, μέσω της σχεδίασης του πρώτου με βάση το δεύτερο.

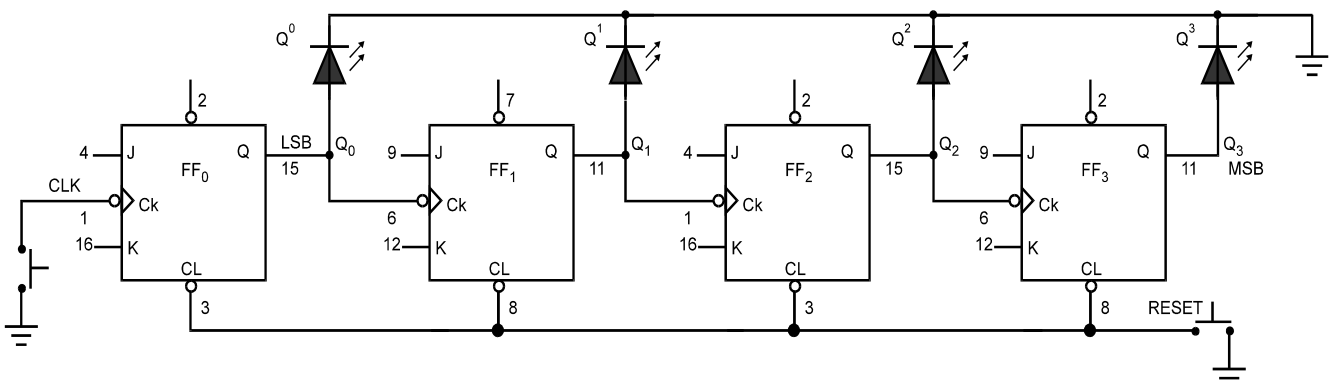
### Απαιτούμενα Υλικά

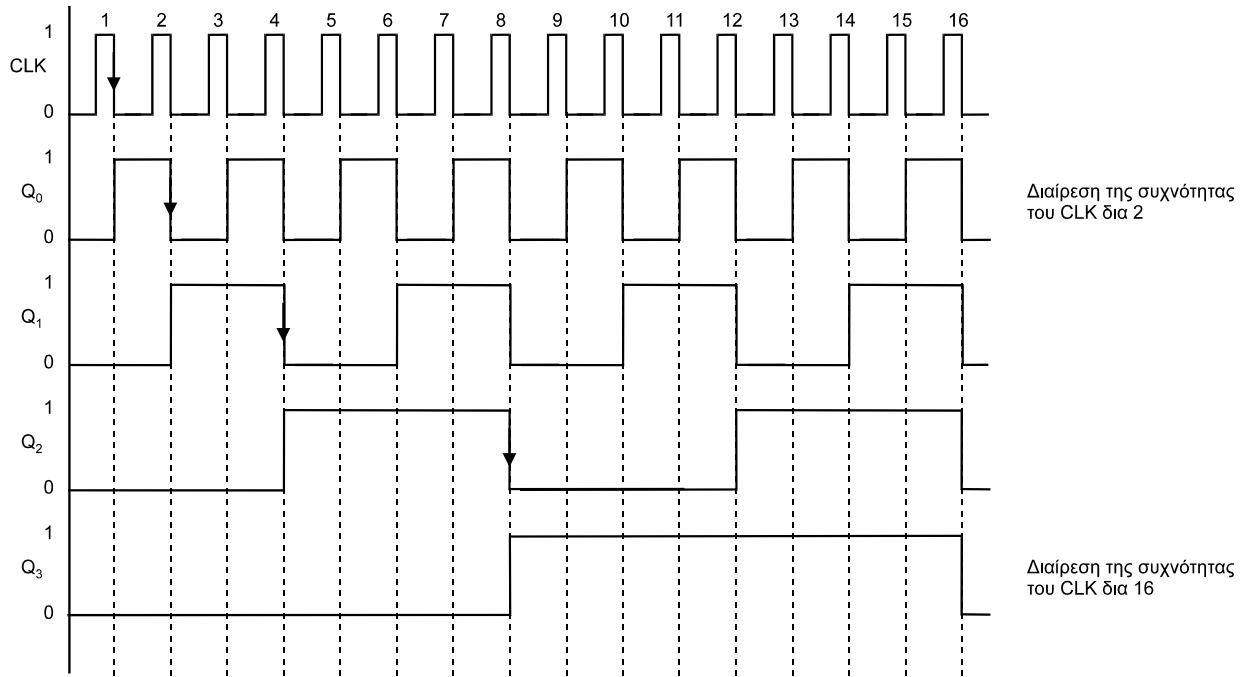
- Εκπαιδευτική Πλακέτα Ψηφιακών Κυκλωμάτων
- Δύο IC 7476 – με 2 flip-flops τύπου JK
- Οποιαδήποτε άλλα ICs χρειαστούν θα είναι διαθέσιμα

### 1<sup>η</sup> Άσκηση

Μετρητής Πάνω με επίτρεψη

- Υλοποιήστε ένα τετράμπιτο μετρητή που να μετράει προς τα πάνω χρησιμοποιώντας 4 FF (Mod 16) στην εκπαιδευτική πλακέτα Ψηφιακών Κυκλωμάτων.
- Ο μετρητής αυτός μετρά μέχρι  $2^4 = 16$  παλμούς Clock.
- Συνδέστε το κύκλωμα και ελέγξτε την καλή λειτουργία του με βάση το γράφημα που δίνεται παρακάτω :





Μέτρηση:

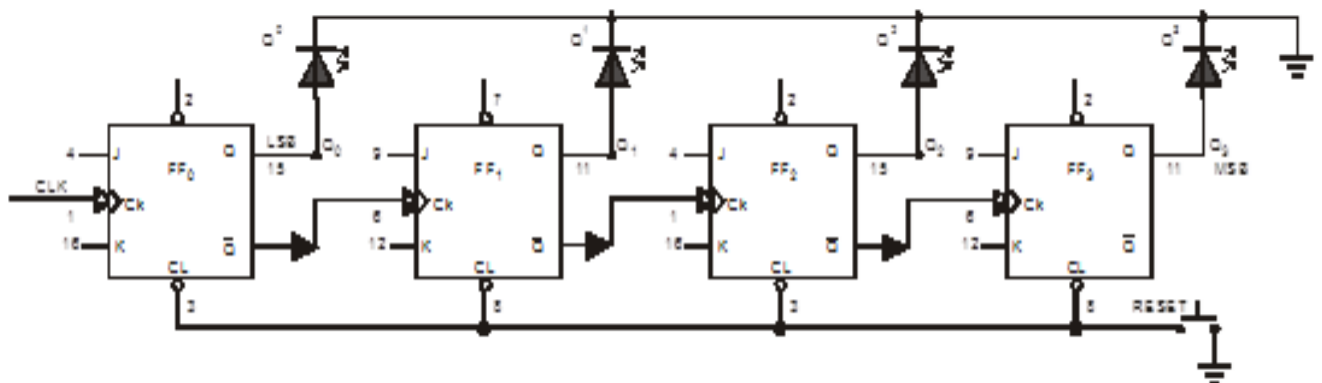
0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	LSB
0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	
0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	
0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	MSB

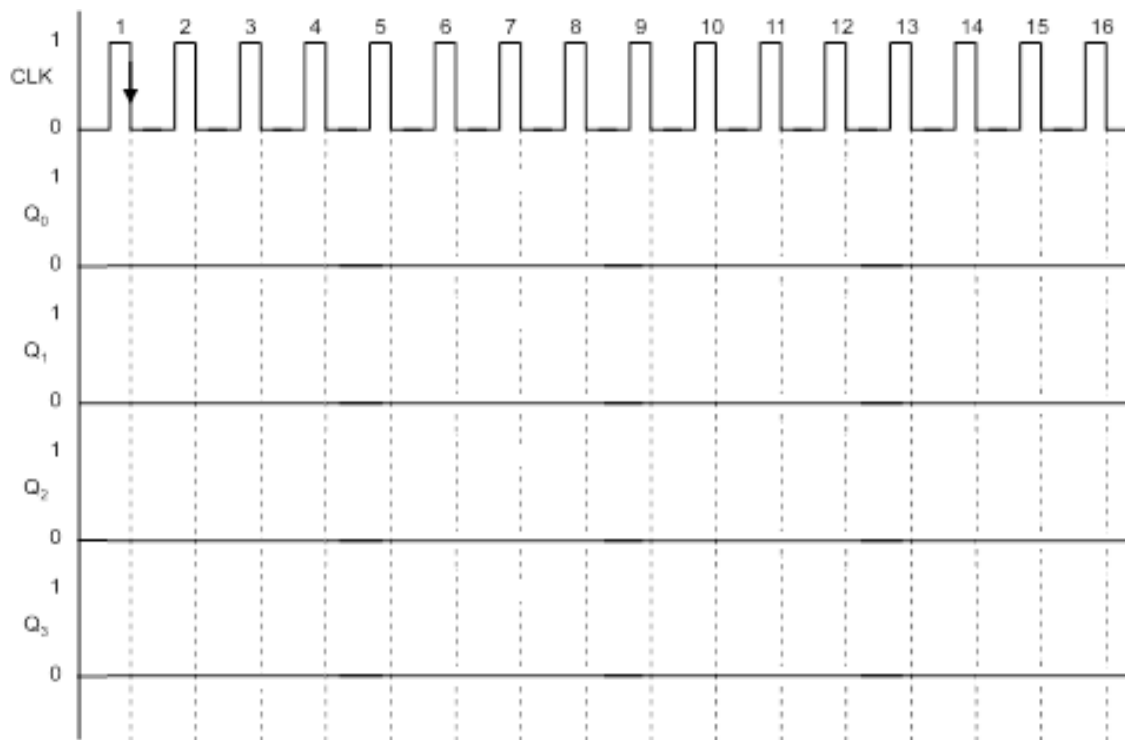
Για καλύτερη απεικόνιση των αποτελεσμάτων συνδέστε τις εξόδους του κυκλώματος στην οθόνη επτά στοιχείων της πλακέτας.

**2<sup>η</sup> Άσκηση**

Μετρητής Κάτω με επίτρεψη

Συνδέστε το παρακάτω κύκλωμα που αποτελεί έναν τετράμπιτο DOWN μετρητή (Mod 16) και επαληθεύστε την καλή λειτουργία του συμπληρώνοντας το γράφημα που δίνεται παρακάτω :

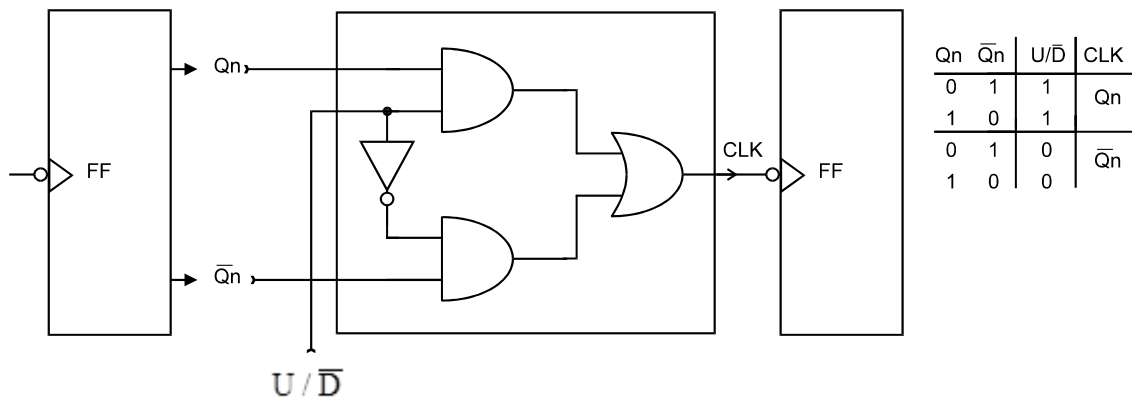




Για καλύτερη απεικόνιση των αποτελεσμάτων συνδέστε τις εξόδους του κυκλώματος στην οθόνη επτά στοιχείων της πλακέτας.

**3<sup>η</sup> Άσκηση**

Σήμερα υπάρχουν ασύγχρονοι μετρητές σε IC με είσοδο ελέγχου  $U/\bar{D}$  που επιτρέπει τη λειτουργία τους με αύξουσα ή φθίνουσα μέτρηση. Η είσοδος αυτή οδηγεί ένα συνδυαστικό κύκλωμα πυλών που βρίσκεται μεταξύ όλων των FF του μετρητή. Το κύκλωμα αυτό φαίνεται παρακάτω :



Έτσι με την είσοδο  $U/\bar{D}=1$  το CLK ακολουθεί το ρυθμό του  $Q_n$  ενώ με  $U/\bar{D}=0$  ακολουθεί το ρυθμό του  $\bar{Q}_n$ . Η είσοδος δηλαδή  $U/\bar{D}$  καθορίζει τον τρόπο μέτρησης.

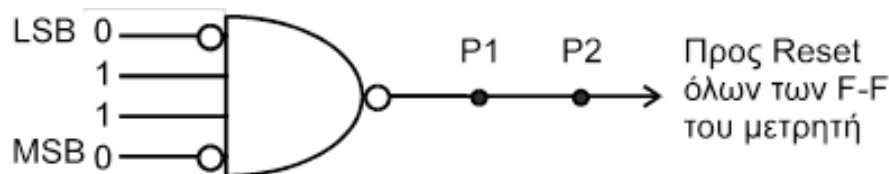
Συνδέστε το παραπάνω συνδυαστικό κύκλωμα στις εξόδους 2 Flip-flop και επαληθεύστε τη λειτουργία του δίμπιτου UP-DOWN μετρητή.

#### 4<sup>η</sup> Άσκηση

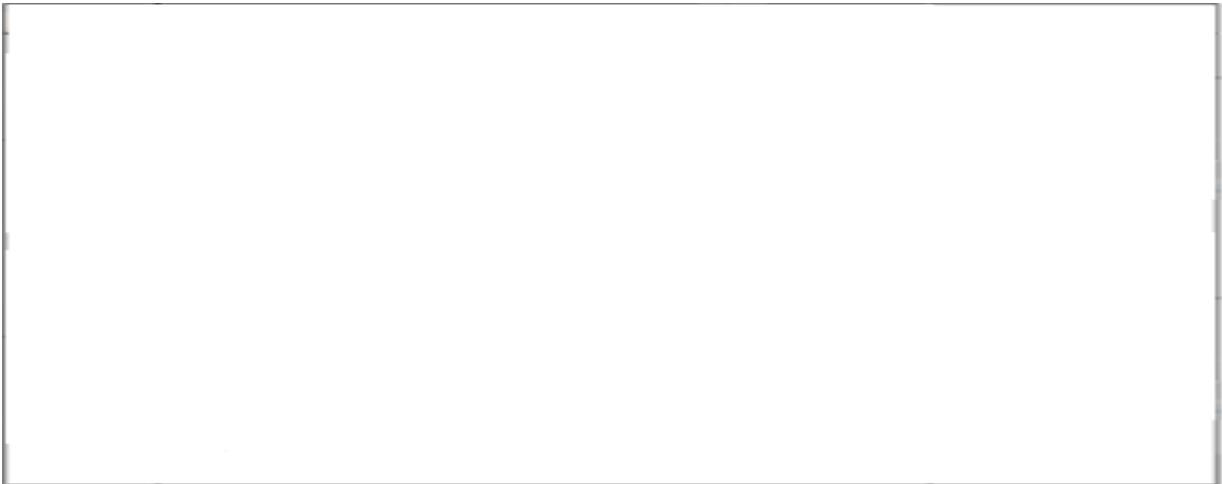
##### Αλλαγή Μέτρησης

Το MOD του μετρητή μπορεί να αλλάξει με τη μέθοδο Direct Clearing. Με τη μέθοδο αυτή ένα προσθετό λογικό κύκλωμα παίρνει την τελευταία επιθυμητή κατάσταση και δίνει εντολή στην είσοδο Reset κάθε ενός FF, οπότε ο μετρητής μηδενίζεται και ξαναρχίζει τη μέτρηση.

Για παράδειγμα σε ένα μετρητή όπως αυτός της Άσκησης 1 το πρόσθετο κύκλωμα θα μπορούσε να έχει την απλή μορφή του παρακάτω σχήματος για να μετατρέψει το μετρητή σε MOD 6.



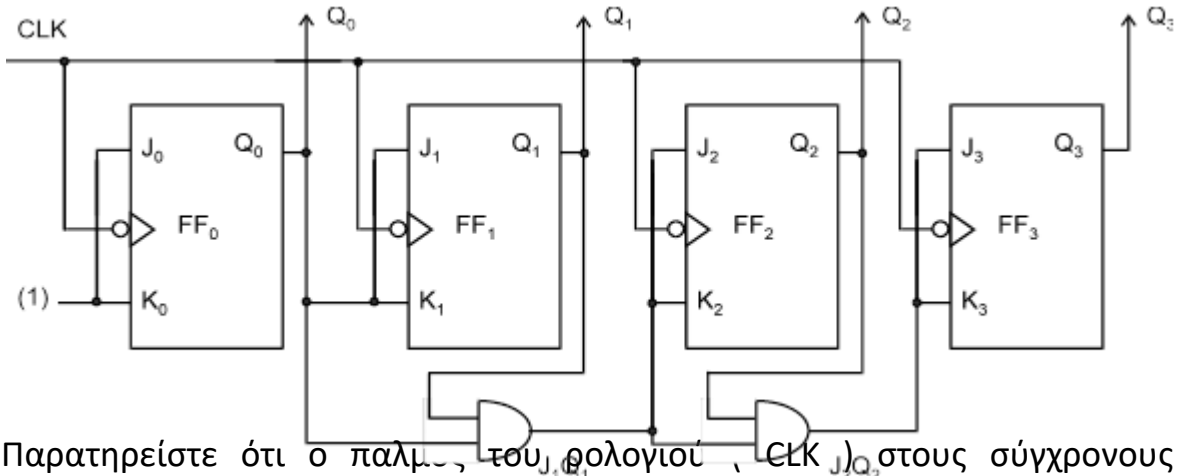
Προσθέστε το κατάλληλο κύκλωμα στον μετρητή της Άσκησης 1, ώστε να δημιουργήσετε ένα μετρητή UP MOD 10 (δηλαδή μετράει από 0-9) και επαληθεύστε τη λειτουργία του.



**5<sup>η</sup> Άσκηση**

Σύγχρονος Δυαδικός Μετρητής Πάνω

Υλοποιείτε ένα τετράμπιτο σύγχρονο μετρητή που να μετράει προς τα πάνω χρησιμοποιώντας 4 FF (Mod 16) όπως το παρακάτω σχήμα.



Παρατηρείστε ότι ο παλμός του ρολογιού (CLK) στους σύγχρονους μετρητές εφαρμόζεται ταυτόχρονα σε όλα τα FF που αλλάζουν κατάσταση ταυτόχρονα.

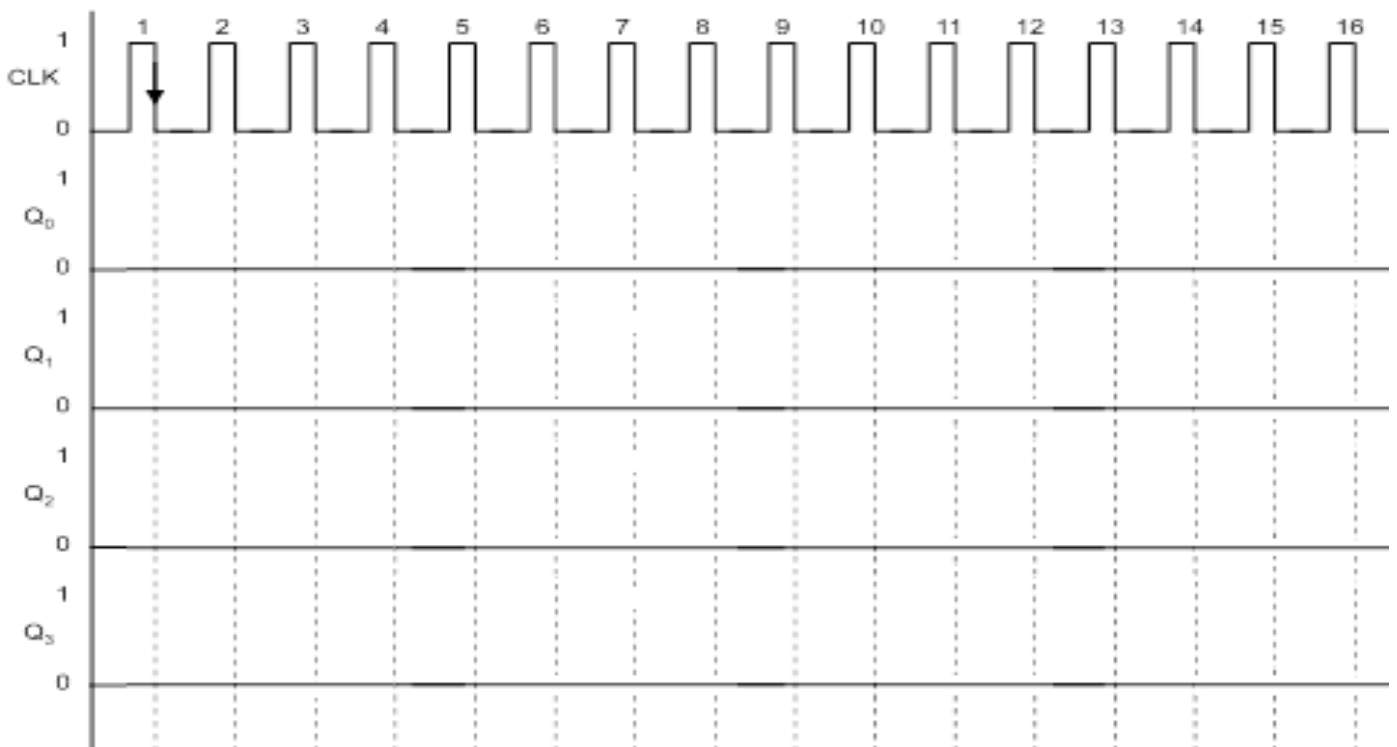
Το Q<sub>0</sub> του 1ου FF με J<sub>0</sub> = K<sub>0</sub> = 1 αλλάζει κατάσταση σε κάθε παλμό του Clock .

Το Q<sub>1</sub> αλλάζει κατάσταση όταν το Q<sub>0</sub> = 1 και έρχεται CLK

Το Q<sub>2</sub> >> >> >> Q<sub>0</sub> = Q<sub>1</sub> = 1 >> >> .

Το Q<sub>3</sub> >> >> >> Q<sub>0</sub> = Q<sub>1</sub> = Q<sub>2</sub> = 1 >> >> .

Καταγράψτε στην παρακάτω κυματομορφή την έξοδο των FF και επαληθεύστε τη λειτουργία του μετρητή.



**6<sup>η</sup> Άσκηση**

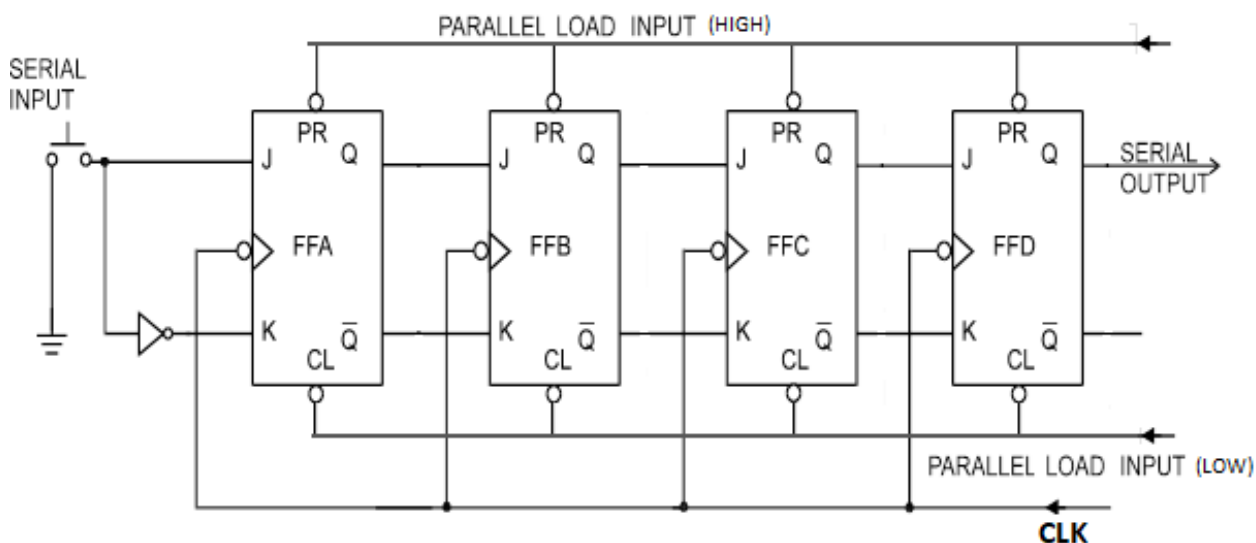
Ολοκληρωμένος καταχωρητής ολίσθησης

Οι καταχωρητές είναι βαθμίδες αποθήκευσης πληροφοριών ή βαθμίδες μνήμης και κατασκευάζονται από Flip –Flops όπως και οι μετρητές.

Ο καταχωρητής ολίσθησης, ( Shift Register ) έχει το πλεονέκτημα , ότι η πληροφορία που περιέχει μπορεί να ολισθήσει μια θέση δεξιά ή αριστερά ή όσες θέσεις θέλουμε ή ακόμα και να περιστραφεί κυκλικά . Η είσοδος στον καταχωρητή μπορεί να είναι σειριακή ή παράλληλη . Με σειριακή είσοδο δεδομένων τα bit εισάγονται μέσα ( φορτώνονται ) το ένα μετά το άλλο μέχρι να γεμίσει ο καταχωρητής . Με παράλληλη είσοδο φορτώνονται όλα μαζί την ίδια χρονική στιγμή .

Το περιεχόμενο του καταχωρητή μπορεί να βγει έξω σειριακά ( ένα – ένα bit ) ή όλα μαζί τα bits παράλληλα από τις εισόδους των FF .

Υλοποιείστε τον σειριακό καταχωρητή ολίσθησης που φαίνεται στο παρακάτω σχήμα. Οι έξοδοι Q<sub>A</sub>, Q<sub>B</sub>, Q<sub>C</sub> και Q<sub>D</sub> να συνδεθούν σε LED ενώ δώστε στην είσοδο σειριακή είσοδο και καταγράψτε την έξοδο μετά από τους κατάλληλους παλμούς του ρολογιού σύμφωνα με τον παρακάτω πίνακα.



Είσοδοι					Έξοδοι			
A	B	C	D	Clk	Q <sub>A</sub>	Q <sub>B</sub>	Q <sub>C</sub>	Q <sub>D</sub>
0	0	0	0	↓				
0	0	0	1	↓				
0	0	1	1	↓				
1	1	0	0	↓				
1	1	1	1	↓				

Χρησιμοποιείτε τις ασύγχρονες εισόδους PRESET για να δώσετε τις παραπάνω εισόδους παράλληλα και επαληθεύστε τη λειτουργία του ολισθητή δίνοντας ως σειριακή είσοδο λογικό 0.

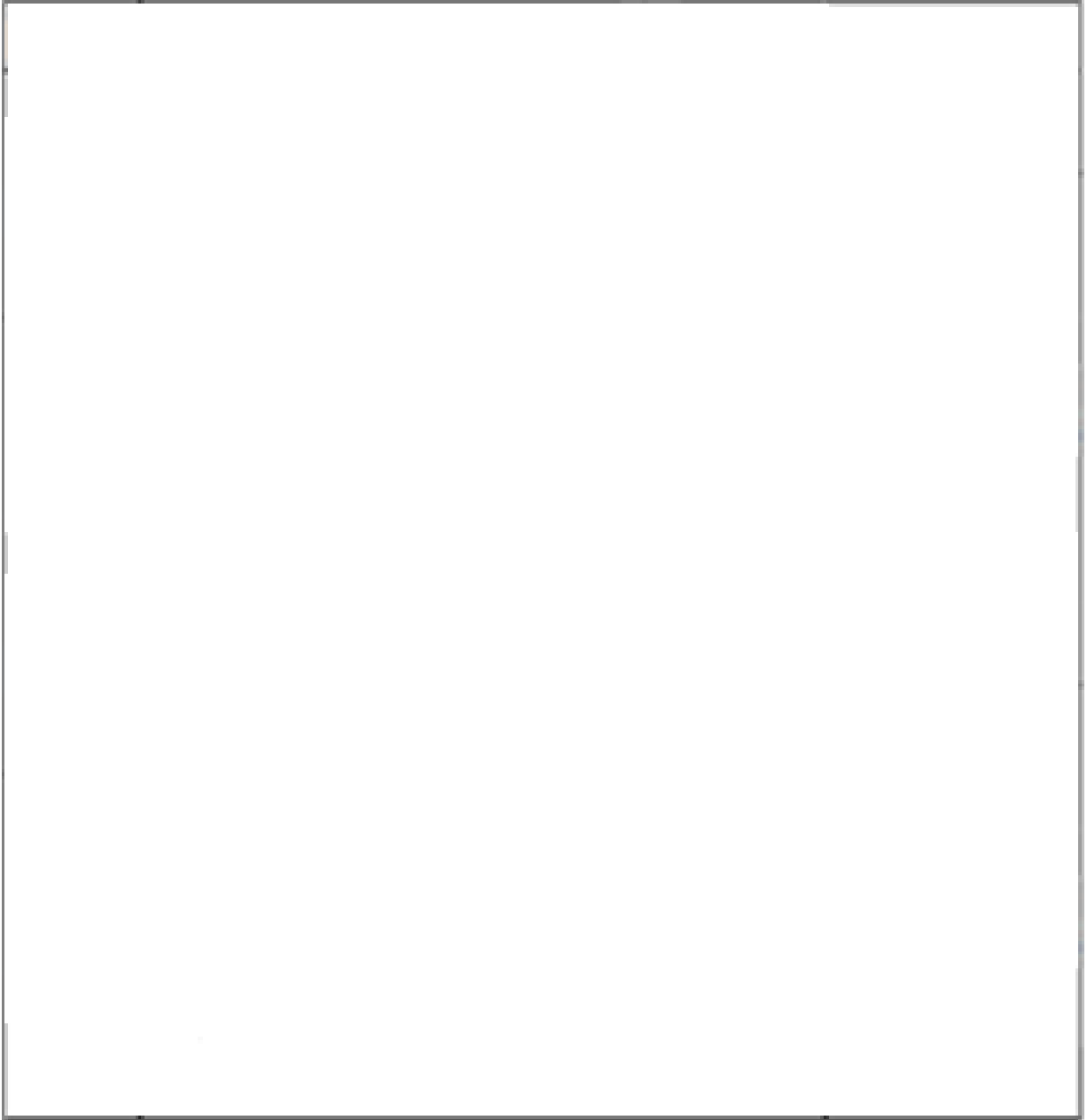
### **7<sup>η</sup> Άσκηση**

Μετρητής δακτυλίου

1. Ένας μετρητής δακτυλίου είναι ένας κυκλικός καταχωρητής ολίσθησης όπου το σήμα από τη σειριακή έξοδο ( $Q_D$  εδώ) ξαναμπαίνει στη σειριακή είσοδο. Χρησιμοποιείτε τη λειτουργία φόρτωσης για να δώσετε στο μετρητή την αρχική τιμή 1000.

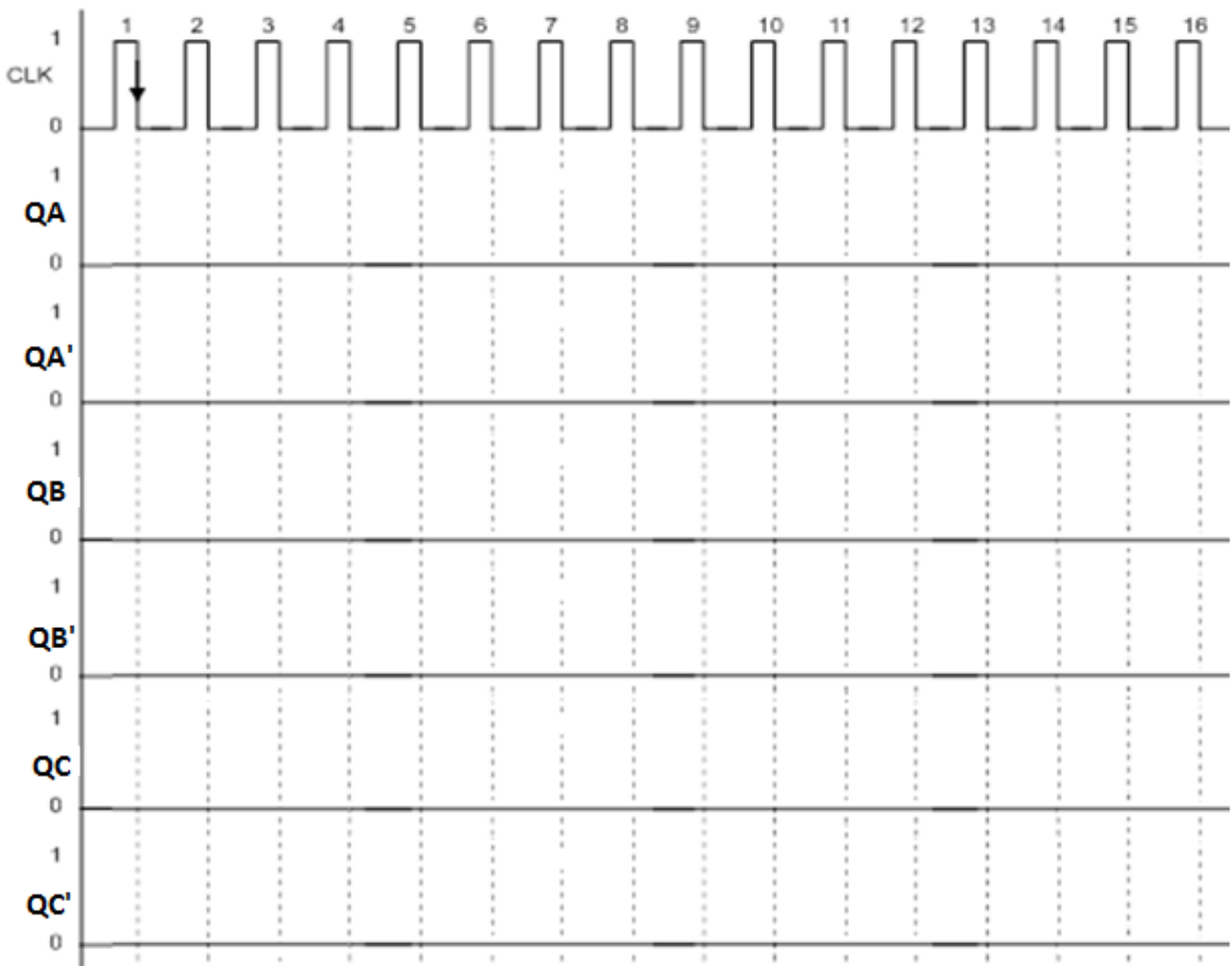
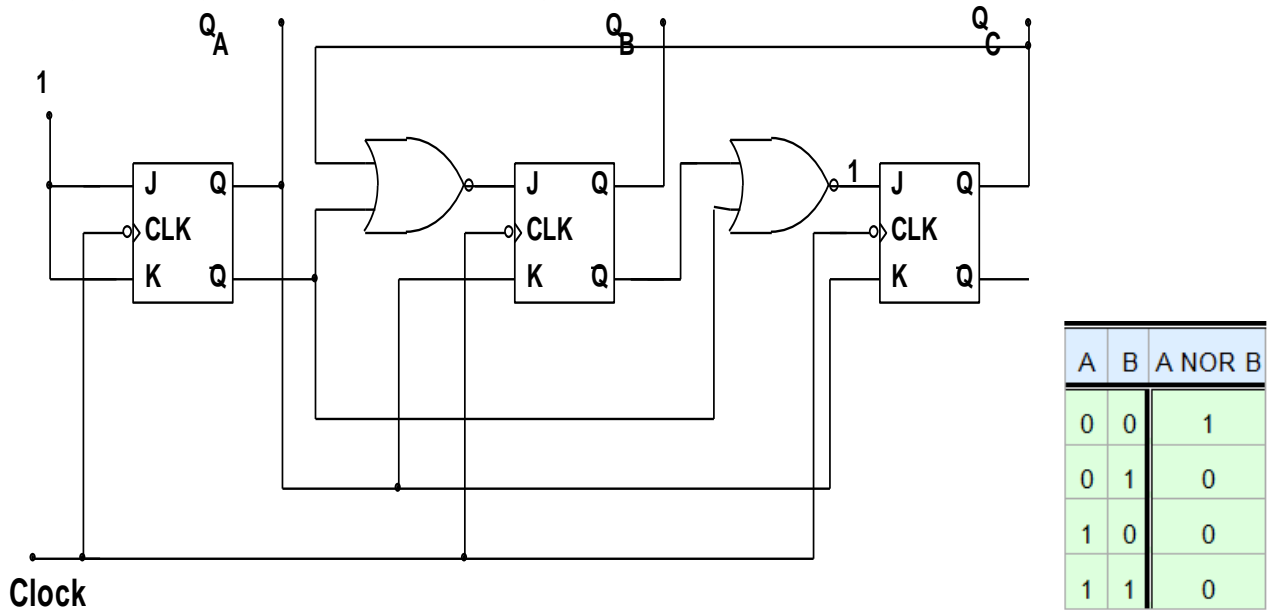
Μετά, αρχίστε να δίνετε παλμούς ρολογιού, ούτως ώστε το ένα αυτό bit που είναι “αναμμένο” να αρχίσει να κυκλοφορεί μέσα στο δακτύλιο, ενώ θα παρακολουθείτε την κατάσταση του καταχωρητή με τέσσερις ενδεικτικές λυχνίες.

2. Ένας μετρητής δακτυλίου με αντιστροφή ουράς είναι όπως ο παραπάνω, μόνο που χρησιμοποιεί το συμπλήρωμα της σειριακής εξόδου ( $Q_D'$  εδώ) για να τροφοδοτήσει τη σειριακή είσοδο. Φτιάξτε έναν τέτοιο μετρητή, μηδενίστε τον, προβλέψτε την ακολουθία καταστάσεων από την οποία θα περάσει και μετά εφαρμόστε τους παλμούς ρολογιού και επαληθεύστε την πρόβλεψή σας παρακολουθώντας την κατάστασή του.



**8<sup>η</sup> Άσκηση**

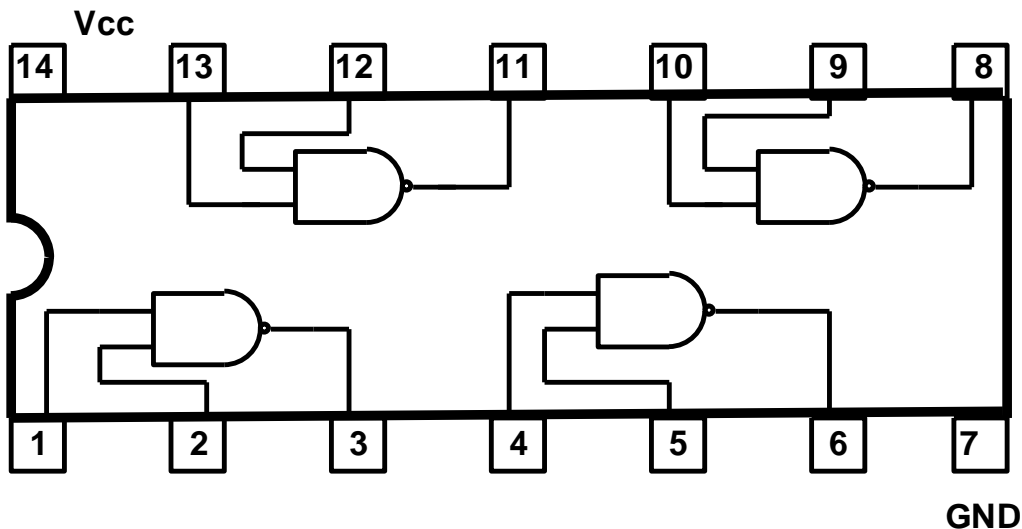
Βρείτε την ακολουθία καταστάσεων που περνάει ξεκινώντας από την  $Q_A=Q_B=Q_C=Q_D=0$  όταν το συνδέσουμε στο ρολόι. Σχεδιάστε για κάθε παλμό το σήμα στην έξοδο κάθε flip-flop.



## PIN OUT των βασικών ICs διαθέσιμων στο εργαστήριο

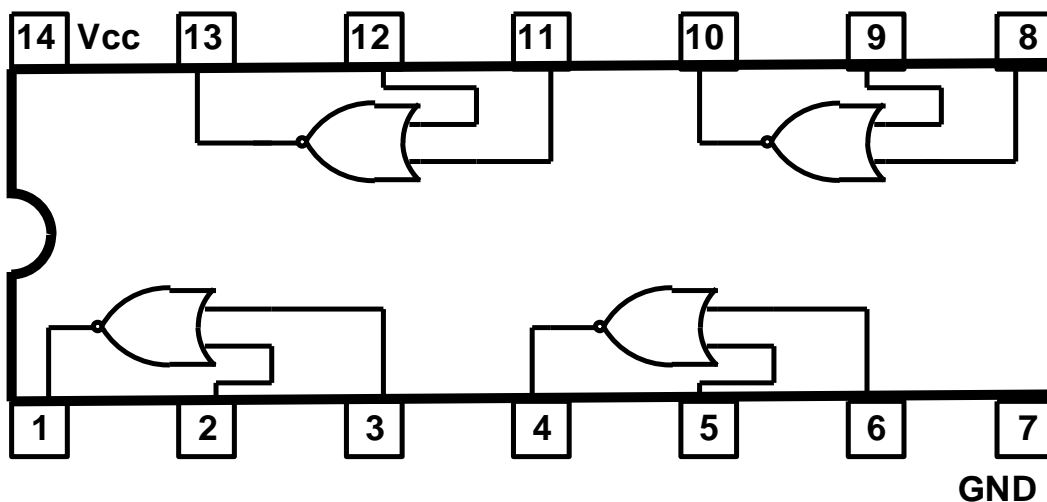
### 7400 TTL

Ένα από τα περισσότερο γνωστά IC TTL το 7400. Περιέχει τέσσερις πύλες των δύο εισόδων η κάθε μία οι οποίες υλοποιούν την λογική πράξη NAND. Το διάγραμμα εισόδων και εξόδων των τεσσάρων πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση. Το όλο διάγραμμα ονομάζεται "pin out".



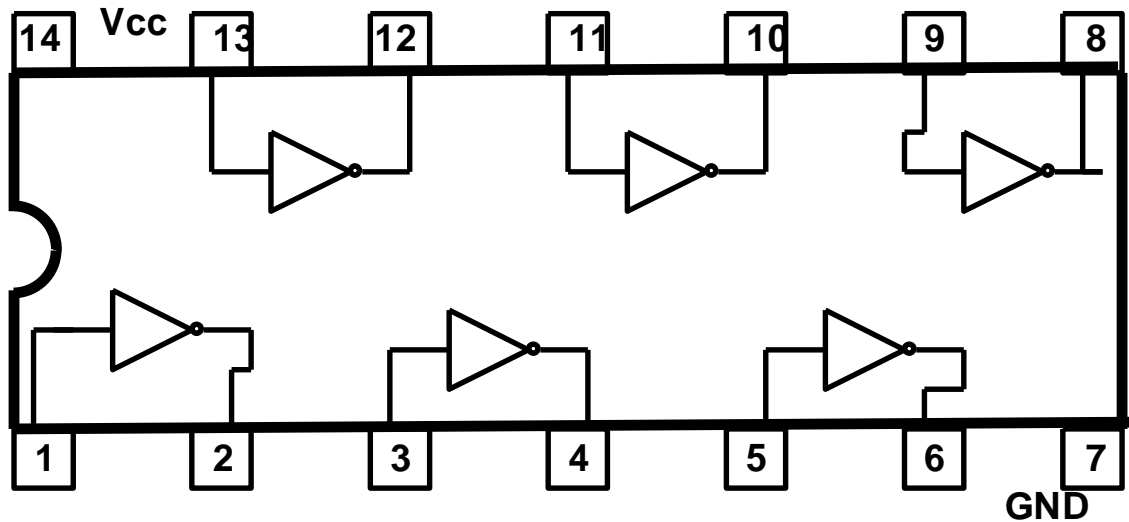
### 7402 TTL

Ένα IC TTL το 7402. Περιέχει τέσσερις πύλες των εισόδων η κάθε μία οι οποίες υλοποιούν την λογική πράξη NOR. Το διάγραμμα εισόδων και εξόδων των τεσσάρων πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

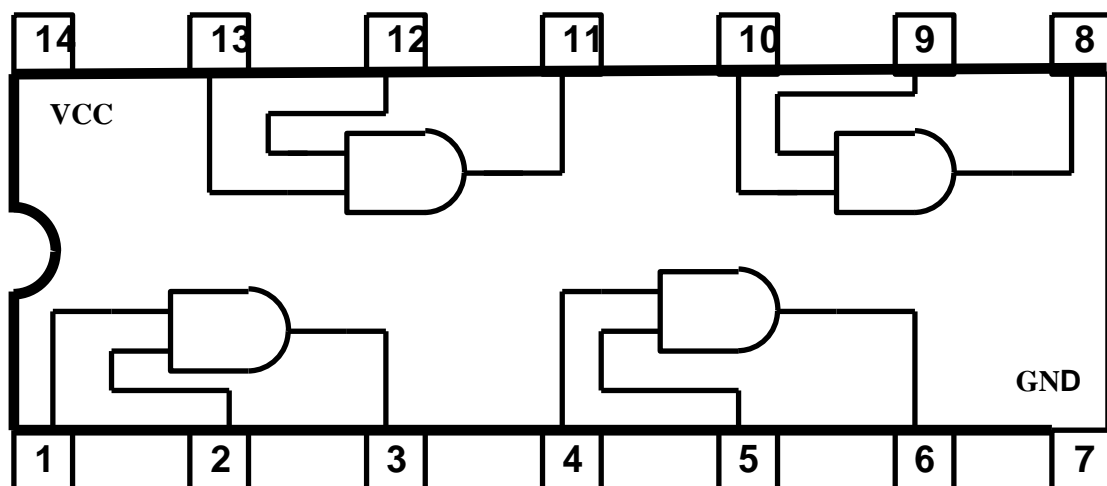


**7404 TTL**

IC TTL το 7402. Περιέχει έξη αντιστροφείς οι οποίοι υλοποιούν την λογική πράξη NOT. Το διάγραμμα εισόδων και εξόδων των έξη λογικών πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

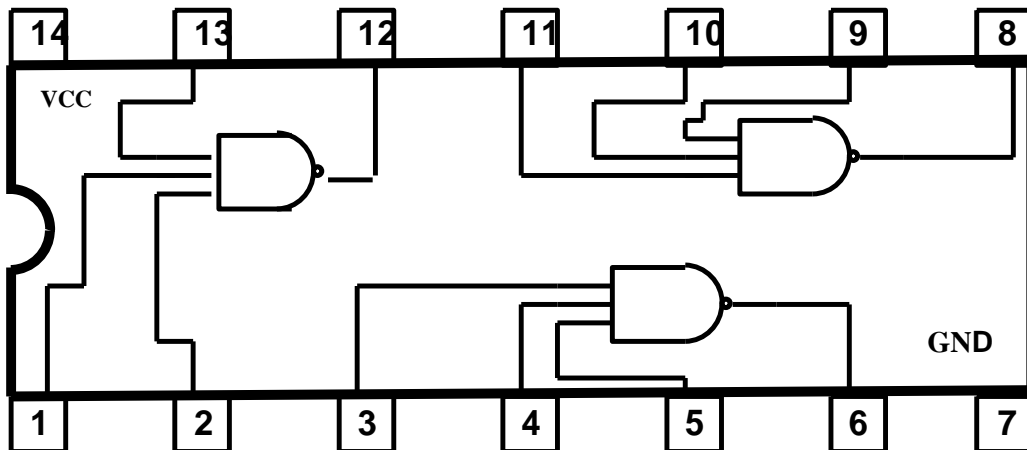
**7408 TTL**

Ένα IC TTL το 7408. Περιέχει τέσσερις πύλες των δύο εισόδων η κάθε μία οι οποίες υλοποιούν την λογική πράξη AND. Το διάγραμμα εισόδων και εξόδων των τεσσάρων πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

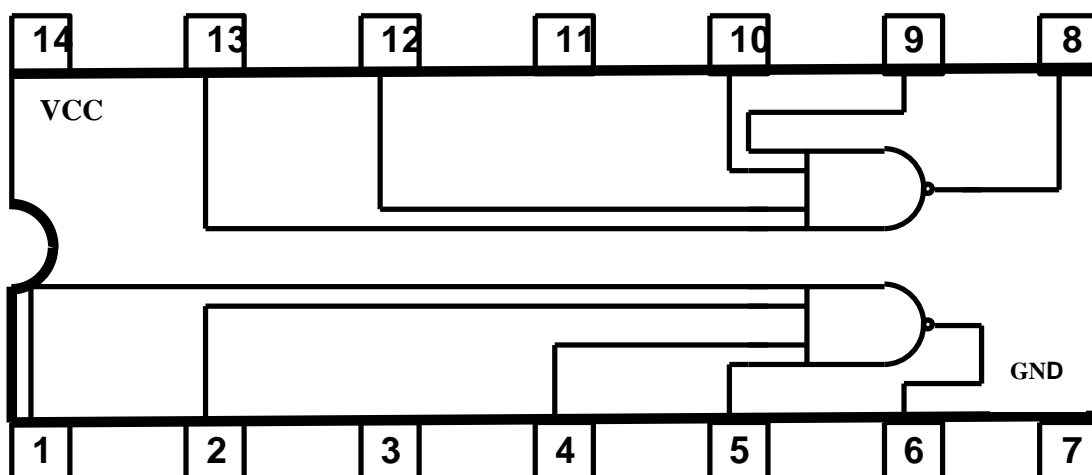


**7410 TTL**

Ένα από τα περισσότερο γνωστά IC TTL το 7410. Περιέχει τρεις πύλες των τριών εισόδων η κάθε μία οι οποίες υλοποιούν την λογική πράξη NAND. Το διάγραμμα εισόδων και εξόδων των τριών πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

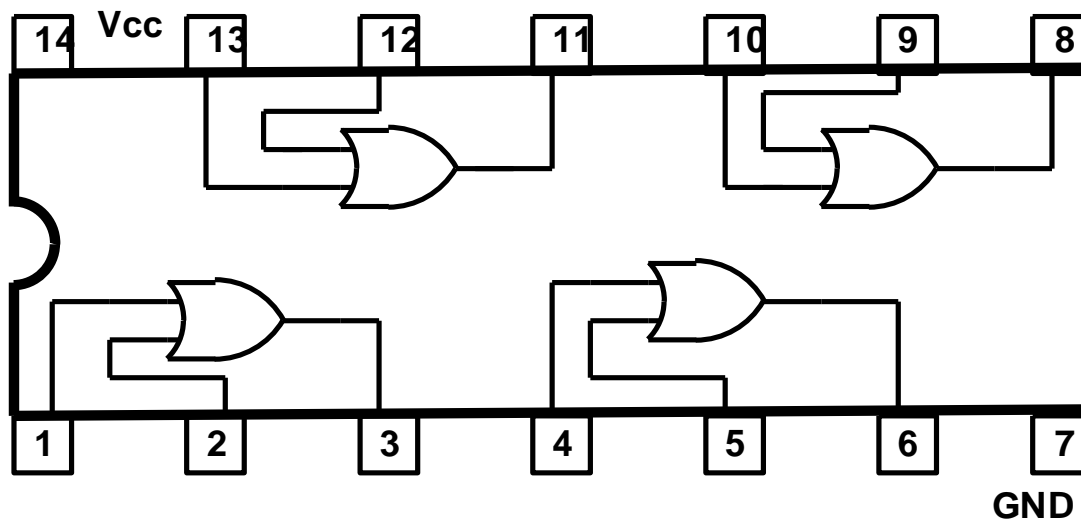
**7420 TTL**

Ένα γνωστό IC TTL το 7420. Περιέχει δύο πύλες των τεσσάρων εισόδων η κάθε μία οι οποίες υλοποιούν την λογική πράξη NAND. Το διάγραμμα εισόδων και εξόδων των τριών πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

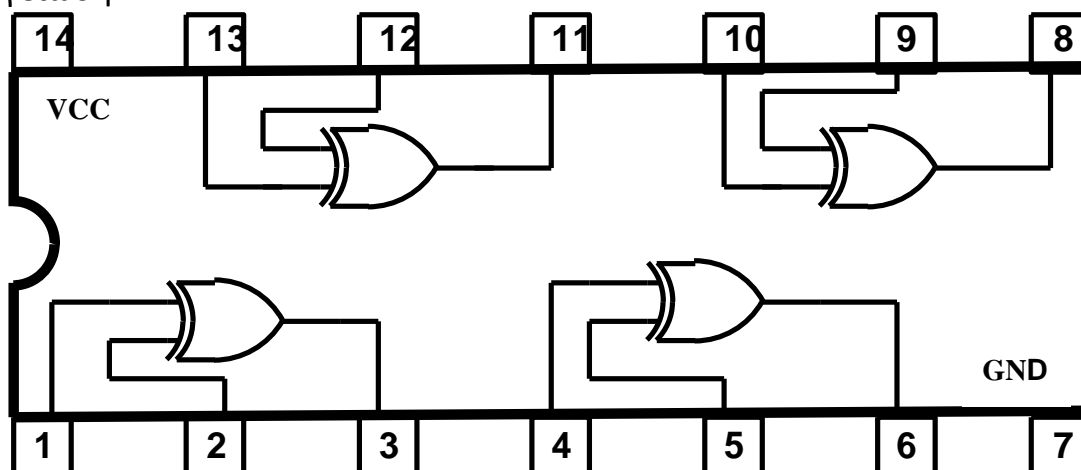


**7432 TTL**

IC TTL το 7432. Περιέχει τέσσερις πύλες των δύο εισόδων η κάθε μία οι οποίες υλοποιούν την λογική πράξη OR. Το διάγραμμα εισόδων και εξόδων των τεσσάρων πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

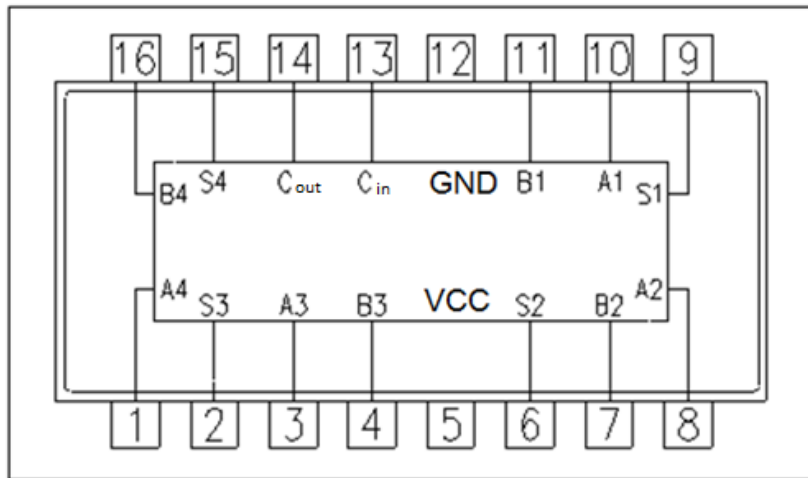
**7486 TTL**

Ένα IC TTL το 7486 περιέχει τέσσερις πύλες των δύο εισόδων η κάθε μία οι οποίες υλοποιεί την λογική πράξη XOR. Το διάγραμμα εισόδων και εξόδων των τεσσάρων πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

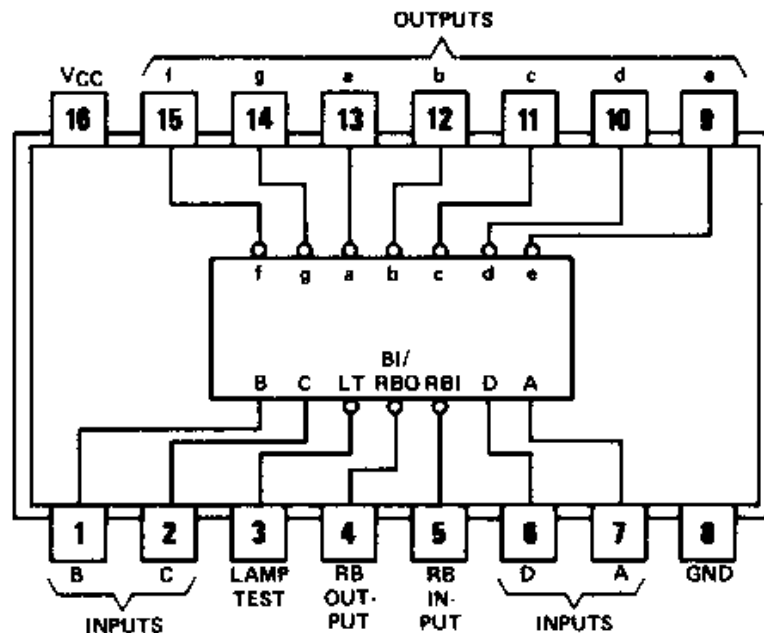


**7483 TTL**

Το IC 7483 είναι ένας παράλληλος τετράμπιτος δυαδικός αθροιστής. Το διάγραμμα εισόδων και εξόδων των τεσσάρων πυλών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

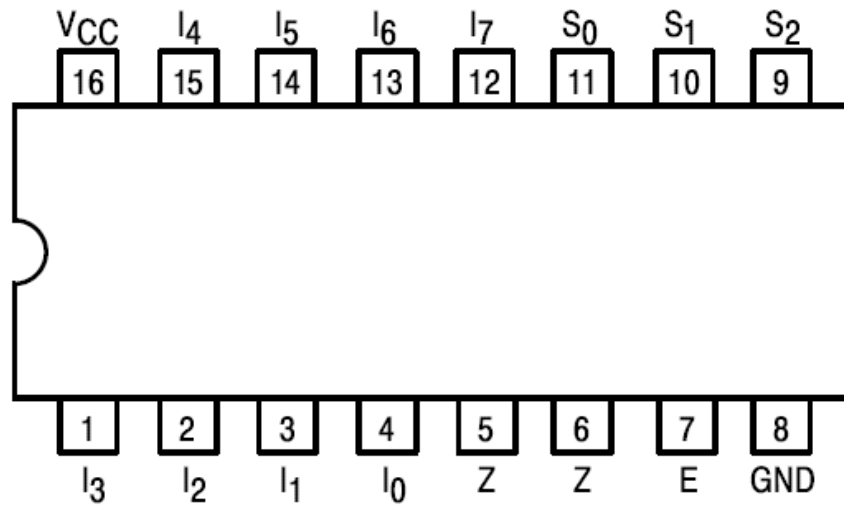
**7447 TTL**

Το IC 7447 TTL περιέχει έναν αποκωδικοποιητή του από 10 εισόδους σε επτά εξόδους, ώστε να μπορεί να εμφανιστεί ο δεκαδικός αριθμός σε επταστοιχειακό ενδείκτη. Το διάγραμμα εισόδων και εξόδων των αποκωδικοποιητή φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.



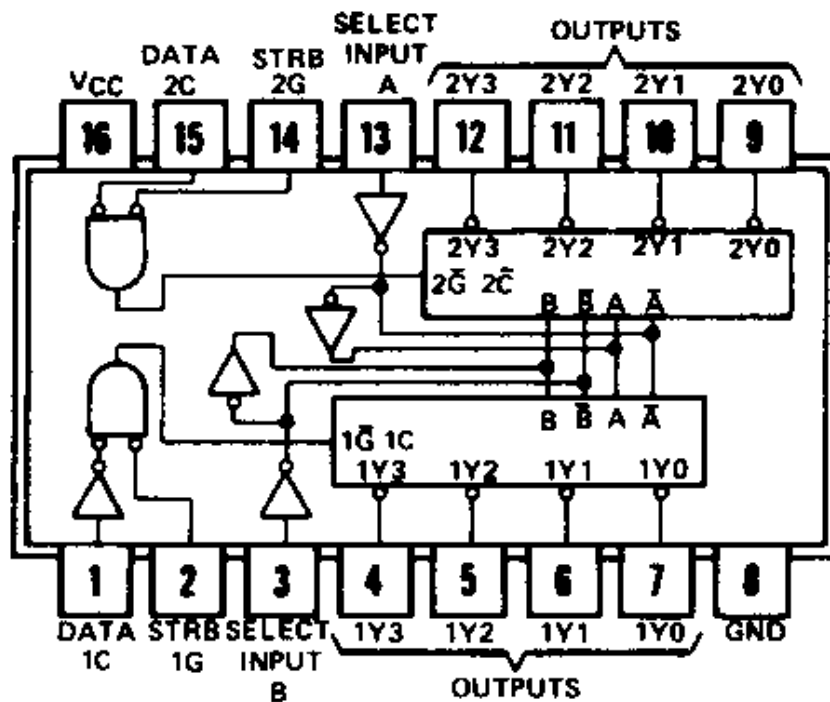
**74151 TTL**

Το IC 74151 TTL περιέχει έναν πολυπλέκτη 8 σε 1. Το διάγραμμα εισόδων και εξόδων των αποκωδικοποιητή φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.



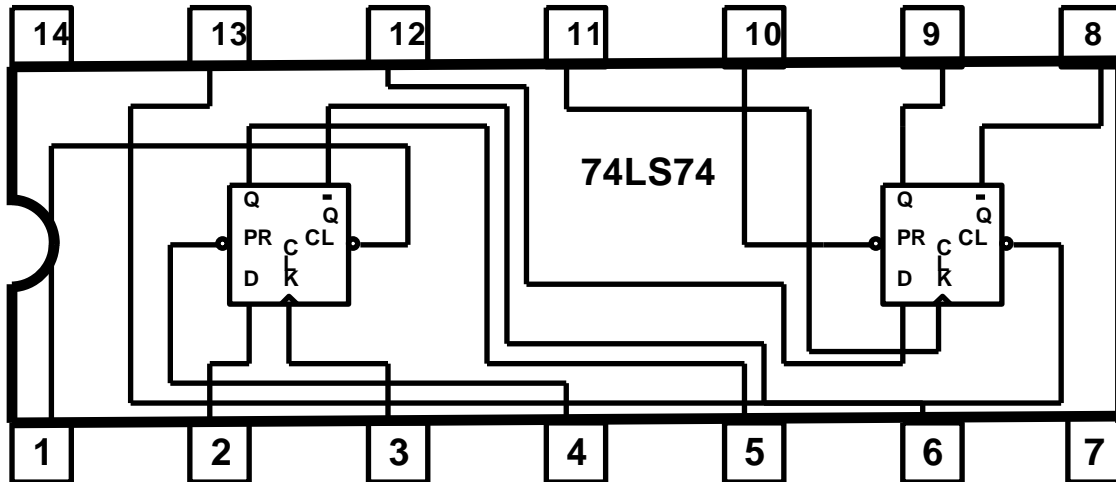
**74155 TTL**

Το IC 74155 TTL περιέχει έναν διπλό αποκωδικοποιητή 2-σε-4 ή έναν απλό αποκωδικοποιητή 3-σε-8. Το διάγραμμα εισόδων και εξόδων των αποκωδικοποιητή φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

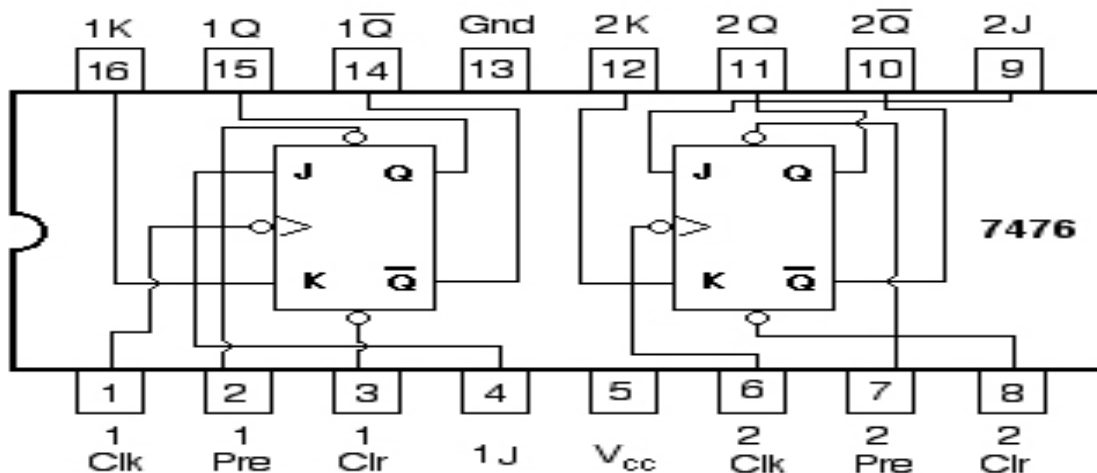


**7474 TTL**

Το 7474 της TTL περιέχει δύο flip-flop τύπου D. Το διάγραμμα εισόδων και εξόδων των flip-flop φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.

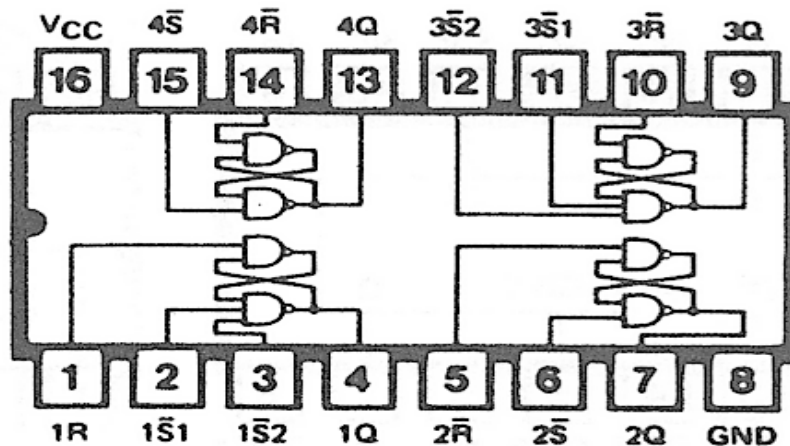
**7476 TTL**

Το 7476 της TTL περιέχει δύο flip-flop τύπου JK. Το διάγραμμα εισόδων και εξόδων των flip-flop φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση.



**74279 TTL**

Το IC 74279 TTL περιέχει 4 μανδαλωτές S-R. Το διάγραμμα εισόδων και εξόδων των μανδαλωτών φαίνεται παρακάτω όπως επίσης η τροφοδοσία και η γείωση. Οι μανδαλωτές 1 και 3 περιέχουν μια επιπλέον είσοδο ενεργοποίησης και μπορούν να χρησιμοποιηθούν ως χρονιζόμενοι μανδαλωτές S-R.



## ΒΙΒΛΙΟΓΡΑΦΙΑ

1. M.MORRIS MANO T.E.E. 1986
2. INTRODUCTION TO DIGITAL TECHNIQUES DAN I. PORAT, ARPAD BARNA John Willey & Sons 1986
3. AN INTRODUCTION TO COMPUTER LOGIC. H.TROY NAGLE, B.D.CAROLL, J.D.IRVIN PRENDICE HALL -76
4. DIGITAL COMPUTERS FUNDAMENTAL
5. 'ΣΗΜΕΙΩΣΕΙΣ ΕΡΓΑΣΤΗΡΙΟΥ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ', ΜΗΝΑΔΑΚΗΣ ΓΙΑΝΝΗΣ, 2010
6. 'ΨΗΦΙΑΚΗ ΛΟΓΙΚΗ: ΑΚΟΛΟΥΘΙΑΚΑ ΚΥΚΛΩΜΑΤΑ', Α.Ν. ΣΚΟΔΡΑΣ