

Ψηφιακά Λογικά Κυκλώματα CMOS

- | | | | | |
|----------|--|------|----------------------------------|------|
| Εισαγωγή | 949 | 10.4 | Λογικά Κυκλώματα Ψευδο-NMOS | 974 |
| 10.1 | Σχεδίαση Ψηφιακών Κυκλωμάτων: | 10.5 | Λογικά Κυκλώματα Pass-Transistor | 982 |
| | Εισαγωγή | 10.6 | Δυναμικά Λογικά Κυκλώματα | 991 |
| 10.2 | Σχεδίαση και Ανάλυση Απόδοσης του CMOS | 10.7 | Παράδειγμα Προσομοίωσης | 998 |
| | Αντιστροφή | | Ανασκόπηση | 1002 |
| 10.3 | Κυκλώματα Λογικών Πυλών CMOS | | Προβλήματα | 1003 |

ΕΙΣΑΓΩΓΗ

Το κεφάλαιο αυτό ασχολείται με τη μελέτη των ψηφιακών λογικών κυκλωμάτων CMOS. Η CMOS είναι εκ του μακρόθεν η δημοφιλέστερη τεχνολογία για την υλοποίηση ψηφιακών συστημάτων. Το μικρό μέγεθος, η ευκολία κατασκευής και η χαμηλή κατανάλωση ισχύος των MOSFET επιτρέπουν εξαιρετικά υψηλά επίπεδα ολοκλήρωσης, τόσο για τα λογικά κυκλώματα όσο και για τα κυκλώματα μνημών. Τα τελευταία αποτελούν το θέμα του Κεφαλαίου 11.

Το παρόν κεφάλαιο ξεκινά με μια εισαγωγική ενότητα της οποίας ο στόχος είναι να θέσει σε σωστή προοπτική το υλικό που θα μελετήσουμε σ' αυτό και στο επόμενο κεφάλαιο. Στη συνέχεια, βασιζόμενοι στη μελέτη του αντιστροφέα CMOS στην Ενότητα 4.10, θα εξετάσουμε εκτενώς τη σχεδίασή του και την ανάλυσή του. Αυτή την ύλη θα την εφαρμόσουμε κατόπιν για τη σχεδίαση λογικών κυκλωμάτων CMOS και δύο άλλων τύπων λογικών κυκλωμάτων (συγκεκριμένα, των κυκλωμάτων λογικής ψευδο-NMOS και pass-transistor) τα οποία χρησιμοποιούνται συχνά σε ειδικές εφαρμογές, συμπληρωματικά με τα κυκλώματα CMOS.

Για τη περαιτέρω μείωση της κατανάλωσης ισχύος και ταυτόχρονα την αύξηση της απόδοσης (ταχύτητα λειτουργίας), χρησιμοποιούνται τεχνικές δυναμικής λογικής. Αυτό το ιδιαίτερα απαιτητικό θέμα είναι το αντικείμενο της Ενότητας 10.6 και ολοκληρώνει τη μελέτη μας πάνω στα λογικά κυκλώματα. Το κεφάλαιο θα ολοκληρωθεί με ένα παράδειγμα προσομοίωσης στο SPICE.

Εν συντομία, το κεφάλαιο αυτό παρέχει μια αρκούντως εκτενή και σε βάθος μελέτη της σχεδίασης ψηφιακών ολοκληρωμένων κυκλωμάτων CMOS, η οποία αποτελεί ίσως το σημαντικότερο πεδίο (τουλάχιστον από την άποψη του όγκου παραγωγής και της ευρύτητας διάδοσής της) των ηλεκτρονικών κυκλωμάτων. Για να αξιοποιήσετε στο μέγιστο δυνατό βαθμό τα όσα θα μελετήσουμε σ' αυτό το κεφάλαιο, θα πρέπει να είστε εκ των προτέρων εξοικειωμένοι, στο μέγιστο δυνατό βαθμό, με τη λειτουργία του MOS τρανζίστορ. Για το λόγο αυτό, θεωρούμε αναγκαία μια επανάληψη του Κεφαλαίου 4 και απολύτως απαραίτητη την προσεκτική μελέτη της Ενότητας 4.10.

10.1 ΣΧΕΔΙΑΣΗ ΨΗΦΙΑΚΩΝ ΚΥΚΛΩΜΑΤΩΝ: ΕΙΣΑΓΩΓΗ

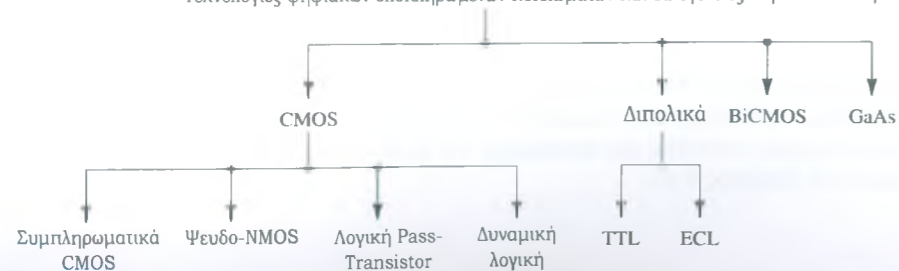
Σ' αυτή την ενότητα, θα βασιστούμε στην εισαγωγική παρουσίαση των ψηφιακών κυκλωμάτων που παρουσιάσαμε στην Ενότητα 1.7 και θα συνεχίσουμε πάνω στο ίδιο θέμα. Θα εξετάσουμε τις διάφορες τεχνολογίες και οικογένειες λογικών κυκλωμάτων που χρησιμοποιούνται επί του παρόντος, καθώς και τις παραμέτρους που χρησιμοποιούνται για το χαρακτηρισμό της λειτουργίας και απόδοσης λογικών κυκλωμάτων. Τέλος, θα αναφέρουμε τα διάφορα στυλ σχεδίασης ψηφιακών συστημάτων.

10.1.1 Τεχνολογίες Ψηφιακών Ολοκληρωμένων Κυκλωμάτων και Οικογένειες Λογικών Κυκλωμάτων

Το διάγραμμα του Σχ. 10.1 παρουσιάζει τις σημαντικότερες τεχνολογίες ολοκληρωμένων κυκλωμάτων (IC) και οικογένειες λογικών κυκλωμάτων που χρησιμοποιούνται επί του παρόντος. Το σκεπτικό της οικογένειας λογικών κυκλωμάτων χρειάζεται πιθανώς λίγη περαιτέρω επεξήγηση. Τα μέλη κάθε οικογένειας κατασκευάζονται με την ίδια τεχνολογία, έχουν παρόμοια κυκλωματική δομή και επιδεικνύουν τα ίδια βασικά χαρακτηριστικά. Κάθε οικογένεια λογικών κυκλωμάτων προσφέρει ένα μοναδικό σύνολο πλεονεκτημάτων και μειονεκτημάτων. Με το συμβατικό στυλ σχεδίασης συστημάτων, επιλέγει κανείς μια κατάλληλη οικογένεια λογικών κυκλωμάτων (π.χ., TTL, CMOS, ή ECL) και προσπαθεί να υλοποιήσει το μεγαλύτερο δυνατό μέρος του συστήματος χρησιμοποιώντας κυκλωματικές μονάδες (πακέτα) που ανήκουν σ' αυτή την οικογένεια. Μ' αυτό τον τρόπο, η διασύνδεση των διάφορων πακέτων είναι σχετικά απλή. Από την άλλη, εάν χρησιμοποιηθούν πακέτα προερχόμενα από περισσότερες της μιας οικογένειες, θα πρέπει κανείς να σχεδιάσει τα κατάλληλα *κυκλώματα διασύνδεσης* (interface) για τη μεταξύ τους επικοινωνία. Η επιλογή μιας οικογένειας λογικών κυκλωμάτων βασίζεται σε κριτήρια όπως η ευελιξία στην υλοποίηση της λογικής, η ταχύτητα λειτουργίας, η διαθεσιμότητα πολύπλοκων λειτουργιών, η «αναισθησία» στο θόρυβο, το εύρος θερμοκρασιών λειτουργίας, η κατανάλωση ισχύος και το κόστος. Θα εξετάσουμε ορισμένα από αυτά τα κριτήρια σ' αυτό και στο επόμενο κεφάλαιο. Πρώτα απ' όλα όμως, θα πρέπει να σχολιάσουμε έστω και συνοπτικά κάθε μια από τις τέσσερις τεχνολογίες που αναφέρονται στο διάγραμμα του Σχ. 10.1.

CMOS Αν και παρουσιάζεται ως μια από τις τέσσερις πιθανές τεχνολογίες, δεν αποτελεί ένδειξη του μεριδίου που έχει στην αγορά ψηφιακών IC: η τεχνολογία CMOS είναι και μάλιστα με μεγάλη διαφορά, η επικρατέστερη απ' όλες τις τεχνολογίες ολοκληρωμένων κυκλωμάτων που είναι σήμερα διαθέσιμες για τη σχεδίαση ψηφιακών συστημάτων. Όπως προαναφέραμε, η τεχνολογία CMOS έχει αντικαταστήσει την NMOS, η οποία χρησιμοποιούνταν τις πρώτες ημέρες των κυκλωμάτων VLSI (κατά τη δεκαετία του '70). Υπάρχουν αρκετοί λόγοι στους οποίους οφείλεται αυτή η εξέλιξη, ο σημαντικότερος εκ των οποίων είναι η πολύ χαμηλότερη κατανάλωση ισχύος των κυκλωμάτων CMOS. Τα CMOS έχουν επίσης αντικαταστήσει τα διπολικά στοιχεία ως προτιμώμενη τεχνολογία για τη σχεδίαση ψηφιακών συστημάτων και έχουν καταστήσει εφικτά επίπεδα ολοκλήρωσης (πυκνότητες συσκευασίας κυκλωμάτων στο ίδιο ολοκληρωμένο) και γκάμα εφαρμογών που δεν θα μπορούσαν να επιτευχθούν με τη διπολική τεχνολογία. Επιπλέον, η τεχνολογία CMOS συνεχίζει να εξελίσσεται, ενώ, απ' ότι φαίνεται, ελάχιστες εξελίξεις υπάρχουν επί του

Τεχνολογίες ψηφιακών ολοκληρωμένων κυκλωμάτων και οικογένειες λογικών κυκλωμάτων



ΣΧΗΜΑ 10.1 Τεχνολογίες ψηφιακών ολοκληρωμένων κυκλωμάτων και οικογένειες λογικών κυκλωμάτων.

παρόντος στα διπολικά ψηφιακά κυκλώματα. Ορισμένοι από τους λόγους για τους οποίους επικράτησε η τεχνολογία CMOS έναντι της διπολικής στις ψηφιακές εφαρμογές είναι οι ακόλουθοι:

1. Τα λογικά κυκλώματα CMOS καταναλώνουν πολύ λιγότερη ισχύ από τα διπολικά λογικά κυκλώματα και, ως εκ τούτου, μπορεί κανείς να «συσκευάσει» περισσότερα κυκλώματα CMOS στο ίδιο ολοκληρωμένο (chip) απ' ότι είναι εφικτό με διπολικά κυκλώματα. Αναφορικά με την κατανάλωση ισχύος θα έχουμε να πούμε πολύ περισσότερα στις ακόλουθες ενότητες.
2. Η υψηλή σύνθετη αντίσταση εισόδου του MOS τρανζίστορ επιτρέπει στο σχεδιαστή να χρησιμοποιεί την αποθήκευση φορτίου ως μέσο για την προσωρινή αποθήκευση πληροφορίας στα λογικά κυκλώματα και στα κυκλώματα μνήμης. Αυτή η τεχνική δεν μπορεί να χρησιμοποιείται σε διπολικά κυκλώματα.
3. Οι διαστάσεις (δηλαδή, το ελάχιστο μήκος καναλιού) των MOS τρανζίστορ έχουν μειωθεί θεαματικά με την πάροδο του χρόνου – ορισμένες από τις πρόσφατες σχεδιάσεις χρησιμοποιούν στοιχεία με μήκος καναλιού τόσο μικρό όσο τα 0.06 μm. Αυτό επιτρέπει την πολύ πυκνή «συσκευασία» κυκλωμάτων στο ίδιο ολοκληρωμένο και, αντιστοίχως, πολύ υψηλά επίπεδα ολοκλήρωσης.

Μια από τις διάφορες μορφές κυκλωμάτων CMOS, τα συμπληρωματικά κυκλώματα CMOS, βασίζεται στον αντιστροφέα που μελετήσαμε στην Ενότητα 4.10 και είναι από τα ευρύτερα χρησιμοποιούμενα. Είναι διαθέσιμα τόσο σαν πακέτα κυκλωμάτων μικρής κλίμακας ολοκλήρωσης (micro-scale integrated, SSI, περιέχουν 1–10 λογικές πύλες) και πακέτα κυκλωμάτων μεσαίας κλίμακας ολοκλήρωσης (medium-scale integrated, MSI, με 10–100 πύλες ανά ολοκληρωμένο) για την συναρμολόγηση ψηφιακών συστημάτων σε πλακέτες τυπωμένων κυκλωμάτων. Ακόμη πιο σημαντικό είναι το γεγονός ότι τα συμπληρωματικά κυκλώματα CMOS χρησιμοποιούνται στη σχεδίαση VLSI (με εκατομμύρια πυλών ανά ολοκληρωμένο), καθώς και στη σχεδίαση κυκλωμάτων μνήμης. Σε ορισμένες εφαρμογές, τα συμπληρωματικά κυκλώματα CMOS χρησιμοποιούνται από κοινού με μια (ή και τις δύο) από τις άλλες δύο μορφές λογικών κυκλωμάτων MOS. Αυτές είναι οι ψευδο-NMOS, η οποία οφείλει το όνομά της στην ομοιότητα της δομής της με τη λογική NMOS και η λογική pass-transistor (θα τις μελετήσουμε αμφότερες στο παρόν κεφάλαιο).

Ένας τέταρτος τύπος λογικών κυκλωμάτων CMOS χρησιμοποιεί δυναμικές τεχνικές για την επίτευξη κυκλωμάτων με ταχύτερη λειτουργία και την ταυτόχρονη διατήρηση της κατανάλωσης ισχύος σε πολύ χαμηλά επίπεδα. Τα δυναμικά λογικά κυκλώματα CMOS αντιπροσωπεύουν έναν τομέα διαρκώς αυξανόμενης οπουδαιότητας. Τέλος, η τεχνολογία CMOS χρησιμοποιείται στη σχεδίαση ολοκληρωμένων κυκλωμάτων μνήμης, με την οποία θα ασχοληθούμε εκτενώς στο Κεφάλαιο 11.

Διπολικά Στοιχεία Δύο οικογένειες λογικών κυκλωμάτων βασίζονται στο διπολικό τρανζίστορ ένωσης και χρησιμοποιούνται, αν και όχι πολύ ευρέως, σήμερα: Οι TTL και ECL. Η λογική τρανζίστορ-τρανζίστορ (transistor-transistor, TTL ή T²L) υπήρξε για πολλά χρόνια η ευρύτερα χρησιμοποιούμενη οικογένεια λογικών κυκλωμάτων. Με την έλευση της τεχνολογίας VLSI, η πτώση της ήταν αναμενόμενη. Ωστόσο, οι κατασκευαστές κυκλωμάτων TTL αντεπιτέθηκαν, παρουσιάζοντας εκδόσεις αυτών των κυκλωμάτων που επεδείκνυαν χαμηλή κατανάλωση ισχύος και υψηλή ταχύτητα λειτουργίας. Σ' αυτές τις νεώτερες εκδόσεις, οι υψηλότερες ταχύτητες λειτουργίας καθίστανται εφικτές αποτρέποντας τα BJT στοιχεία να φτάσουν στον κορεσμό και, ως εκ τούτου, αποφεύγοντας την αργή διαδικασία αποκοπής ενός κορεσμένου τρανζίστορ. Αυτές οι εκδόσεις των TTL κυκλωμάτων που αποφεύγουν τον κορεσμό χρησιμοποιούν τη διόδο Schottky που εξετάσαμε στην Ενότητα 3.8 και γι' αυτό αποκαλούνται Schottky TTL ή με διάφορες άλλες παραλλαγές αυτού του ονόματος. Ωστόσο, παρόλες αυτές τις προσπάθειες, η TTL έχει πάψει να είναι μια οικογένεια λογικών κυκλωμάτων με βαρύνουσα σημασία και γι' αυτό δεν θα την μελετήσουμε στο παρόν βιβλίο.

Η άλλη οικογένεια λογικών κυκλωμάτων που βασίζονται σε διπολικά στοιχεία και χρησιμοποιείται επί του παρόντος είναι η αποκαλούμενη ECL (emitter-coupled logic, λογική συζευγμένου εκπομπού). Βασίζεται στην υλοποίηση του αντιστροφέα ως «διακόπτη ρεύματος», την οποία παρουσιάσαμε στην Ενότητα 1.7. Το βασικό στοιχείο της ECL είναι το διαφορικό ζεύγος BJT που μελετήσαμε στο Κεφάλαιο 7. Επειδή η ECL είναι ουσιαστικά μια λογική οδηγησης ρεύματος – και για το λόγο αυτό αποκαλείται επίσης **current-mode logic** (CML), στην οποία αποφεύγεται ο κορεσμός, είναι εφικτές πολύ υψηλές ταχύτητες λειτουργίας. Πράγματι, από τις εμπορικά διαθέσιμες οικογένειες λογικών κυκλωμάτων, η ECL είναι η ταχύτερη. Η ECL χρησιμοποιείται επίσης στη σχεδίαση κυκλωμάτων VLSI όταν απαιτούνται πολύ υψηλές

ταχύτητες λειτουργίας και ο σχεδιαστής είναι πρόθυμος να αποδεχτεί την μεγαλύτερη κατανάλωση ισχύος και την αυξημένη επιφάνεια πυριτίου που αυτή απαιτεί. Για το λόγο αυτό, η ECL θεωρείται σημαντική, αν και εξειδικευμένη, τεχνολογία και θα την εξετάσουμε εν συντομία στο Κεφάλαιο 11.

BiCMOS Η BiCMOS συνδυάζει τις υψηλές ταχύτητες λειτουργίας που μπορούν να επιτευχθούν με BJT στοιχεία (λόγω της εγγενώς υψηλότερης διαγωγιμότητάς τους) με την χαμηλή κατανάλωση ισχύος και άλλα άριστα χαρακτηριστικά απόδοσης των CMOS. Όμοια με την CMOS, η τεχνολογία BiCMOS επιτρέπει την υλοποίηση αναλογικών και ψηφιακών κυκλωμάτων ταυτόχρονα στο ίδιο ολοκληρωμένο. (Ο ενδιαφερόμενος αναγνώστης παραπέμπεται στη συζήτηση για τα αναλογικά BiCMOS κυκλώματα του Κεφαλαίου 6). Επί του παρόντος, η τεχνολογία BiCMOS αξιοποιείται στο έπακρο σε εφαρμογές ειδικού τύπου, συμπεριλαμβανομένων των ολοκληρωμένων μνήμης, όπου η υψηλή απόδοση που προσφέρει αναφορικά με την οδήγηση ρεύματος αιτιολογεί την πολυπλοκότερη τεχνολογία κατασκευής που απαιτεί. Θα συζητήσουμε εν συντομία την τεχνολογία BiCMOS στο Κεφάλαιο 11.

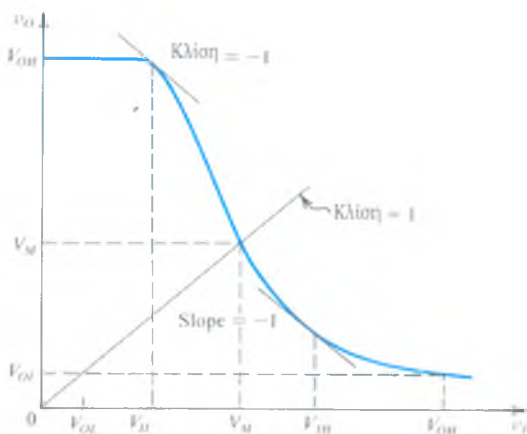
Κυκλώματα Αρσενικούχου Γαλλίου (Gallium Arsenide, GaAs) Η υψηλή ευκινησία φορέων στα στοιχεία GaAs έχει ως αποτέλεσμα πολύ υψηλές ταχύτητες λειτουργίας. Αυτό έχει ήδη αποδειχθεί σε αρκετά ψηφιακά ολοκληρωμένα κυκλώματα που χρησιμοποιούν την τεχνολογία GaAs. Θα πρέπει, ωστόσο, να επιστημονούμε ότι η GaAs παραμένει μια «αναδυόμενη» τεχνολογία, η οποία δείχνει να έχει μεγάλες δυνατότητες, αλλά δεν τις έχει αξιοποιήσει ακόμη πλήρως στις εμπορικά διαθέσιμες εκδόσεις της. Για το λόγο αυτό, δεν θα τη μελετήσουμε στο παρόν βιβλίο. Ωστόσο, ο ενδιαφερόμενος αναγνώστης θα βρει αρκετό υλικό για τα στοιχεία και κυκλώματα GaAs, συμπεριλαμβανομένων των ψηφιακών εκδόσεών τους, στο συνοδευτικό CD και στον ιστότοπο του βιβλίου.

10.1.2 Χαρακτηρισμός Λογικών Κυκλωμάτων

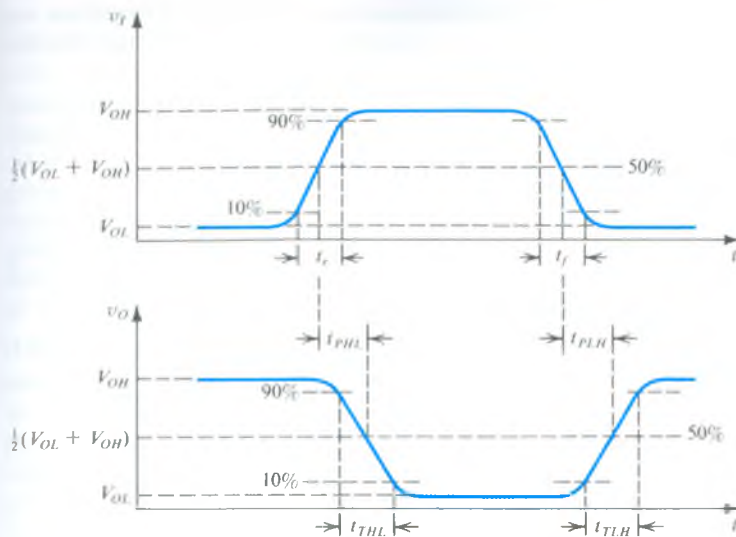
Οι ακόλουθες παράμετροι χρησιμοποιούνται συνήθως για το χαρακτηρισμό της λειτουργίας και απόδοσης μιας οικογένειας λογικών κυκλωμάτων.

Περιθώρια Θορύβου Η στατική λειτουργία μιας οικογένειας λογικών κυκλωμάτων χαρακτηρίζεται από την χαρακτηριστική μεταφοράς τάσης (VTC) του βασικού αντιστροφέα που χρησιμοποιεί. Το Σχήμα 10.2 παρουσιάζει μια τέτοια καμπύλη VTC και ορίζει τις τέσσερις παραμέτρους της: V_{OH} , V_{OL} , V_{IH} και V_{IL} . Σημειώστε ότι οι V_{IH} και V_{IL} ορίζονται ως τα σημεία στα οποία η κλίση της καμπύλης VTC είναι -1 . Στο σχήμα υποδεικνύεται επίσης ο ορισμός της τάσης κατωφλίου, V_M (ή V_{th} , όπως θα την αποκαλούμε συχνά), ως το σημείο στο οποίο $v_o = v_i$. Θυμηθείτε ότι μελετήσαμε την καμπύλη VTC στην γενικευμένη μορφή της στην Ενότητα 1.7, καθώς και ότι έχουμε εξετάσει επίσης καμπύλες VTC πραγματικών κυκλωμάτων: στην Ενότητα 4.10 για τον αντιστροφέα CMOS και στην Ενότητα 5.10 για τον αντιστροφέα BJT.

Η **ευρωστία** μιας οικογένειας λογικών κυκλωμάτων καθορίζεται από τη δυνατότητά της να απορρίπτει το θόρυβο και, ως εκ τούτου, από τα περιθώρια θορύβου NH_H και NM_L , τα οποία ορίζονται ως εξής:



ΣΧΗΜΑ 10.2 Τυπική χαρακτηριστική μεταφοράς τάσης (VTC) ενός λογικού αντιστροφέα, μαζί με τους ορισμούς των κρίσιμων σημείων της.



ΣΧΗΜΑ 10.3 Ορισμός της καθυστέρησης διάδοσης και των χρόνων μεταγωγής (αλλαγής κατάστασης) του λογικού αντιστροφέα.

$$NM_H \equiv V_{OH} - V_{IH} \quad (10.1)$$

$$NM_L \equiv V_{IL} - V_{OL} \quad (10.2)$$

Ως ιδανικός αντιστροφέας χαρακτηρίζεται αυτός για τον οποίο $NM_H = NM_L = V_{DD}/2$, όπου V_{DD} είναι η τάση τροφοδοσίας. Επιπλέον, για έναν ιδανικό αντιστροφέα, η τάση κατωφλίου $V_M = V_{DD}/2$.

Καθυστερήση Διάδοσης Η δυναμική απόδοση μιας οικογένειας λογικών κυκλωμάτων χαρακτηρίζεται από την καθυστέρηση διάδοσης του βασικού αντιστροφέα της. Το Σχ. 10.3 παρουσιάζει τον ορισμό των δύο χρόνων καθυστέρησης διάδοσης: από χαμηλή σε υψηλή στάθμη (low-to-high, t_{PLH}) και από υψηλή σε χαμηλή στάθμη (high-to-low, t_{PHL}). Η καθυστέρηση διάδοσης του αντιστροφέα (t_P) ορίζεται ως μέσος όρος των δύο αυτών μεγεθών:

$$t_P \equiv \frac{1}{2}(t_{PLH} + t_{PHL}) \quad (10.3)$$

Προφανώς, όσο μικρότερη είναι η καθυστέρηση διάδοσης, τόσο μεγαλύτερη είναι η ταχύτητα με την οποία μπορούμε να λειτουργούμε μια οικογένεια λογικών κυκλωμάτων.

Κατανάλωση Ισχύος Η κατανάλωση ισχύος είναι ένα σημαντικό ζήτημα όσον αφορά την σχεδίαση ψηφιακών κυκλωμάτων. Η ανάγκη ελαχιστοποίησης της κατανάλωσης ισχύος ανά πύλη υπαγορεύεται από την ανάγκη «συσκευασίας» ενός διαρκώς αυξανόμενου αριθμού πυλών στο ίδιο ολοκληρωμένο, γεγονός το οποίο, με τη σειρά του, υπαγορεύεται από ζητήματα χώρου και οικονομικά κριτήρια. Γενικά, όμως, τα σύγχρονα ψηφιακά συστήματα χρησιμοποιούν μεγάλο αριθμό πυλών και κυττάρων μνήμης, οπότε για να κρατηθεί η συνολική κατανάλωση ισχύος σε λογικά όρια, η κατανάλωση ισχύος ανά πύλη και ανά κύτταρο μνήμης θα πρέπει να είναι η ελάχιστη δυνατή. Αυτό ισχύει ακόμη περισσότερο για φορητές συσκευές που λειτουργούν με μπαταρία, όπως για παράδειγμα τα κινητά τηλέφωνα και οι προσωπικοί ψηφιακοί βοηθοί (PDA).

Υπάρχουν δύο είδη κατανάλωσης ισχύος σε μια λογική πύλη: στατική και δυναμική. Ο χαρακτηρισμός «στατική» αναφέρεται στην ισχύ που καταναλώνει η πύλη εν τη απουσία διακοπτικής λειτουργίας. Οφείλεται στην παρουσία ενός «δρόμου» στο κύκλωμα της πύλης, μεταξύ της τροφοδοσίας και της γείωσης, είτε στη μία είτε και στις δύο καταστάσεις της (δηλαδή, όταν η έξοδος είναι είτε στη χαμηλή είτε στην υψηλή στάθμη). Από την άλλη, η δυναμική ισχύς σχετίζεται μόνο με την διακοπτική λειτουργία της πύλης: Ένας αντιστροφέας ο οποίος λειτουργεί με τροφοδοσία V_{DD} και οδηγεί ένα χωρητικό φορτίο C , καταναλώνει δυναμική ισχύ P_D

$$P_D = fCV_{DD}^2 \quad (10.4)$$

όπου f είναι η συχνότητα στην οποία αλλάζει κατάσταση (μεταγίνει) ο αντιστροφέας. Η διατύπωση του παραπάνω τύπου (Ενότητα 4.10) βασίζεται στην υπόθεση ότι η χαμηλή και υψηλή στάθμη της τάσης εξόδου είναι 0 και V_{DD} , αντίστοιχα.

Γινόμενο Καθυπόθησης-Ισχύος Συνήθως ενδιαφέρεται κανείς για υψηλές ταχύτητες (μικρή t_p) σε συνδυασμό με χαμηλή κατανάλωση ισχύος. Δυστυχώς, αυτές οι δύο απαιτήσεις είναι συχνά αντικρουόμενες· γενικά, κατά τη σχεδίαση μιας πύλης, εάν κανείς επιχειρήσει να μειώσει την κατανάλωση ισχύος μειώνοντας την τάση τροφοδοσίας, ή το ρεύμα τροφοδοσίας, ή και τα δύο, η δυνατότητα οδήγησης ρεύματος της πύλης μειώνεται. Αυτό, με τη σειρά του, έχει ως αποτέλεσμα μεγαλύτερους χρόνους φόρτισης και εκφόρτισης του φορτίου και των παρασιτικών χωρητικοτήτων, και, κατά συνέπεια, αύξηση της καθυστέρησης διάδοσης. Για το λόγο αυτό, ένα σημαντικό κριτήριο σύγκρισης μεταξύ τεχνολογιών (ή οικογενειών) λογικών κυκλωμάτων είναι το γινόμενο καθυστέρησης-ισχύος (delay-power product, DP) το οποίο ορίζεται ως

$$DP = P_D t_p \quad (10.5)$$

όπου P_D η κατανάλωση ισχύος της πύλης. Σημειώστε ότι το DP χρησιμοποιείται ως μονάδα το joule. Όσο μικρότερη είναι η τιμή του DP για μια οικογένεια λογικών κυκλωμάτων, τόσο πιο αποτελεσματική είναι η λειτουργία της.

Επιφάνεια (εμβαδό) πυριτίου Ένας προφανής στόχος κατά τη σχεδίαση ψηφιακών κυκλωμάτων VLSI είναι η ελαχιστοποίηση της επιφάνειας πυριτίου ανά λογική πύλη (δηλ. η επιφάνεια που καταλαμβάνει κάθε λογική πύλη στο ολοκληρωμένο). Η απαίτηση για μικρότερη επιφάνεια επιτρέπει την κατασκευή μεγαλύτερου αριθμού πυλών ανά ολοκληρωμένο, πράγμα το οποίο παρέχει πλεονεκτήματα, τόσο οικονομικά όσο και χώρου, όσον αφορά τη σχεδίαση συστημάτων. Η μείωση της επιφάνειας πυριτίου ανά πύλη καθίσταται εφικτή με τρεις διαφορετικούς τρόπους: με την πρόοδο των τεχνολογιών κατασκευής που επιτρέπει τη μείωση του ελάχιστου μεγέθους των στοιχείων, με την πρόοδο των τεχνικών σχεδίασης κυκλωμάτων και μέσω προσεκτικής διάταξης (διαρρύθμισης χώρου) στο ολοκληρωμένο. Σ' αυτό το βιβλίο, δεδομένου ότι το ενδιαφέρον μας εστιάζεται στη σχεδίαση κυκλωμάτων, θα κάνουμε συχνά σχόλια για τη σχέση που υπάρχει μεταξύ της σχεδίασης κυκλωμάτων και της επιφάνειας πυριτίου. Σαν γενικούς κανόνες, ισχύει το εξής: όσο απλούστερο είναι το κύκλωμα, τόσο μικρότερη επιφάνεια απαιτείται. Όπως θα δούμε σύντομα, ο σχεδιασμός κυκλωμάτων καλείται να αποφασίσει για τις διαστάσεις των στοιχείων. Η επιλογή μικρότερων στοιχείων έχει το προφανές πλεονέκτημα ότι απαιτεί μικρότερη επιφάνεια πυριτίου, ενώ ταυτόχρονα μειώνει τις παρασιτικές χωρητικότητες και, κατά συνέπεια, αυξάνει την ταχύτητα. Ωστόσο, τα μικρότερα στοιχεία έχουν μικρότερη δυνατότητα οδήγησης ρεύματος, πράγμα το οποίο τείνει να αυξάνει την καθυστέρηση. Συνεπώς, όπως ισχύει για όλα τα τεχνικής φύσεως προβλήματα σχεδίασης, υπάρχει ένας «συμβιβασμός» ο οποίος πρέπει να ποσοτικοποιηθεί και να επιβληθεί με τρόπο ώστε να βελτιστοποιεί την οποιαδήποτε άποψη της σχεδίασης θεωρείται κρίσιμης σημασίας για την εκάστοτε εφαρμογή.

Fan-In και Fan-Out Το fan-in μιας πύλης είναι ο αριθμός των εισόδων της. Συνεπώς, μια τεσσάρων εισόδων πύλη NOR έχει fan-in ίσο με 4. Το fan-out είναι ο μέγιστος αριθμός παρόμοιων πυλών που μπορεί να οδηγήσει μια πύλη, παραμένοντας ταυτόχρονα εντός των προδιαγραφών εγγυημένης λειτουργίας. Σαν παράδειγμα, στην Ενότητα 4.10 είδαμε ότι αυξάνοντας το fan-out του BJT αντιστροφέα, μειώνεται η V_{OH} και, κατά συνέπεια, το NM_H . Σ' αυτή την περίπτωση, για να κρατήσουμε το NM_H πάνω από ένα ορισμένο ελάχιστο, το fan-out πρέπει να περιοριστεί σε μια υπολογίσιμη μέγιστη τιμή.

10.1.3 Στυλ Σχεδίασης Ψηφιακών Συστημάτων

Η συμβατική προσέγγιση που ακολουθείται για τη σχεδίαση ψηφιακών συστημάτων συνίσταται στη «συναρμολόγηση» του συστήματος χρησιμοποιώντας τυποποιημένα πακέτα ολοκληρωμένων κυκλωμάτων, διαφόρων επιπέδων πολυπλοκότητας (και, κατ' επέκταση, βαθμού ολοκλήρωσης). Πολλά είναι τα συστήματα που έχουν κατασκευαστεί μ' αυτή τη φιλοσοφία· για παράδειγμα, διάφορα πακέτα TTL μικρής και μεσαίας κλίμακας ολοκλήρωσης (SSI & MSI). Η έλευση της τεχνολογίας VLSI, επιπρόσθετα με το ότι παρέχει στους σχεδιαστές συστημάτων ισχυρότερες εμπορικά διαθέσιμες μονάδες, όπως μικροεπεξεργαστές και chips μνήμης, κατέστησε εφικτά διάφορα εναλλακτικά στυλ σχεδίασης. Μια τέτοια εναλλακτική προσέγγιση βασίζεται στη απόφαση για υλοποίηση μέρους ή όλου του συστήματος με τη χρήση ενός ή περισσότερων VLSI chips εξειδικευμένου σκοπού. Ωστόσο, από οικονομικής απόψεως, η απόφαση για σχεδίαση εξειδικευμένων chips είναι βιώσιμη μόνο όταν ο όγκος παραγωγής είναι μεγάλος (μεγαλύτερος από 100,000 μονάδες περίπου).

Μια ενδιάμεση προσέγγιση, γνωστή ως ημι-εξειδικευμένη σχεδίαση, χρησιμοποιεί ολοκληρωμένα

με *συστοιχίες πυλών (gate-array chips)*. Πρόκειται για ολοκληρωμένα κυκλώματα τα οποία περιέχουν 100.000 ή περισσότερες μη συνδεδεμένες λογικές πύλες. Η διασύνδεσή τους μπορεί να επιτευχθεί μέσω ενός τελικού βήματος επιμετάλλωσης (το οποίο εκτελείται στις εγκαταστάσεις κατασκευής των ολοκληρωμένων) σύμφωνα με ένα καθοριζόμενο από το χρήστη μοτίβο, για την υλοποίηση των συγκεκριμένων λειτουργικών αναγκών του χρήστη. Ένας τύπος συστοιχίας πυλών που παρουσιάστηκε πιο πρόσφατα, με το όνομα *προγραμματιζόμενες στο πεδίο συστοιχίες πυλών (field-programmable gate arrays, FPGA)*, μπορεί, όπως υποδηλώνει το όνομά του, να προγραμματίζεται απευθείας από το χρήστη. Οι συστοιχίες πυλών FPGA παρέχουν στους σχεδιαστές ψηφιακών συστημάτων ένα πολύ βολικό μέσο για να υλοποιούν πολύπλοκες λογικές λειτουργίες σε κλίμακα VLSI χωρίς να επιβαρύνονται ούτε με τον αυξημένο χρόνο διεκπεραίωσης που απαιτεί η σχεδίαση εξειδικευμένων και (σε μικρότερο βαθμό) ημι-εξειδικευμένων ολοκληρωμένων [βλ. Brown & Rose (1996)].

10.1.4 Αφαιρετικότητα Σχεδίασης και Υπολογιστικά Εργαλεία

Η σχεδίαση εξαιρετικά πολύπλοκων ψηφιακών συστημάτων –είτε σ' ένα και μόνο chip, είτε χρησιμοποιώντας εμπορικά διαθέσιμες μονάδες–, καθίσταται δυνατή με την υιοθέτηση πολλαπλών διαφορετικών επιπέδων αφαιρετικότητας της σχεδίασης και με τη χρήση υπολογιστικών εργαλείων. Για να εκτιμήσετε τη σημασία της αφαιρετικότητας στη σχεδίαση κυκλωμάτων, ας εξετάσουμε τη διαδικασία σχεδίασης ενός ψηφιακού συστήματος με χρήση εμπορικά διαθέσιμων πακέτων λογικών πυλών. Ο σχεδιαστής συμβουλευτεί τα φύλλα προδιαγραφών (και τα σχετικά εγχειρίδια) για να εξακριβώσει τα χαρακτηριστικά εισόδου και εξόδου των πυλών, τους περιορισμούς τους αναφορικά με τα fan-in και fan-out, κ.ο.κ. Κατά τη σύνδεση των πυλών, ο σχεδιαστής θα πρέπει να τηρήσει ένα σύνολο κανόνων που καθορίζει ο κατασκευαστής στα φύλλα προδιαγραφών. Ο σχεδιαστής δεν χρειάζεται να λάβει υπόψη του, τουλάχιστον όχι με άμεσο τρόπο, το κύκλωμα που βρίσκεται μέσα στο πακέτο πυλών. Δηλαδή, αντιμετωπίζει αυτό το κύκλωμα αφαιρετικά – σαν μια λειτουργική μονάδα την οποία μπορεί να χρησιμοποιήσει ως αυθύπαρκτο συστατικό. Αυτό απλοποιεί σημαντικά τη σχεδίαση συστημάτων. Ο σχεδιαστής ψηφιακών συστημάτων ακολουθεί παρόμοια διαδικασία. Κυκλωματικές μονάδες σχεδιάζονται, χαρακτηρίζονται και αποθηκεύονται σε μια βιβλιοθήκη σαν *τυποποιημένα κύτταρα (standard cells)*. Τα κύτταρα αυτά μπορούν κατόπιν να χρησιμοποιηθούν απ' οποιονδήποτε σχεδιαστή ολοκληρωμένων ως συστατικά για τη δημιουργία ενός μεγαλύτερου υποσυστήματος (π.χ., ενός αθροιστή ή ενός πολλαπλασιαστή), το οποίο, με τη σειρά του, χαρακτηρίζεται και αποθηκεύεται σαν μια λειτουργική μονάδα που θα χρησιμοποιηθεί για τη σχεδίαση ενός ακόμα μεγαλύτερου συστήματος (π.χ., ενός ολοκληρωμένου επεξεργαστή).

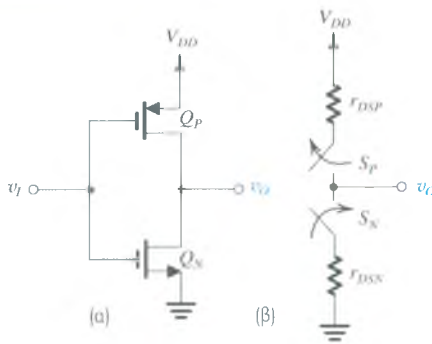
Σε κάθε επίπεδο αφαιρετικότητας της σχεδίασης, προκύπτει η ανάγκη χρήσης εφαρμογών προσομοίωσης και άλλου λογισμικού για τη μεγαλύτερη δυνατή αυτοματοποίηση της σχεδιαστικής διαδικασίας. Το SPICE χρησιμοποιείται για προσομοίωση κυκλωμάτων· άλλα εργαλεία λογισμικού χρησιμοποιούνται σε διάφορα άλλα επίπεδα και φάσεις της σχεδιαστικής διαδικασίας. Αν και η σχεδίαση ψηφιακών συστημάτων και η αυτοματοποίηση της σχεδιαστικής διαδικασίας είναι θέματα που υπερβαίνουν τα όρια του παρόντος βιβλίου, είναι σημαντικό να εκτιμήσετε το ρόλο που παίζει τόσο η αφαιρετικότητα όσο και τα υπολογιστικά εργαλεία στη σχεδίαση ψηφιακών συστημάτων. Αυτά τα δύο είναι που καθιστούν εφικτή τη σχεδίαση ενός ψηφιακού ολοκληρωμένου με 100 εκατομμύρια τρανζίστορ. Δυστυχώς, η σχεδίαση αναλογικών ολοκληρωμένων δεν είναι επιδεκτική στα ίδια επίπεδα αφαιρετικότητας και αυτοματοποίησης. Κάθε αναλογικό ολοκληρωμένο πρέπει, σε πολύ μεγάλο βαθμό, να φτιαχτεί «με το χέρι». Σαν αποτέλεσμα, η πολυπλοκότητα και η πυκνότητα των αναλογικών ολοκληρωμένων παραμένουν πολύ μικρότερες από αυτές που επιτυγχάνονται στα ψηφιακά ολοκληρωμένα.

Ανεξάρτητα από την προσέγγιση ή το στυλ που υιοθετεί κανείς για τη σχεδίαση ψηφιακών συστημάτων, είναι ζωτικής σημασίας να έχει επαρκή εξοικείωση με τις διάφορες τεχνολογίες ψηφιακών κυκλωμάτων και τεχνικές σχεδίασης. Αυτό και το επόμενο κεφάλαιο έχουν ως στόχο να παρέχουν το αναγκαίο υπόβαθρο γνώσεων στον αναγνώστη.



10.2 ΣΧΕΔΙΑΣΗ ΚΑΙ ΑΝΑΛΥΣΗ ΑΠΟΔΟΣΗΣ ΤΟΥ ΑΝΤΙΣΤΡΟΦΕΑ CMOS

Παρουσιάσαμε και μελετήσαμε το λογικό αντιστροφέα CMOS στην Ενότητα 4.10, την οποία και σας συνιστούμε να ξαναδιαβάσετε πριν προχωρήσετε. Σ' αυτή την ενότητα, θα εξετάσουμε λεπτομερέστερα τον αντιστροφέα, διερευνώντας την απόδοσή του και τους συμβιβασμούς που μπορούν να γίνουν κατά



ΣΧΗΜΑ 10.4 (α) Ο αντιστροφέας CMOS και (β) η αναπαράστασή του ως ζεύγος διακοπών που λειτουργούν με συμπληρωματικό τρόπο.

τη σχεδίασή του. Η ύλη αυτή θα εξυπηρετήσει επίσης ως βάση για τη μελέτη των λογικών κυκλωμάτων CMOS στην επόμενη ενότητα.

10.2.1 Δομή του Κυκλώματος

Το κύκλωμα του αντιστροφέα, όπως παρουσιάζεται στο Σχ. 10.4(α), αποτελείται από ένα ζεύγος συμπληρωματικών MOSFET τα οποία διεγείρονται από την τάση εισόδου v_i . Αν και δεν παρουσιάζεται στο σχήμα, η πηγή κάθε στοιχείου συνδέεται στο σώμα του, εξαλείφοντας έτσι το φαινόμενο σώματος. Συνήθως, οι τάσεις κατωφλίου V_{tn} και V_{tp} είναι ίσες κατ' απόλυτη τιμή· δηλαδή, $V_{tn} = |V_{tp}| = V_t$, η οποία κυμαίνεται από 0.2 V έως 1 V, με τιμές κοντά στο κάτω άκρο αυτού του πεδίου τιμών για τις σύγχρονες τεχνολογίες κατασκευής που παρέχουν στοιχεία μικρών διαστάσεων (π.χ., μήκος καναλιού 0.5 έως 0.1 μm ή λιγότερο).

Το κύκλωμα του αντιστροφέα μπορεί να αναπαρασταθεί ως ένα ζεύγος διακοπών οι οποίοι λειτουργούν με συμπληρωματικό τρόπο, όπως παρουσιάζεται στο Σχ. 10.4(β). Όπως βλέπετε, κάθε διακόπτης μοντελοποιείται με μία πεπερασμένη αντίσταση αγωγής («αντίσταση on»), η οποία είναι η αντίσταση πηγής-υποδοχής του αντίστοιχου τρανζίστορ, υπολογιζόμενη κοντά σε $v_{DS} = 0$

$$r_{DSN} = 1 / \left[k_n' \left(\frac{W}{L} \right)_n (V_{DD} - V_t) \right] \quad (10.6)$$

$$r_{DSP} = 1 / \left[k_p' \left(\frac{W}{L} \right)_p (V_{DD} - V_t) \right] \quad (10.7)$$

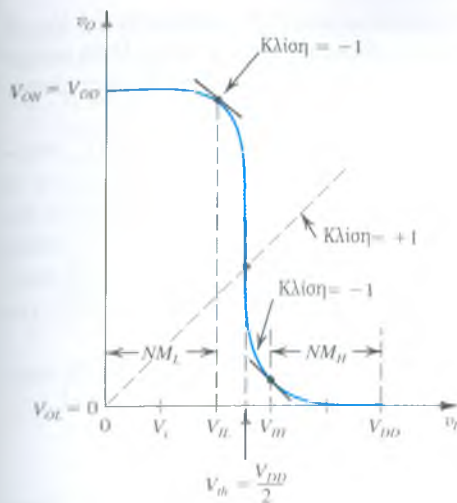
10.2.2 Στατική Λειτουργία

Με $v_i = 0$, $v_o = V_{OH} = V_{DD}$ και ο κόμβος εξόδου συνδέεται στην V_{DD} διαμέσου της αντίστασης r_{DSP} του pull-up τρανζίστορ Q_P . Παρόμοια, με $v_i = V_{DD}$, $v_o = V_{OL} = 0$ και ο κόμβος εξόδου συνδέεται στη γείωση διαμέσου της αντίστασης r_{DSN} του pull-down τρανζίστορ Q_N . Συνεπώς, στην κατάσταση ηρεμίας, δεν υπάρχει δρόμος συνεχούς ρεύματος μεταξύ V_{DD} και γείωσης και, τόσο το στατικό ρεύμα όσο και η στατική κατανάλωση ισχύος, είναι μηδέν (τα φαινόμενα διαρροών είναι συνήθως αμελητέα μικρά, κυρίως στα στοιχεία μεγαλύτερων διαστάσεων).

Η χαρακτηριστική μεταφορά τάσης του αντιστροφέα παρουσιάζεται στο Σχ. 10.5, από την οποία επιβεβαιώνεται το γεγονός ότι οι στάθμες της τάσης εξόδου είναι 0 και V_{DD} , και, κατά συνέπεια, το περιθώριο μεταβολής του σήματος στην έξοδο είναι το μέγιστο δυνατό. Το γεγονός ότι οι V_{OL} και V_{OH} είναι ανεξάρτητες των διαστάσεων του στοιχείου καθιστά την CMOS πολύ διαφορετική από άλλες μορφές λογικής MOS.

Ο αντιστροφέας CMOS μπορεί να διαμορφωθεί ώστε να παρουσιάζει διακοπτική λειτουργία στο μέσον του περιθωρίου μεταβολής του σήματος από 0 έως V_{DD} (δηλαδή, σε $V_{DD}/2$), με την κατάλληλη προσαρμογή των διαστάσεων των τρανζίστορ. Συγκεκριμένα, μπορεί να αποδειχτεί ότι το κατώφλιο διακοπτικής λειτουργίας, V_{th} (ή V_M) δίνεται από την

$$V_{th} = \frac{V_{DD} - |V_{tp}| + \sqrt{k_n/k_p} V_{tn}}{1 + \sqrt{k_n/k_p}} \quad (10.8)$$



ΣΧΗΜΑ 10.5 Η χαρακτηριστική μεταφοράς τάσης (VTC) του αντιστροφέα CMOS, όταν τα Q_N και Q_P είναι ταιριασμένα.

όπου $k_n = k'_n(W/L)_n$ και $k_p = k'_p(W/L)_p$, απ' όπου βλέπουμε ότι για την τυπική περίπτωση $V_{tn} = |V_{tp}|$, έχουμε $V_{th} = V_{DD}/2$ για $k_n = k_p$ - δηλαδή,

$$k'_n(W/L)_n = k'_p(W/L)_p \quad (10.9)$$

Παίρνουμε συμμετρική χαρακτηριστική μεταφοράς όταν τα στοιχεία σχεδιάζονται ώστε να έχουν ίσες παραμέτρους διαγωγιμότητας, μια κατάσταση την οποία αποκαλούμε «ταιρίασμα» (matching). Δεδομένου ότι η τιμή μ_n είναι δύο έως τέσσερις φορές μεγαλύτερη από την μ_p , το ταιρίασμα επιτυγχάνεται κάνοντας το λόγο διαστάσεων $(W/L)_p$ δύο έως τέσσερις φορές μεγαλύτερο

$$\left(\frac{W}{L}\right)_p = \frac{\mu_n}{\mu_p} \left(\frac{W}{L}\right)_n \quad (10.10)$$

Κανονικά, τα δύο στοιχεία έχουν το ίδιο μήκος καναλιού, L , το οποίο τίθεται στο ελάχιστο επιτρεπτό για τη δεδομένη τεχνολογία κατασκευής. Το ελάχιστο πλάτος του NMOS τρανζίστορ είναι συνήθως μιάμιση έως δύο φορές το L , ενώ το πλάτος του PMOS τρανζίστορ δύο έως τρεις φορές μεγαλύτερο. Για παράδειγμα, για μια τεχνολογία κατασκευής $0.25 \mu\text{m}$ για την οποία $\mu_n/\mu_p = 3$, $L = 0.25 \mu\text{m}$, $(W/L)_n = 0.375 \mu\text{m}/0.25 \mu\text{m}$ και $(W/L)_p = 1.125 \mu\text{m}/0.25 \mu\text{m}$. Όπως θα δούμε σύντομα, εάν ο αντιστροφέας απαιτείται να οδηγήσει σχετικά μεγάλο χωρητικό φορτίο, τα τρανζίστορ γίνονται πλατύτερα. Ωστόσο, για εξοικονόμηση χώρου στο ολοκληρωμένο, η πλειονότητα των αντιστροφέων θα έχει το αποκαλούμενο «ελάχιστο μέγεθος». Για τους σκοπούς μας εδώ, θα συμβολίζουμε το λόγο διαστάσεων (W/L) του NMOS τρανζίστορ αυτού του «ελαχίστου μεγέθους» αντιστροφέα με το n και το λόγο διαστάσεων (W/L) του PMOS τρανζίστορ με το p . Δεδομένου ότι η επιφάνεια του αντιστροφέα μπορεί να οριστεί ως $W_n L_n + W_p L_p = (W_n + W_p)L$, η επιφάνεια του αντιστροφέα «ελαχίστου μεγέθους» είναι $(n + p)L^2$, οπότε μπορούμε να χρησιμοποιούμε το συντελεστή $(n + p)$ ως αντιπροσωπευτικό της επιφάνειας. Για το παραπάνω παράδειγμα, $n = 1.5$, $p = 4.5$ και ο συντελεστής επιφάνειας $n + p = 6$.

Εκτός από την τοποθέτηση του κατώφλιου της πύλης στο μέσον του περιθωρίου μεταβολής της εξόδου, το ταιρίασμα των παραμέτρων διαγωγιμότητας των Q_N και Q_P παρέχει στον αντιστροφέα την ίδια δυνατότητα οδήγησης ρεύματος και προς τις δύο κατευθύνσεις (pull-up και pull-down). Επιπλέον, επιφέρει την εξίσωση των αντιστάσεων r_{DSN} και r_{DSP} . Συνεπώς, ένας αντιστροφέας με ταιριασμένα τρανζίστορ θα έχει ίσους χρόνους καθυστέρησης διάδοσης, t_{PLH} και t_{PHL} .

Όταν το κατώφλιο του αντιστροφέα είναι στην τιμή $V_{DD}/2$, τα περιθώρια θορύβου NM_H και NM_L εξίσωνονται και οι τιμές τους μεγιστοποιούνται (βλ. Ενότητα 4.10):

$$NM_H = NM_L = \frac{3}{8}(V_{DD} + \frac{2}{3}V_i) \quad (10.11)$$

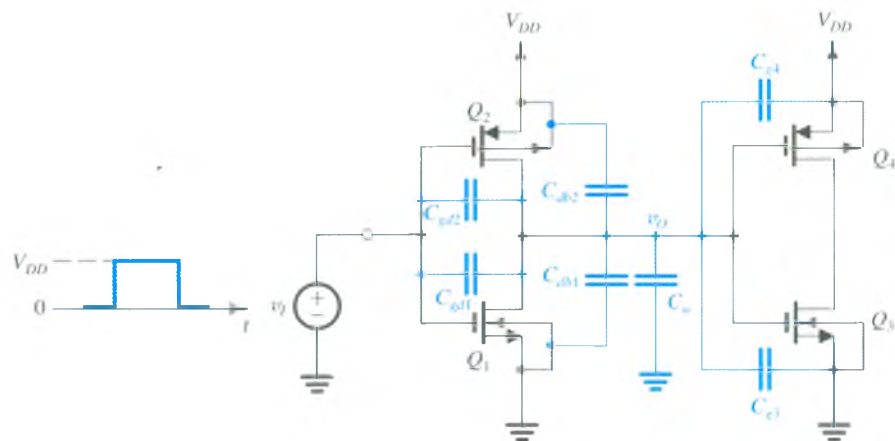
Δεδομένου ότι τυπικά $V_t = 0.1$ έως $0.2 V_{DD}$, τα περιθώρια θορύβου είναι κατά προσέγγιση $0.4 V_{DD}$. Η τιμή αυτή, ευρισκόμενη κοντά στο μισό της τάσης τροφοδοσίας, καθιστά τον αντιστροφέα CMOS σχεδόν ιδανικό από την άποψη της «ανοσίας» στο θόρυβο. Επιπλέον, επειδή το dc ρεύμα εισόδου του αντιστροφέα είναι πρακτικά μηδέν, τα περιθώρια θορύβου δεν εξαρτώνται από το fan-out της πύλης.

Αν και έχουμε υπογραμμίσει τα πλεονεκτήματα που προσφέρει το ταίριασμα των Q_N και Q_P , υπάρχουν περιπτώσεις όπου δεν υιοθετείται αυτή η προσέγγιση. Για παράδειγμα, θα μπορούσε κάποιος να παραβλέψει τα πλεονεκτήματα που προσφέρει το ταίριασμα με αντάλλαγμα τη μείωση της επιφάνειας του ολοκληρωμένου και να χρησιμοποιήσει απλώς $(W/L)_p = (W/L)_n$. Υπάρχουν επίσης περιπτώσεις στις οποίες εισάγεται μια σκόπιμη διαφορά (μη ταίριασμα), με στόχο την τοποθέτηση της V_{th} σε μια ορισμένη τιμή, διαφορετική της $V_{DD}/2$. Σημειώστε ότι κάνοντας το $k_n > k_p$, η V_{th} μετακινείται πλησιέστερα στο μηδέν, ενώ με $k < k_n$ η V_{th} μετακινείται πλησιέστερα στην V_{DD} .

Σαν τελικό σχόλιο επί της χαρακτηριστικής VTC του αντιστροφέα, θα επισημάνουμε ότι η κλίση της περιοχής μετάβασης, αν και μεγάλη, είναι πεπερασμένη και δίνεται από τη σχέση $-(g_{mN} + g_{mP})(r_{oN} // r_{oP})$.

10.2.3 Δυναμική Λειτουργία

Η καθυστέρηση διάδοσης του αντιστροφέα καθορίζεται συνήθως υπό την προϋπόθεση ότι αυτός οδηγεί έναν πανομοιότυπο αντιστροφέα. Η περίπτωση αυτή απεικονίζεται στο Σχ. 10.6. Θέλουμε να αναλύσουμε αυτό το κύκλωμα για να βρούμε την καθυστέρηση διάδοσης του αντιστροφέα που απαρτίζουν τα Q_1 και Q_2 , ο οποίος οδηγείται από μια πηγή v_i χαμηλής σύνθετης αντίστασης και έχει ως φορτίο τον αντιστροφέα που απαρτίζουν τα Q_3 και Q_4 . Στο σχήμα υποδεικνύονται οι εσωτερικές χωρητικότητες των διάφορων τρανζίστορ που συνδέονται στον κόμβο εξόδου του αντιστροφέα (Q_1, Q_2). Προφανώς, μια ακριβής ανάλυση αυτού του κυκλώματος με χαρτί και μολύβι θα ήταν υπερβολικά πολύπλοκη για να προσφέρει χρήσιμες πληροφορίες για τη σχεδίαση· άρα, απαιτείται απλοποίηση του κυκλώματος. Συγκεκριμένα, θέλουμε να αντικαταστήσουμε όλες τις χωρητικότητες που συνδέονται στον κόμβο εξόδου του αντιστροφέα με μία και μόνο χωρητικότητα C συνδεδεμένη μεταξύ του κόμβου εξόδου και της γείωσης. Αφού το κάνουμε, θα μπορέσουμε να χρησιμοποιήσουμε τα αποτελέσματα της ανάλυσης στο πεδίο του χρόνου που εκτελέσαμε στην Ενότητα 4.10. Για το σκοπό αυτό, παρατηρούμε ότι κατά το διάστημα t_{PLH} ή t_{PHL} , η έξοδος του πρώτου αντιστροφέα μεταβάλλεται από 0 έως $V_{DD}/2$ ή από V_{DD} έως $V_{DD}/2$, αντίστοιχα. Κατά συνέπεια, ο δεύτερος αντιστροφέας παραμένει στην ίδια κατάσταση κατά τη διάρκεια καθενός από τα διαστήματα της ανάλυσης μας. Αυτή η παρατήρηση θα έχει σημαντική επίδραση στην εκτίμησή μας για την ισοδύναμη



ΣΧΗΜΑ 10.6 Το κύκλωμα για την ανάλυση της καθυστέρησης διάδοσης του αντιστροφέα που σχηματίζουν τα Q_1 και Q_2 , ο οποίος οδηγεί έναν πανομοιότυπο αντιστροφέα ($Q_3 - Q_4$).

χωρητικότητα εισόδου του δεύτερου αντιστροφέα. Ας εξετάσουμε τώρα τη συνεισφορά καθεμιάς από τις χωρητικότητες του Σχ. 10.6 στην τιμή του ισοδύναμου χωρητικού φορτίου C :

1. Η χωρητικότητα υπερκάλυψης πύλης-υποδοχής του Q_1 , C_{gd1} , μπορεί να αντικατασταθεί από μια ισοδύναμη χωρητικότητα μεταξύ του κόμβου εξόδου και της γείωσης, ίση με $2C_{gd1}$. Ο συντελεστής 2 προκύπτει λόγω του φαινομένου Miller (βλ. Ενότητα 6.4.4). Συγκεκριμένα, σημειώστε ότι καθώς η v_i αυξάνεται και η v_o μειώνεται κατά το ίδιο ποσό, η μεταβολή της τάσης στα άκρα του C_{gd1} είναι διπλάσια από αυτό το ποσό. Άρα, ο κόμβος εξόδου βλέπει ουσιαστικά χωρητικότητα διπλάσια από την τιμή του C_{gd1} . Το ίδιο ισχύει για την χωρητικότητα υπερκάλυψης πύλης-υποδοχής του Q_2 , C_{gd2} , η οποία μπορεί να αντικατασταθεί από μια χωρητικότητα $2C_{gd2}$ μεταξύ του κόμβου εξόδου και της γείωσης.
2. Ο πυκνωτής που αναπαριστά κάθε μία από τις χωρητικότητες υποδοχής-σώματος, C_{db1} και C_{db2} , έχει τον ένα ακροδέκτη του σε σταθερό δυναμικό. Συνεπώς, για τους σκοπούς της ανάλυσης μας εδώ, οι C_{db1} και C_{db2} μπορούν να αντικατασταθούν από ίσες χωρητικότητες μεταξύ του κόμβου εξόδου και της γείωσης. Σημειώστε, ωστόσο, ότι οι τύποι που δόθηκαν στην Ενότητα 4.8 για τον υπολογισμό των C_{db1} και C_{db2} ισχύουν για λειτουργία ασθενούς σήματος, ενώ η ανάλυση εδώ αφορά προφανώς λειτουργία ισχυρού σήματος. Έχει αναπτυχθεί μια τεχνική για την εύρεση ισοδύναμων τιμών «ισχυρού σήματος» για τις C_{db1} και C_{db2} [βλ. Hodges & Jackson (1988) και Rabaey (2002)].
3. Δεδομένου ότι ο δεύτερος αντιστροφέας δεν αλλάζει κατάσταση, θα υποθέσουμε ότι οι χωρητικότητες εισόδου των Q_3 και Q_4 παραμένουν περίπου σταθερές και ίσες με τη συνολική χωρητικότητα πύλης $(W/LC_{ox} + C_{gs0v} + C_{gd0v})$. Δηλαδή, η χωρητικότητα εισόδου του αντιστροφέα που λειτουργεί ως φορτίο θα είναι

$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox} + C_{gs0v3} + C_{gd0v3} + C_{gs0v4} + C_{gd0v4}$$

4. Η τελευταία συνιστώσα της C είναι η χωρητικότητα των αγωγών, C_w , η οποία προστίθεται απλώς στην τιμή της C .

Συνεπώς, η συνολική τιμή της C δίνεται από την

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w \quad (10.12)$$

Έχοντας καθορίσει μια προσεγγιστική τιμή για την ισοδύναμη χωρητικότητα μεταξύ του κόμβου εξόδου του αντιστροφέα και της γείωσης, μπορούμε να χρησιμοποιήσουμε τα κυκλώματα του Σχ. 10.7 για να βρούμε τους χρόνους t_{PHL} και t_{PLH} , αντίστοιχα. Δεδομένου ότι τα δύο κυκλώματα είναι παρόμοια, μπορούμε να αναλύσουμε μόνο το ένα και να εφαρμόσουμε το αποτέλεσμα απευθείας στο άλλο. Δείτε το κύκλωμα του Σχ. 10.7(a), το οποίο ισχύει όταν το I αυξάνεται και το Q_N εκφορτίζει τον C από την αρχική τιμή V_{DD} στην τελική τιμή 0. Η ανάλυση περιπλέκεται από το γεγονός ότι αρχικά, το Q_N θα βρίσκεται στην περιοχή κορεσμού και κατόπιν, όταν η v_o πέσει κάτω από $V_{DD} - V_t$, θα μεταβεί στην περιοχή λειτουργίας τριόδου. Ουσιαστικά έχουμε εκτελέσει αυτή την ανάλυση στην Ενότητα 4.10 και καταλήξαμε στην ακόλουθη προσεγγιστική έκφραση για το διάστημα t_{PHL} :

$$t_{PHL} = \frac{1.6C}{k'_n \left(\frac{W}{L}\right)_n V_{DD}} \quad (10.13)$$

όπου έχουμε υποθέσει ότι $V_t \cong 0.2 V_{DD}$, πράγμα το οποίο είναι η τυπική περίπτωση.

Υπάρχει μια εναλλακτική, προσεγγιστική αλλά απλούστερη, μέθοδος για την ανάλυση του κυκλώματος του Σχ. 10.7(a). Βασίζεται στον υπολογισμό μιας μέσης τιμής (i_{av}) για το ρεύμα εκφόρτισης i_{DN} κατά το διάστημα από $t = 0$ έως $t = t_{PHL}$. Συγκεκριμένα, τη στιγμή $t = 0$, το Q_N θα είναι κορεσμένο και το $i_{DN}(0)$ δίνεται από την

$$i_{DN}(0) = \frac{1}{2} k'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2 \quad (10.14)$$

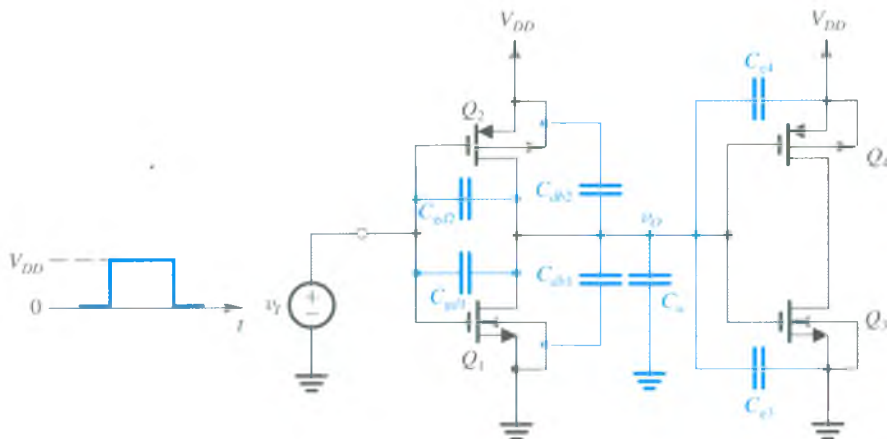
Δεδομένου ότι τυπικά $V_t = 0.1$ έως $0.2 V_{DD}$, τα περιθώρια θορύβου είναι κατά προσέγγιση $0.4 V_{DD}$. Η τιμή αυτή, ευρισκόμενη κοντά στο μισό της τάσης τροφοδοσίας, καθιστά τον αντιστροφέα CMOS σχεδόν ιδανικό από την άποψη της «ανοσίας» στο θόρυβο. Επιπλέον, επειδή το dc ρεύμα εισόδου του αντιστροφέα είναι πρακτικά μηδέν, τα περιθώρια θορύβου δεν εξαρτώνται από το fan-out της πύλης.

Αν και έχουμε υπογραμμίσει τα πλεονεκτήματα που προσφέρει το ταίριασμα των Q_N και Q_P , υπάρχουν περιπτώσεις όπου δεν υιοθετείται αυτή η προσέγγιση. Για παράδειγμα, θα μπορούσε κάποιος να παραβλέψει τα πλεονεκτήματα που προσφέρει το ταίριασμα με αντάλλαγμα τη μείωση της επιφάνειας του ολοκληρωμένου και να χρησιμοποιήσει απλώς $(W/L)_p = (W/L)_n$. Υπάρχουν επίσης περιπτώσεις στις οποίες εισάγεται μια σκόπιμη διαφορά (μη ταίριασμα), με στόχο την τοποθέτηση της V_{th} σε μια ορισμένη τιμή, διαφορετική της $V_{DD}/2$. Σημειώστε ότι κάνοντας το $k_n > k_p$, η V_{th} μετακινείται πλησιέστερα στο μηδέν, ενώ με $k > k_n$ η V_{th} μετακινείται πλησιέστερα στην V_{DD} .

Σαν τελικό σχόλιο επί της χαρακτηριστικής VTC του αντιστροφέα, θα επισημάνουμε ότι η κλίση της περι-οχής μετάβασης, αν και μεγάλη, είναι πεπερασμένη και δίνεται από τη σχέση $-(g_{mN} + g_{mP})(r_{oN} // r_{oP})$.

10.2.3 Δυναμική Λειτουργία

Η καθυστέρηση διάδοσης του αντιστροφέα καθορίζεται συνήθως υπό την προϋπόθεση ότι αυτός οδηγεί έναν πανομοιότυπο αντιστροφέα. Η περίπτωση αυτή απεικονίζεται στο Σχ. 10.6. Θέλουμε να αναλύσουμε αυτό το κύκλωμα για να βρούμε την καθυστέρηση διάδοσης του αντιστροφέα που απαρτίζουν τα Q_1 και Q_2 , ο οποίος οδηγείται από μια πηγή v_I χαμηλής σύνθετης αντίστασης και έχει ως φορτίο τον αντιστροφέα που απαρτίζουν τα Q_3 και Q_4 . Στο σχήμα υποδεικνύονται οι εσωτερικές χωρητικότητες των διάφορων τρανζίστορ που συνδέονται στον κόμβο εξόδου του αντιστροφέα (Q_1, Q_2). Προφανώς, μια ακριβής ανάλυση αυτού του κυκλώματος με χαρτί και μολύβι θα ήταν υπερβολικά πολύπλοκη για να προσφέρει χρήσιμες πληροφορίες για τη σχεδίαση· άρα, απαιτείται απλοποίηση του κυκλώματος. Συγκεκριμένα, θέλουμε να αντικαταστήσουμε όλες τις χωρητικότητες που συνδέονται στον κόμβο εξόδου του αντιστροφέα με μία και μόνο χωρητικότητα C συνδεδεμένη μεταξύ του κόμβου εξόδου και της γείωσης. Αφού το κάνουμε, θα μπορέσουμε να χρησιμοποιήσουμε τα αποτελέσματα της ανάλυσης στο πεδίο του χρόνου που εκτελέσαμε στην Ενότητα 4.10. Για το σκοπό αυτό, παρατηρούμε ότι κατά το διάστημα t_{PLH} ή t_{PHL} , η έξοδος του πρώτου αντιστροφέα μεταβάλλεται από 0 έως $V_{DD}/2$ ή από V_{DD} έως $V_{DD}/2$, αντίστοιχα. Κατά συνέπεια, ο δεύτερος αντιστροφέας παραμένει στην ίδια κατάσταση κατά τη διάρκεια καθενός από τα διαστήματα της ανάλυσης μας. Αυτή η παρατήρηση θα έχει σημαντική επίδραση στην εκτίμησή μας για την ισοδύναμη



ΣΧΗΜΑ 10.6 Το κύκλωμα για την ανάλυση της καθυστέρησης διάδοσης του αντιστροφέα που σχηματίζουν τα Q_1 και Q_2 , ο οποίος οδηγεί έναν πανομοιότυπο αντιστροφέα ($Q_3 - Q_4$).

χωρητικότητα εισόδου του δεύτερου αντιστροφέα. Ας εξετάσουμε τώρα τη συνεισφορά καθεμιάς από τις χωρητικότητες του Σχ. 10.6 στην τιμή του ισοδύναμου χωρητικού φορτίου C :

1. Η χωρητικότητα υπερκάλυψης πύλης-υποδοχής του Q_1 , C_{gd1} , μπορεί να αντικατασταθεί από μια ισοδύναμη χωρητικότητα μεταξύ του κόμβου εξόδου και της γείωσης, ίση με $2C_{gd1}$. Ο συντελεστής 2 προκύπτει λόγω του φαινομένου Miller (βλ. Ενότητα 6.4.4). Συγκεκριμένα, σημειώστε ότι καθώς η v_i αυξάνεται και η v_o μειώνεται κατά το ίδιο ποσό, η μεταβολή της τάσης στα άκρα του C_{gd1} είναι διπλάσια από αυτό το ποσό. Άρα, ο κόμβος εξόδου βλέπει ουσιαστικά χωρητικότητα διπλάσια από την τιμή του C_{gd1} . Το ίδιο ισχύει για την χωρητικότητα υπερκάλυψης πύλης-υποδοχής του Q_2 , C_{gd2} , η οποία μπορεί να αντικατασταθεί από μια χωρητικότητα $2C_{gd2}$ μεταξύ του κόμβου εξόδου και της γείωσης.
2. Ο πυκνωτής που αναπαριστά κάθε μία από τις χωρητικότητες υποδοχής-σώματος, C_{db1} και C_{db2} , έχει τον ένα ακροδέκτη του σε σταθερό δυναμικό. Συνεπώς, για τους σκοπούς της ανάλυσής μας εδώ, οι C_{db1} και C_{db2} μπορούν να αντικατασταθούν από ίσες χωρητικότητες μεταξύ του κόμβου εξόδου και της γείωσης. Σημειώστε, ωστόσο, ότι οι τύποι που δόθηκαν στην Ενότητα 4.8 για τον υπολογισμό των C_{db1} και C_{db2} ισχύουν για λειτουργία ασθενούς σήματος, ενώ η ανάλυση εδώ αφορά προφανώς λειτουργία ισχυρού σήματος. Έχει αναπτυχθεί μια τεχνική για την εύρεση ισοδύναμων τιμών «ισχυρού σήματος» για τις C_{db1} και C_{db2} [βλ. Hodges & Jackson (1988) και Rabaey (2002)].
3. Δεδομένου ότι ο δεύτερος αντιστροφέας δεν αλλάζει κατάσταση, θα υποθέσουμε ότι οι χωρητικότητες εισόδου των Q_3 και Q_4 παραμένουν περίπου σταθερές και ίσες με τη συνολική χωρητικότητα πύλης ($W/LC_{ox} + C_{gsov} + C_{gdov}$). Δηλαδή, η χωρητικότητα εισόδου του αντιστροφέα που λειτουργεί ως φορτίο θα είναι

$$C_{g3} + C_{g4} = (WL)_3 C_{ox} + (WL)_4 C_{ox} + C_{gsov3} + C_{gdov3} + C_{gsov4} + C_{gdov4}$$

4. Η τελευταία συνιστώσα της C είναι η χωρητικότητα των αγωγών, C_w , η οποία προστίθεται απλώς στην τιμή της C .

Συνεπώς, η συνολική τιμή της C δίνεται από την

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w \quad (10.12)$$

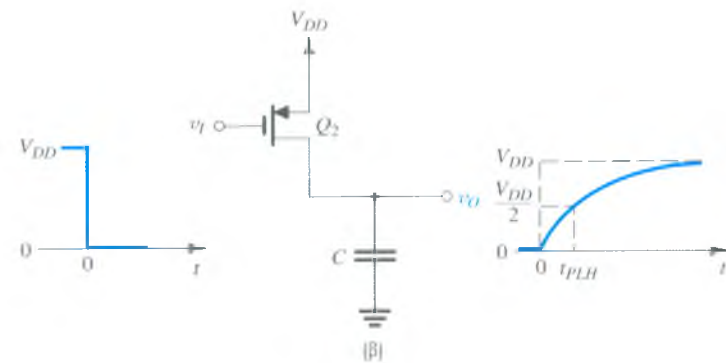
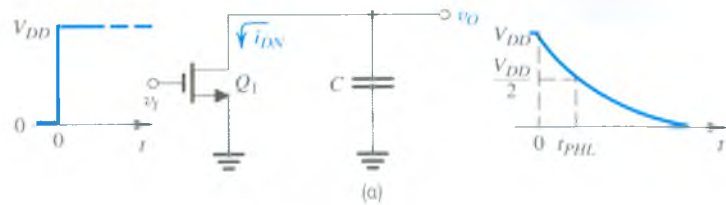
Έχοντας καθορίσει μια προσεγγιστική τιμή για την ισοδύναμη χωρητικότητα μεταξύ του κόμβου εξόδου του αντιστροφέα και της γείωσης, μπορούμε να χρησιμοποιήσουμε τα κυκλώματα του Σχ. 10.7 για να βρούμε τους χρόνους t_{PHL} και t_{PLH} , αντίστοιχα. Δεδομένου ότι τα δύο κυκλώματα είναι παρόμοια, μπορούμε να αναλύσουμε μόνο το ένα και να εφαρμόσουμε το αποτέλεσμα απευθείας στο άλλο. Δείτε το κύκλωμα του Σχ. 10.7(a), το οποίο ισχύει όταν το I αυξάνεται και το Q_N εκφορτίζει τον C από την αρχική τιμή V_{DD} στην τελική τιμή 0. Η ανάλυση περιπλέκεται από το γεγονός ότι αρχικά, το Q_N θα βρίσκεται στην περιοχί κορεσμού και κατόπιν, όταν η v_o πέσει κάτω από $V_{DD} - V_t$, θα μεταβεί στην περιοχί λειτουργίας τριόδου. Ουσιαστικά έχουμε εκτελέσει αυτή την ανάλυση στην Ενότητα 4.10 και καταλήξαμε στην ακόλουθη προσεγγιστική έκφραση για το διάστημα t_{PHL} :

$$t_{PHL} = \frac{1.6C}{k'_n \left(\frac{W}{L}\right)_n V_{DD}} \quad (10.13)$$

όπου έχουμε υποθέσει ότι $V_t \cong 0.2 V_{DD}$, πράγμα το οποίο είναι η τυπική περίπτωση.

Υπάρχει μια εναλλακτική, προσεγγιστική αλλά απλούστερη, μέθοδος για την ανάλυση του κυκλώματος του Σχ. 10.7(a). Βασίζεται στον υπολογισμό μιας μέσης τιμής (i_{av}) για το ρεύμα εκφόρτισης i_{DN} κατά το διάστημα από $t = 0$ έως $t = t_{PHL}$. Συγκεκριμένα, τη στιγμή $t = 0$, το Q_N θα είναι κορεσμένο και το $i_{DN}(0)$ δίνεται από την

$$i_{DN}(0) = \frac{1}{2} k'_n \left(\frac{W}{L}\right)_n (V_{DD} - V_t)^2 \quad (10.14)$$



ΣΧΗΜΑ 10.7 Ισοδύναμα κυκλώματα για τον καθορισμό των χρόνων καθυστέρησης διάδοσης (α) t_{PHL} και (β) t_{PLH} του αντιστροφέα.

Τη στιγμή $t = t_{PHL}$, το Q_N θα είναι στην περιοχική τριόδου και το $i_{DN}(t_{PHL})$ θα είναι

$$i_{DN}(t_{PHL}) = k'_n \left(\frac{W}{L} \right)_n \left[(V_{DD} - V_t) \frac{V_{DD}}{2} - \frac{1}{2} \left(\frac{V_{DD}}{2} \right)^2 \right] \quad (10.15)$$

Η μέση τιμή για το ρεύμα εκφόρτισης μπορεί να βρεθεί ως εξής:

$$i_{DN}|_{av} = \frac{1}{2} [i_{DN}(0) + i_{DN}(t_{PHL})] \quad (10.16)$$

Και ο χρόνος εκφόρτισης t_{PHL} υπολογίζεται ως εξής:

$$t_{PHL} = \frac{C \Delta V}{i_{DN}|_{av}} = \frac{C V_{DD}/2}{i_{DN}|_{av}} \quad (10.17)$$

Χρησιμοποιώντας τις Εξ. (10.14) έως (10.17) και με την αντικατάσταση $V_t \cong 0.2 V_{DD}$ παίρνουμε

$$t_{PHL} \cong \frac{1.7C}{k'_n \left(\frac{W}{L} \right)_n V_{DD}} \quad (10.18)$$

σχέση η οποία δίνει μια τιμή πολύ κοντά σ' αυτή που δίνουν οι ακριβέστεροι τύποι της Εξ. (10.13). Η επιλογή του τύπου που θα χρησιμοποιηθεί δεν έχει μεγάλη σημασία, διότι έχουμε κάνει ήδη πολλές προσεγγίσεις. Πράγματι, το ενδιαφέρον μας γι' αυτούς τους τύπους δεν έγκειται στον υπολογισμό επακριβούς τιμής για το t_{PHL} αλλά σ' αυτό που μας λένε σχετικά με την επίδραση των διάφορων στοιχείων στον καθορισμό της καθυστέρησης του αντιστροφέα. Αυτό είναι το είδος των πληροφοριών που ελπιζέει ο σχεδιαστής κυκλωμάτων να αποκομίσει από τη «χειροκίνητη» ανάλυση. Ακριβείς τιμές για την καθυστέρηση μπορούν να υπολογιστούν χρησιμοποιώντας λογισμικό προσομοίωσης (Ενότητα 10.7).

Ο τύπος υπολογισμού της καθυστέρησης του αντιστροφέα κατά τη μετάβαση από χαμηλή σε υψηλή στάθμη μπορεί να διατυπωθεί κατ' αναλογία με την έκφραση υπολογισμού του t_{PHL} στην Εξ. (10.17), ως εξής:

$$t_{PLH} \cong \frac{1.7C}{k'_p \left(\frac{W}{L} \right)_p V_{DD}} \quad (10.19)$$

Τέλος, η καθυστέρηση διάδοσης t_p μπορεί να υπολογιστεί ως μέσος όρος των t_{PHL} και t_{PLH} ,

$$t_p = \frac{1}{2} (t_{PHL} + t_{PLH})$$

Η προσεκτική εξέταση των Εξ. (10.18) και (10.19) μας δίνει τη δυνατότητα να κάνουμε ορισμένες χρήσιμες παρατηρήσεις:

1. Όπως αναμένεται, οι δύο συνιστώσες της t_p μπορούν να εξισωθούν επιλέγοντας κατάλληλα τους λόγους διαστάσεων (W/L) ώστε να εξισωθούν τα k_n και k_p - δηλαδή, με ταίριασμα των Q_N και Q_P .
2. Δεδομένου ότι η καθυστέρηση διάδοσης t_p είναι σε άμεση αναλογία με τη χωρητικότητα C , αυτό που φυσιολογικά προσπαθεί να πετύχει ένας σχεδιαστής είναι η μείωση της C . Αυτό επιτυγχάνεται με τη χρήση του ελάχιστου δυνατού μήκους καναλιού και με την ελαχιστοποίηση της χωρητικότητας των αγωγών και των άλλων παρασιτικών χωρητικότητων. Με προσεκτική «χωροταξία» στο ολοκληρωμένο, μπορεί να επιτευχθεί σημαντική μείωση αυτών των χωρητικότητων και της τιμής της C_{db} .
3. Η χρήση μιας τεχνολογίας κατασκευής με μεγαλύτερη παράμετρο διαγωγιμότητας k' μπορεί να έχει ως αποτέλεσμα μικρότερους χρόνους καθυστέρησης διάδοσης. Ωστόσο, να έχετε υπόψη ότι για τέτοιες κατασκευαστικές τεχνολογίες, η C_{ox} αυξάνεται και, συνεπακόλουθα, αυξάνεται η τιμή της C .
4. Η χρήση μεγαλύτερων λόγων διαστάσεων (W/L) μπορεί να έχει ως αποτέλεσμα μείωση της t_p . Ωστόσο, θα πρέπει να δοθεί ιδιαίτερη προσοχή και σ' αυτή την περίπτωση, επειδή κι εδώ επίσης η αύξηση του μεγέθους των στοιχείων αυξάνει την τιμή της C , και, ως εκ τούτου, μπορεί να μην επιτευχθεί η αναμενόμενη μείωση της t_p . Ωστόσο, η μείωση της t_p μέσω αύξησης του (W/L) είναι μια αποτελεσματική στρατηγική όταν η χωρητικότητα C κυριαρχείται από συνιστώσες οι οποίες δεν σχετίζονται άμεσα με τις διαστάσεις του οδηγούντος στοιχείου (π.χ. αγωγοί σύνδεσης ή στοιχεία fan-out).
5. Μεγαλύτερη τάση τροφοδοσίας V_{DD} έχει ως αποτέλεσμα μικρότερη t_p . Ωστόσο, η V_{DD} υπαγορεύεται από την τεχνολογία κατασκευής και, ως εκ τούτου, δεν είναι υπό τον έλεγχο του σχεδιαστή (συνήθως). Επιπλέον, οι σύγχρονες τεχνολογίες κατασκευής που επιτυγχάνουν μικρότερες διαστάσεις στοιχείων απαιτούν χαμηλότερη V_{DD} (βλ. Πίνακα 6.1). Ένα ισχυρό κίνητρο για τη μείωση της V_{DD} είναι η ανάγκη να κρατείται η δυναμική κατανάλωση ισχύος σε αποδεκτά επίπεδα, κυρίως σε ολοκληρωμένα υπερυψηλής πυκνότητας. Θα πούμε περισσότερα γι' αυτό το θέμα σύντομα.

Οι παραπάνω παρατηρήσεις καταδεικνύουν σαφώς τις αντικρουόμενες απαιτήσεις και τους συμβιβασμούς που λαμβάνουν χώρα κατά τη σχεδίαση ενός ψηφιακού ολοκληρωμένου κυκλώματος CMOS (αλλά και γενικότερα σε οποιοδήποτε σχεδιαστικό πρόβλημα τεχνικής φύσεως).

10.2.4 Δυναμική Κατανάλωση Ισχύος

Η αμελητέα στατική κατανάλωση ισχύος των CMOS συνέβαλε σημαντικά στην επικράτηση αυτής της τεχνολογίας για την υλοποίηση κυκλωμάτων VLSI υπερυψηλής πυκνότητας. Ωστόσο, καθώς αυξάνεται (σταθερά) ο αριθμός των πυλών ανά ολοκληρωμένο, η δυναμική κατανάλωση ισχύος έχει πλέον γίνει ένα σοβαρό ζήτημα. Η δυναμική ισχύς που καταναλώνεται στον αντιστροφέα CMOS δίνεται από την Εξ. (10.4), την οποία επαναλαμβάνουμε εδώ

$$P_D = f C V_{DD}^2 \quad (10.20)$$

όπου f είναι η συχνότητα μεταγωγής της πύλης. Κατά συνέπεια, η ελαχιστοποίηση της χωρητικότητας C είναι ένα αποτελεσματικό μέσο για τη μείωση της δυναμικής κατανάλωσης ισχύος. Μια ακόμα πιο αποτελεσματική στρατηγική είναι η χρήση χαμηλότερης τάσης τροφοδοσίας. Όπως έχουμε αναφέρει, οι νέες τεχνολογίες κατασκευής CMOS χρησιμοποιούν μικρές τιμές V_{DD} , έως το 1 V. Ωστόσο, αυτά τα νεότερα ολο-

κληρωμένα «πακετάρουν» πολύ περισσότερα κυκλώματα στην επιφάνειά τους (έως και 100 εκατομμύρια τρανζίστορ) και λειτουργούν σε υψηλότερες συχνότητες (είναι διαθέσιμοι μικροεπεξεργαστές με συχνότητες ρολογιού άνω του 1 GHz). Η δυναμική κατανάλωση ισχύος ολοκληρωμένων τόσο υψηλής πυκνότητας μπορεί να ξεπεράσει τα 100 W.

ΠΑΡΑΔΕΙΓΜΑ 10.1

Δίνεται αντιστροφικός CMOS κατασκευασμένος με μια τεχνολογία 0.25 μm για την οποία $C_{ox} = 115 \mu\text{A}/\text{V}^2$, $\mu_p C_{ox} = 30 \mu\text{A}/\text{V}^2$, $V_{tn} = -V_{tp} = 0.4 \text{ V}$ και $V_{DD} = 2.5 \text{ V}$. Ο λόγος W/L του Q_N είναι $0.375 \mu\text{m}/0.25 \mu\text{m}$ και του Q_P είναι $1.125 \mu\text{m}/0.25 \mu\text{m}$. Η χωρητικότητα υπερκάλυψης πύλης-πηγής και πύλης-υποδοχής είναι, βάσει προδιαγραφών, 0.3 fF ανά μm πλάτους της πύλης. Επιπλέον, οι ενεργές τιμές των χωρητικότητων υποδοχής-σώματος είναι $C_{dbn} = 1 \text{ fF}$ και $C_{dbp} = 1 \text{ fF}$. Η χωρητικότητα αγωγών $C_w = 0.2 \text{ fF}$. Βρείτε τους χρόνους t_{PHL} , t_{PLH} και t_P .

Λύση

Κατ' αρχήν, υπολογίζουμε την τιμή της ισοδύναμης χωρητικότητας C χρησιμοποιώντας την Εξ. (10.12),

$$C = 2C_{gd1} + 2C_{gd2} + C_{db1} + C_{db2} + C_{g3} + C_{g4} + C_w$$

όπου

$$C_{gd1} = 0.3 \times W_n = 0.3 \times 0.375 = 0.1125 \text{ fF}$$

$$C_{gd2} = 0.3 \times W_p = 0.3 \times 1.125 = 0.3375 \text{ fF}$$

$$C_{db1} = 1 \text{ fF}$$

$$C_{db2} = 1 \text{ fF}$$

$$C_{g3} = 0.375 \times 0.25 \times 6 + 2 \times 0.3 \times 0.375 = 0.7875 \text{ fF}$$

$$C_{g4} = 1.125 \times 0.25 \times 6 + 2 \times 0.3 \times 1.125 = 2.3625 \text{ fF}$$

$$C_w = 0.2 \text{ fF}$$

Συνεπώς,

$$C = 2 \times 0.1125 + 2 \times 0.3375 + 1 + 1 + 0.7875 + 2.3625 + 0.2 = 6.25 \text{ fF}$$

Στη συνέχεια, αν και μπορούμε να χρησιμοποιήσουμε την Εξ. (10.18) για να βρούμε τον χρόνο t_{PHL} , θα ακολουθήσουμε μια εναλλακτική οδό. Συγκεκριμένα, θα εξετάσουμε την εκφόρτιση του C μέσω του Q_N και θα υπολογίσουμε τη μέση τιμή του ρεύματος εκφόρτισης χρησιμοποιώντας τις Εξ. (10.14) έως (10.16):

$$\begin{aligned} i_{DN}(0) &= \frac{1}{2} k_n' \left(\frac{W}{L} \right)_n (V_{DD} - V_t)^2 \\ &= \frac{1}{2} \times 115 \left(\frac{0.375}{0.25} \right) (2.5 - 0.4)^2 = 380 \mu\text{A} \end{aligned}$$

$$\begin{aligned} i_{DN}(t_{PHL}) &= k_n' \left(\frac{W}{L} \right)_n \left[(V_{DD} - V_t) \frac{V_{DD}}{2} - \frac{1}{2} \left(\frac{V_{DD}}{2} \right)^2 \right] \\ &= 115 \times \frac{0.375}{0.25} \left[(2.5 - 0.4) \frac{2.5}{2} - \frac{1}{2} \left(\frac{2.5}{2} \right)^2 \right] \\ &= 318 \mu\text{A} \end{aligned}$$

Συνεπώς

$$i_{DN|av} = \frac{380 + 318}{2} = 349 \mu\text{A}$$

και

$$t_{PHL} = \frac{C(V_{DD}/2)}{i_{DN}|_{av}} = \frac{6.25 \times 10^{-15} \times 1.25}{349 \times 10^{-6}} = 23.3 \text{ ps}$$

Δεδομένου ότι $W_p / W_n = 3$ και $\mu_n / \mu_p = 3.83$, ο αντιστροφέας δεν χρησιμοποιεί τέλεια ταιριασμένα στοιχεία. Κατά συνέπεια, αναμένουμε ότι ο χρόνος t_{PLH} θα είναι μεγαλύτερος από τον t_{PHL} κατά ένα συντελεστή $3.83/3 = 1.3$ · οπότε,

$$t_{PLH} = 1.3 \times 23.3 = 30 \text{ ps}$$

και, κατά συνέπεια, η καθυστέρηση t_p θα είναι

$$\begin{aligned} t_p &= \frac{1}{2}(t_{PHL} + t_{PLH}) \\ &= \frac{1}{2}(23.3 + 30) = 26.5 \text{ ps} \end{aligned}$$

ΑΣΚΗΣΕΙΣ

- 10.1** Δίνεται ο αντιστροφέας του Παραδείγματος 10.1 με ένα επιπλέον χωρητικό φορτίο 0.1 pF. Πόση θα γίνει η καθυστέρηση διάδοσης;
Απ. 437 ps
- 10.2** Σε μια απόπειρα μείωσης της επιφάνειας του αντιστροφέα του Παραδείγματος 10.1, το $(W/L)_p$ γίνεται ίσο με το $(W/L)_n$. Πόση είναι η ποσοστιαία μείωση που επιτυγχάνεται; Βρείτε τις νέες τιμές των C , t_{PHL} , t_{PLH} και t_p . Υποθέστε ότι η C_{dbp} δεν αλλάζει σημαντικά.
Απ. 50%· 4.225 fF· 15.8 ps· 20.5 ps· 18.1 ps
- 10.3** Για τον αντιστροφέα του Παραδείγματος 10.1, βρείτε τη δυναμική κατανάλωση ισχύος όταν λειτουργεί με συχνότητα ρολογιού 500 MHz.
Απ. 19.5 μW

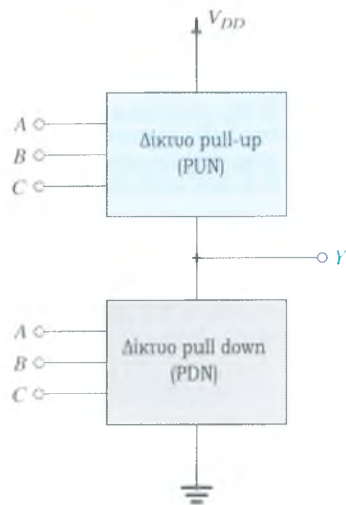


10.3 ΚΥΚΛΩΜΑΤΑ ΛΟΓΙΚΩΝ ΠΥΛΩΝ CMOS

Σ' αυτή την ενότητα θα βασιστούμε στο υλικό που παρουσιάσαμε για τη σχεδίαση του αντιστροφέα και θα εξετάσουμε τη σχεδίαση κυκλωμάτων CMOS τα οποία υλοποιούν λειτουργίες συνδυαστικής λογικής. Στα κυκλώματα συνδυαστικής λογικής, η έξοδος είναι, ανά πάσα στιγμή, συνάρτηση μόνο των τιμών των σημάτων εισόδου για τη συγκεκριμένη στιγμή. Συνεπώς, τα κυκλώματα αυτά δεν έχουν μνήμη και δεν χρησιμοποιούν ανάδραση. Τα κυκλώματα CMOS που υλοποιούν συναρτήσεις συνδυαστικής λογικής χρησιμοποιούνται (και μάλιστα σε μεγάλες ποσότητες) σε πλειάδα εφαρμογών· στην πραγματικότητα, κάθε ψηφιακό σύστημα περιέχει μεγάλο αριθμό κυκλωμάτων συνδυαστικής λογικής.

10.3.1 Βασική Δομή

Ένα λογικό κύκλωμα CMOS είναι ουσιαστικά μια επέκταση, ή γενίκευση, του αντιστροφέα CMOS: Ο αντιστροφέας αποτελείται από ένα NMOS pull-down τρανζίστορ κι ένα PMOS pull-up τρανζίστορ, τα οποία διεγείρονται από την τάση εισόδου και λειτουργούν με συμπληρωματικό τρόπο. Η λογική πύλη CMOS αποτελείται από δύο δίκτυα: το δίκτυο pull-down (PDN) που κατασκευάζεται με NMOS τρανζίστορ και το δίκτυο pull-up (PUN) που κατασκευάζεται με PMOS τρανζίστορ (βλ. Σχ. 10.8). Τα δύο δίκτυα ελέγχονται από τις μεταβλητές εισόδου και λειτουργούν με συμπληρωματικό τρόπο. Συνεπώς, για την πύλη τριών εισόδων που παρουσιάζεται στο Σχ. 10.8, το PDN θα άγει για όλους τους συνδυασμούς εισόδων που απαι-



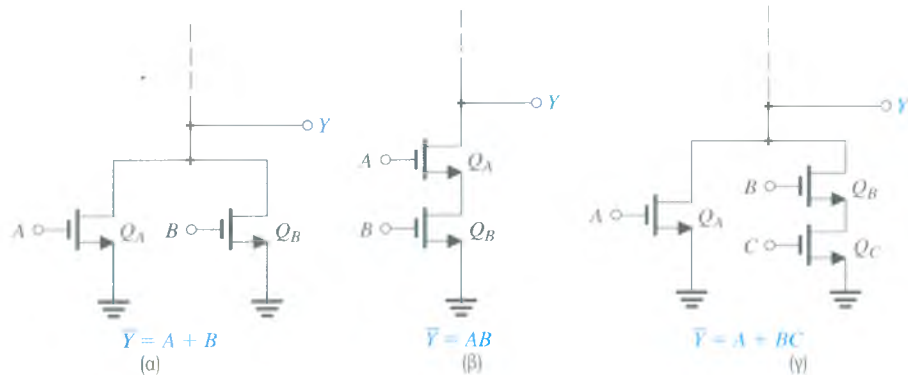
ΣΧΗΜΑ 10.8 Αναπαράσταση λογικής πύλης CMOS τριών εισόδων. Το PUN αποτελείται από PMOS τρανζίστορ και το PDN από NMOS τρανζίστορ.

τούν χαμηλή έξοδο ($Y = 0$) και κατόπιν θα «τραβάει προς τα κάτω» (pull down) τον κόμβο εξόδου, προς δυναμικό γείωσης, προκαλώντας την εμφάνιση μηδενικής τάσης στην έξοδο ($v_Y = 0$).

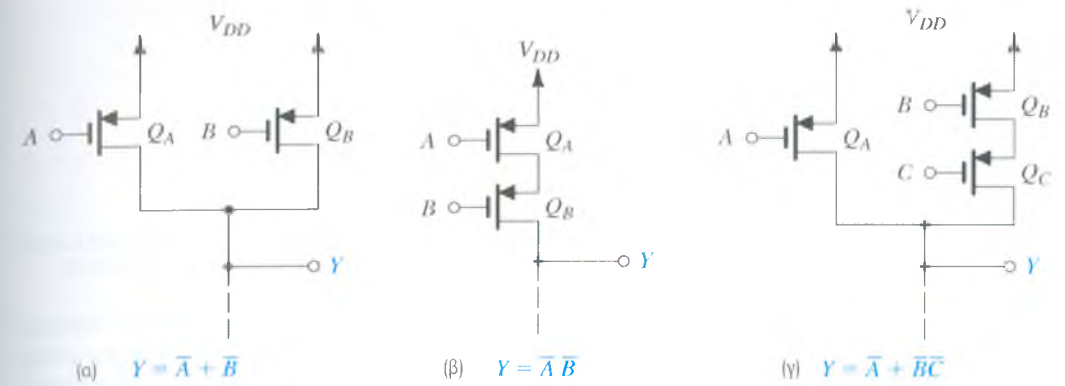
Ταυτόχρονα, το PUN θα είναι σε αποκοπή και δεν θα υπάρχει απευθείας δρόμος dc μεταξύ V_{DD} και γείωσης. Από την άλλη, όλοι οι συνδυασμοί εισόδων που απαιτούν υψηλή έξοδο ($Y = 1$) θα αναγκάζουν το PUN να άγει· με τη σειρά του, το PUN θα «τραβάει προς τα επάνω» τον κόμβο εξόδου, έως την τιμή V_{DD} , δίνοντας στην έξοδο $v_Y = V_{DD}$. Ταυτόχρονα, το PDN θα είναι σε αποκοπή και δεν θα υπάρχει δρόμος dc μεταξύ V_{DD} και γείωσης στο κύκλωμα.

Επειδή το PDN απαρτίζεται από NMOS τρανζίστορ και δεδομένου ότι ένα NMOS τρανζίστορ άγει όταν το σήμα στην πύλη του είναι σε υψηλή στάθμη, το PDN ενεργοποιείται (δηλαδή, άγει) όταν οι εισοδοί είναι στην υψηλή στάθμη. Σε πλήρη αντιστοιχία, το PUN απαρτίζεται από PMOS τρανζίστορ κι ένα PMOS τρανζίστορ άγει όταν το σήμα εισόδου στην πύλη του είναι στη χαμηλή στάθμη· συνεπώς, το PUN ενεργοποιείται όταν οι εισοδοί είναι στη χαμηλή στάθμη.

Αμφότερα τα δίκτυα PDN και PUN χρησιμοποιούν στοιχεία συνδεδεμένα εν παραλλήλω για την υλοποίηση της συνάρτησης OR (λογική διάζευξη), και στοιχεία συνδεδεμένα εν σειρά για την υλοποίηση της συνάρτησης AND (λογική σύζευξη). Εδώ, οι συμβολισμοί OR και AND αναφέρονται στη ροή ρεύματος (κατάσταση αγωγής). Το Σχήμα 10.9 παρουσιάζει παραδείγματα δικτύων PDN. Για το κύκλωμα του Σχ. 10.9(α), παρατηρούμε ότι το Q_A θα άγει όταν το A είναι στην υψηλή στάθμη ($v_A = V_{DD}$) και θα «τραβάει



ΣΧΗΜΑ 10.9 Παραδείγματα δικτύων pull-down.



ΣΧΗΜΑ 10.10 Παραδείγματα δικτύων pull-up.

προς τα κάτω» την έξοδο: $v_Y = 0$ V, $Y = 0$. Παρόμοια, το Q_B άγει και τραβάει την έξοδο (Y) προς τα κάτω όταν το B είναι στην υψηλή στάθμη.

Άρα, η έξοδος Y θα είναι χαμηλά όταν το A είναι ψηλά ή το B είναι ψηλά, πράγμα το οποίο μπορεί να διατυπωθεί ως

$$\bar{Y} = A + B$$

ή, ισοδύναμα,

$$Y = \overline{A + B}$$

Το PDN του Σχ. 10.9(β) θα άγει μόνο όταν τα A και B είναι ταυτόχρονα στην υψηλή στάθμη. Άρα, η έξοδος Y θα είναι χαμηλά όταν το A είναι ψηλά και το B είναι ψηλά,

$$\bar{Y} = AB$$

ή, ισοδύναμα,

$$Y = \overline{AB}$$

Σαν τελευταίο παράδειγμα, το PDN του Σχ. 10.9(γ) θα άγει και θα μηδενίζει την έξοδο Y όταν το A είναι ψηλά ή όταν τα B και C είναι αμφότερα ψηλά· συνεπώς,

$$\bar{Y} = A + BC$$

ή, ισοδύναμα,

$$Y = \overline{A + BC}$$

Στη συνέχεια, ας εξετάσουμε τα παραδείγματα δικτύων PUN του Σχ. 10.10. Το PUN του Σχ. 10.10(α) θα άγει και θα τραβάει την έξοδο Y προς τα επάνω, έως την τιμή V_{DD} ($Y = 1$) όταν το A είναι χαμηλά ή το B είναι χαμηλά· συνεπώς,

$$Y = \bar{A} + \bar{B}$$

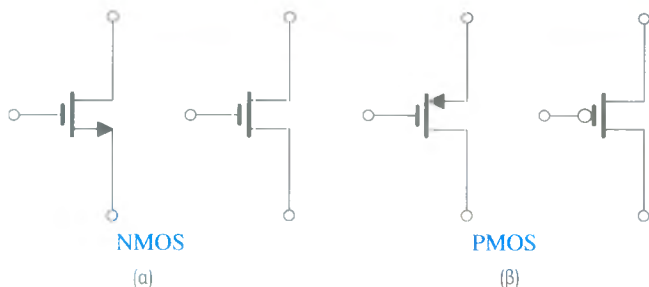
Το PUN του Σχ. 10.10(β) θα άγει και θα παράγει υψηλή έξοδο ($v_Y = V_{DD}$, $Y = 1$) μόνο όταν τα A και B είναι αμφότερα χαμηλά· συνεπώς,

$$Y = \overline{AB}$$

Τέλος, το PUN του Σχ. 10.10(γ) θα άγει και θα υποχρεώνει την έξοδο Y σε υψηλή στάθμη (λογικό 1) εάν το A είναι χαμηλά ή το B και το C είναι αμφότερα χαμηλά· συνεπώς,

$$Y = \bar{A} + \bar{B}\bar{C}$$

Έχοντας κατανοήσει τη δομή και λειτουργία των δικτύων PDN και PUN, είμαστε πλέον σε θέση να εξετάσουμε τη λειτουργία των πυλών CMOS στην ολότητα της. Ωστόσο, πριν ξεκινήσουμε, θα θέλαμε να παρουσιάσουμε ορισμένα εναλλακτικά κυκλωματικά σύμβολα για τα MOS τρανζίστορ, τα οποία τυγχάνουν σχεδόν καθολικής χρήσης από τους σχεδιαστές ψηφιακών κυκλωμάτων.



ΣΧΗΜΑ 10.11 Συνήθη και εναλλακτικά κυκλωματικά σύμβολα για MOSFET.

Το Σχήμα 10.11 παρουσιάζει τα συνήθη σύμβολα (αριστερά) και τις αντίστοιχες “ψηφιακές” εκδόσεις τους (δεξιά). Παρατηρήστε ότι το σύμβολο για το PMOS τρανζίστορ με τον κύκλο στον ακροδέκτη πύλης υποδεικνύει ότι το σήμα στην πύλη πρέπει να είναι στη χαμηλή στάθμη για να ενεργοποιηθεί (δηλαδή, να άγει) το στοιχείο. Βάσει της ορολογίας των λογικών κυκλωμάτων, ο ακροδέκτης πύλης του PMOS τρανζίστορ είναι μια ενεργή είσοδος χαμηλής στάθμης. Πέραν της υπόδειξης αυτής της συγκεκριμένης ιδιότητας των PMOS στοιχείων, οι ψηφιακές εκδόσεις των συμβόλων δεν φέρουν καμία ένδειξη για το ποιος ακροδέκτης είναι η πηγή και ποιος η υποδοχή. Στο στάδιο που βρισκόμαστε τώρα, αυτό δεν θα πρέπει να σας προκαλέσει δυσκολίες· να θυμάστε απλώς ότι για ένα NMOS τρανζίστορ, η υποδοχή είναι ο ακροδέκτης που βρίσκεται σε υψηλότερο δυναμικό (το ρεύμα ρέει από την υποδοχή στην πηγή), ενώ για ένα PMOS τρανζίστορ η πηγή είναι ο ακροδέκτης που βρίσκεται στο υψηλότερο δυναμικό (το ρεύμα ρέει από την πηγή στην υποδοχή). Για να συμβαδίζουμε με τη βιβλιογραφία, εφεξής θα χρησιμοποιούμε αυτά τα τροποποιημένα σύμβολα για τα MOS τρανζίστορ που χρησιμοποιούνται σε λογικά κυκλώματα, εκτός από τις περιπτώσεις όπου κρίνουμε ότι τα συνήθη σύμβολα θα βοηθούσαν στην καλύτερη κατανόηση της λειτουργίας ενός κυκλώματος.

10.3.2 Η Πύλη NOR Δύο Εισόδων

Κατ’ αρχήν θα εξετάσουμε την πύλη CMOS που υλοποιεί τη λογική συνάρτηση NOR δύο-εισόδων

$$Y = \overline{A + B} = \overline{A} \overline{B} \quad (10.21)$$

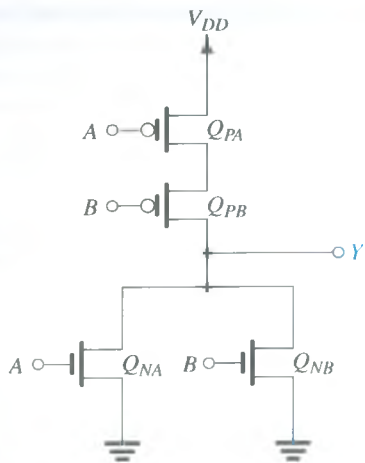
Βλέπουμε ότι η έξοδος Y πρέπει να είναι στη χαμηλή στάθμη (το PDN άγει) όταν το A είναι στην υψηλή ή το B είναι στην υψηλή. Άρα, το PDN αποτελείται από δύο παράλληλα στοιχεία NMOS με τα A και B σαν εισόδους (δηλαδή, το κύκλωμα του Σχ. 10.9α). Για το PUN, παρατηρούμε από τη δεύτερη έκφραση της Εξ. (10.21) ότι η έξοδος Y πρέπει να είναι στην υψηλή στάθμη όταν τα A και B είναι αμφότερα χαμηλά. Άρα, το PUN αποτελείται από δύο εν σειρά στοιχεία PMOS, με τα A και B σαν εισόδους (δηλαδή, το κύκλωμα του Σχ. 10.10β). Ο συνδυασμός των PDN και PUN μας δίνει την πύλη NOR του Σχ. 10.12. Σημειώστε ότι η επέκταση σε μεγαλύτερο αριθμό εισόδων είναι απλή υπόθεση: Για κάθε επιπλέον είσοδο, προστίθεται ένα NMOS τρανζίστορ παράλληλα με τα Q_{NA} και Q_{NB} κι ένα PMOS τρανζίστορ εν σειρά με τα Q_{PA} και Q_{PB} .

10.3.3 Η Πύλη NAND Δύο Εισόδων

Η συνάρτηση NAND δύο εισόδων περιγράφεται από τη λογική έκφραση

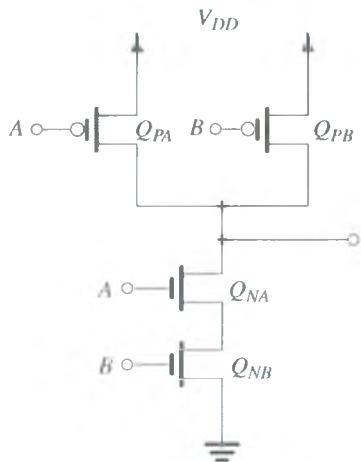
$$Y = \overline{A \cdot B} = \overline{A} + \overline{B} \quad (10.22)$$

Για τη σύνθεση του PDN, θα εξετάσουμε τους συνδυασμούς εισόδων που απαιτούν χαμηλή έξοδο: Υπάρχει μόνο ένας τέτοιος συνδυασμός – συγκεκριμένα, με τα A και B αμφότερα ψηλά. Άρα, το PDN αποτελείται απλώς από δύο NMOS τρανζίστορ εν σειρά (όπως το κύκλωμα του Σχ. 10.9β). Για τη σύνθεση του PUN, θα εξετάσουμε τους συνδυασμούς εισόδων που έχουν ως αποτέλεσμα υψηλή έξοδο. Αυτοί βρίσκονται από τη δεύτερη έκφραση της Εξ. (10.22) και προϋποθέτουν A χαμηλά ή B χαμηλά.



$$Y = \overline{A + B}$$

ΣΧΗΜΑ 10.12 CMOS πύλη NOR δύο εισόδων.



$$Y = \overline{AB}$$

ΣΧΗΜΑ 10.13 CMOS πύλη NAND δύο εισόδων.

Άρα, το PUN αποτελείται από δύο παράλληλα PMOS τρανζίστορ με τα A και B να εφαρμόζονται στις πύλες τους (όπως στο κύκλωμα του Σχ. 10.10α). Ο συνδυασμός του PDN με το PUN δίνει την υλοποίηση της λογικής πύλης NAND που παρουσιάζεται στο Σχ. 10.13. Σημειώστε ότι κι εδώ, η επέκταση σε μεγαλύτερο αριθμό εισόδων είναι απλή υπόθεση: Για κάθε επιπλέον είσοδο, προσθέτουμε ένα NMOS τρανζίστορ εν σειρά με τα Q_{NA} και Q_{NB} κι ένα PMOS τρανζίστορ εν παραλλήλω με τα Q_{PA} και Q_{PB} .

10.3.4 Μια Πολυπλοκότερη Πύλη

Ας εξετάσουμε τώρα την ακόλουθη, πολυπλοκότερη λογική συνάρτηση

$$Y = \overline{A(B + CD)} \quad (10.23)$$

Δεδομένου ότι $\bar{Y} = A(B + CD)$, βλέπουμε ότι η έξοδος Y θα πρέπει να είναι χαμηλή για να είναι το A σε υψηλή και ταυτόχρονα να είναι είτε το B είτε αμφότερα τα C και D σε υψηλή. Από αυτό, λαμβάνουμε απευθείας το PDN. Για το PUN, θα πρέπει να εκφράσουμε το Y συναρτήσει των μεταβλητών στη συμπλη-

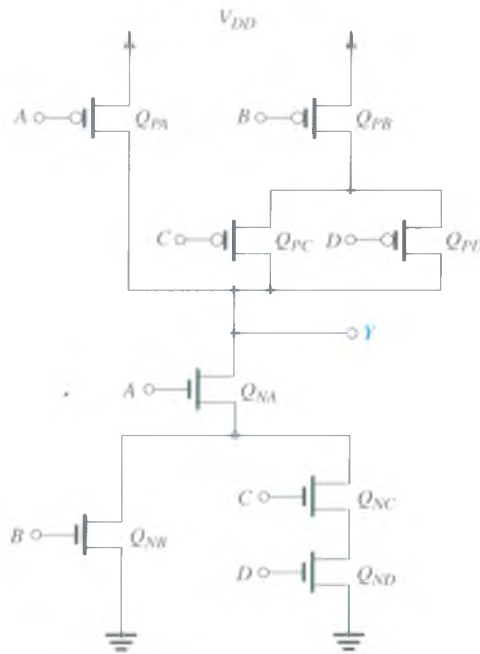
ρωματική τους μορφή, πράγμα το οποίο μπορεί να γίνει με επαναλαμβανόμενη εφαρμογή του νόμου DeMorgan, ως εξής:

$$\begin{aligned}
 Y &= \overline{A(B + CD)} \\
 &= \overline{A} + \overline{B + CD} \\
 &= \overline{A} + \overline{B} \overline{CD} \\
 &= \overline{A} + \overline{B}(\overline{C} + \overline{D})
 \end{aligned}
 \tag{10.24}$$

Συνεπώς, η έξοδος Y είναι σε υψηλή στάθμη για A σε χαμηλή ή B σε χαμηλή και είτε C είτε D σε χαμηλή. Το πλήρες κύκλωμα CMOS θα πρέπει να είναι όπως αυτό του Σχ. 10.14.

10.3.5 Εύρεση του PUN από το PDN και Αντίστροφα

Από τα κυκλώματα πυλών CMOS που εξετάσαμε έως τώρα (π.χ., αυτό του Σχ. 10.14), παρατηρούμε ότι τα PDN και PUN έχουν μια άμεση σχέση δυϊσμού: Για όπου υπάρχει εν σειρά κλάδος στο ένα, υπάρχει παράλληλος κλάδος στο άλλο. Συνεπώς, μπορούμε να εξαγάγουμε το ένα από το άλλο με μια διαδικασία η οποία μπορεί να είναι απλούστερη από το να συνθέσουμε το καθένα ξεχωριστά βάσει της Boolean έκφρασης που περιγράφει τη λογική συνάρτηση. Για παράδειγμα, στο κύκλωμα του Σχ.10.14 διαπιστώσαμε ότι είναι σχετικά εύκολο να βρούμε το PDN, απλώς και μόνο επειδή είχαμε το \bar{Y} συναρτήσει των εισόδων στην κανονική (μη συμπληρωματική) μορφή τους. Από την άλλη, για να λάβουμε το PUN, έπρεπε να χειριστούμε τη δοθείσα Boolean έκφραση για να διατυπώσουμε το Y σαν συνάρτηση των μεταβλητών στη συμπληρωματική τους μορφή, η οποία είναι βολική για τη σύνθεση δικτύων PUN. Εναλλακτικά, θα μπορούσαμε να έχουμε χρησιμοποιήσει αυτή την ιδιότητα δυϊσμού για να εξαγάγουμε το PUN από το PDN. Σας προτείνουμε να ανατρέξετε στο Σχ. 10.14 για να αποδείξετε ότι αυτό είναι όντως εφικτό.



$$Y = \overline{A(B + CD)}$$

ΣΧΗΜΑ 10.14 CMOS υλοποίηση μιας πολύπλοκης πύλης.

Ωστόσο, θα πρέπει να αναφέρουμε ότι σε ορισμένες περιπτώσεις δεν είναι εύκολο να εξαγάγουμε το ένα εκ των δύο δικτύων από το άλλο εκμεταλλευόμενοι την ιδιότητα του διύσμου. Γι' αυτές τις περιπτώσεις, θα πρέπει κανείς να καταφεύγει σε πιο σχολαστικές διαδικασίες, η περιγραφή των οποίων υπερβαίνει τα όρια του παρόντος βιβλίου [βλ. Kang & Leblebici (1999)].

10.3.6 Η Συνάρτηση Αποκλειστικού OR

Μια σημαντική συνάρτηση που χρησιμοποιείται συχνά στη σχεδίαση λογικών κυκλωμάτων είναι η συνάρτηση αποκλειστικής διάζευξης (exclusive-OR, XOR) που περιγράφεται ως εξής:

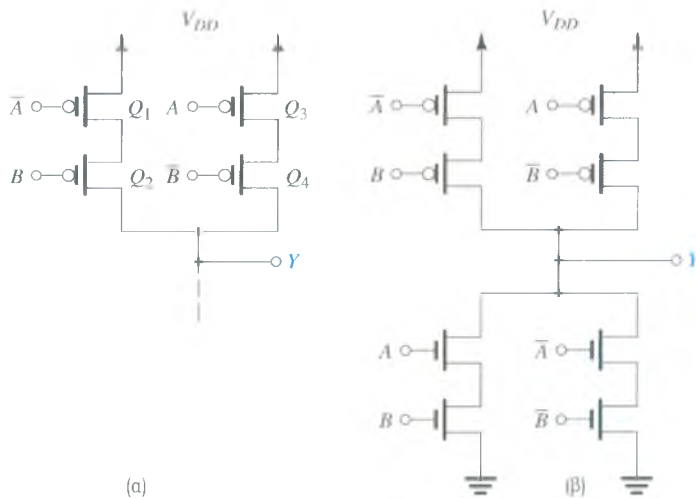
$$Y = A\bar{B} + \bar{A}B \quad (10.25)$$

Παρατηρούμε ότι επειδή δίνεται το Y (και όχι το \bar{Y}), είναι ευκολότερο να συνθέσουμε το PUN. Δυστυχώς, όμως, το Y δεν είναι συνάρτηση μόνο των μεταβλητών στη συμπληρωματική τους μορφή (όπως θα θέλαμε). Άρα, θα χρειαστούμε επιπλέον αντιστροφείς. Το PUN που λαμβάνεται απευθείας από την Εξ. (10.25) παρουσιάζεται στο Σχ. 10.15(α). Σημειώστε ότι ο κλάδος Q_1, Q_2 υλοποιεί τον πρώτο όρο ($A\bar{B}$), ενώ ο κλάδος Q_3, Q_4 υλοποιεί το δεύτερο ($\bar{A}B$). Σημειώστε επίσης την ανάγκη χρήσης δύο επιπλέον αντιστροφέων για την παραγωγή των \bar{A} και \bar{B} .

Όσον αφορά τη σύνθεση του PDN, μπορούμε να το λάβουμε ως δυϊκό του PUN του Σχ. 10.15(α). Εναλλακτικά, μπορούμε να διατυπώσουμε μια έκφραση για το \bar{Y} και να τη χρησιμοποιήσουμε για τη σύνθεση του PDN. Θ' αφήσουμε την πρώτη προσέγγιση σαν άσκηση για τον αναγνώστη και θα χρησιμοποιήσουμε εδώ την προσέγγιση της απευθείας σύνθεσης. Μπορούμε να εφαρμόσουμε το νόμο DeMorgan στην έκφραση της Εξ. (10.25) για να λάβουμε το \bar{Y}

$$\bar{Y} = AB + \bar{A}\bar{B} \quad (10.26)$$

Το αντίστοιχο PDN θα είναι όπως στο Σχ. 10.15(β), το οποίο παρουσιάζει την CMOS υλοποίηση της συνάρτησης XOR, εκτός από τους δύο επιπλέον αντιστροφείς. Σημειώστε ότι για την υλοποίησή της απαιτούνται 12 τρανζίστορ – ένα μάλλον πολύπλοκο δίκτυο. Στην Ενότητα 10.5 θα δείξουμε μια απλούστερη υλοποίηση της συνάρτησης XOR με χρήση μιας διαφορετικής μορφής λογικής CMOS.



ΣΧΗΜΑ 10.15 Υλοποίηση της συνάρτησης XOR: (α) Το PUN, παραγόμενο απευθείας από την Εξ. (10.25). (β) Η πλήρης υλοποίηση της XOR με χρήση του PUN από το (α) και ενός PDN το οποίο συντίθεται απευθείας από την έκφραση της Εξ. (10.26). Σημειώστε ότι απαιτούνται δύο αντιστροφείς (δεν παρουσιάζονται) για την παραγωγή των συμπληρωματικών μορφών των μεταβλητών. Παρατηρήστε επίσης ότι σ' αυτή την υλοποίηση της XOR, τα δίκτυα PDN και PUN δεν επιδεικνύουν την ιδιότητα του διύσμου· ωστόσο, είναι εφικτή μια υλοποίηση βασισόμενη σε δυϊκά δίκτυα (δείτε το Πρόβλημα 10.27).

Μια άλλη ενδιαφέρουσα παρατήρηση προέρχεται από το κύκλωμα του Σχ. 10.15(β). Εδώ, τα PDN και PUN *δεν είναι* δυϊκά δίκτυα. Πράγματι, ο δυϊσμός των PDN και PUN δεν είναι αναγκαία συνθήκη. Συνεπώς, αν και μπορεί πάντα να χρησιμοποιείται ένα δυϊκό δίκτυο του PDN (ή του PUN) για το PUN (ή το PDN), τα δύο δίκτυα δεν είναι κατ' ανάγκη δυϊκά.

10.3.7 Σύνοψη της Μεθόδου Σύνθεσης

1. Το PDN μπορεί να συντεθεί απευθείας διατυπώνοντας το \bar{Y} σαν συνάρτηση των μεταβλητών *στη μη συμπληρωματική τους μορφή*. Εάν εμφανίζονται μεταβλητές στη συμπληρωματική τους μορφή σ' αυτή την έκφραση, θα απαιτούνται επιπλέον αντιστροφείς για την παραγωγή των μη συμπληρωματικών τους.
2. Το PUN μπορεί να συντεθεί απευθείας διατυπώνοντας το Y σαν συνάρτηση των μεταβλητών *στη συμπληρωματική τους μορφή* και κατόπιν εφαρμόζοντας τις συμπληρωματικές μεταβλητές στις πύλες των PMOS τρανζίστορ. Εάν εμφανίζονται μεταβλητές στη μη συμπληρωματική τους μορφή σ' αυτή την έκφραση, θα απαιτούνται επιπλέον αντιστροφείς για την παραγωγή των συμπληρωματικών τους.
3. Το PDN μπορεί να λαμβάνεται από το PUN (και το αντίστροφο) χρησιμοποιώντας την ιδιότητα του δυϊσμού.

10.3.8 Διαστάσεις των Τρανζίστορ

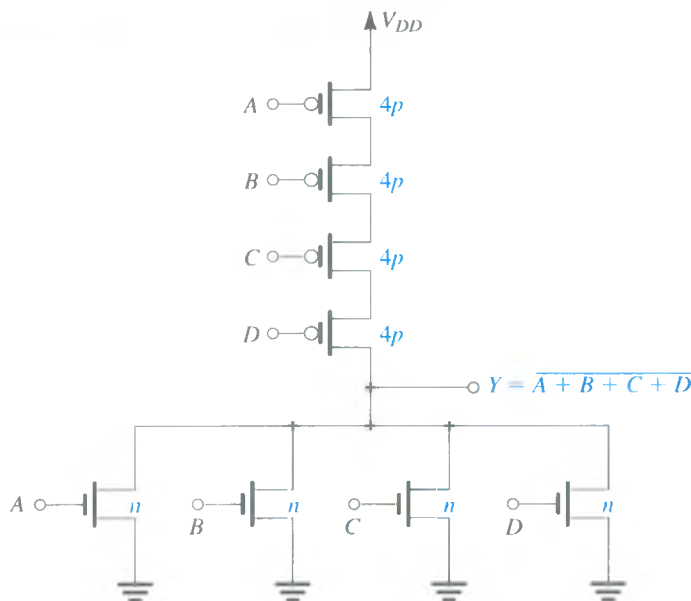
Αφού παραχθεί το κύκλωμα μιας πύλης CMOS, το μόνο σημαντικό βήμα που απομένει αναφορικά με τη σχεδίαση είναι να αποφασιστούν οι λόγοι διαστάσεων, W/L , για όλα τα στοιχεία. Αυτοί οι λόγοι επιλέγονται συνήθως τέτοιοι ώστε να παρέχουν στην πύλη δυνατότητα οδήγησης ρεύματος και προς τις δύο κατευθύνσεις, ισοδύναμη με αυτή του βασικού αντιστροφέα. Όπως ίσως θυμάστε από την Ενότητα 10.2, για τη σχεδίαση του βασικού αντιστροφέα συμβολίζουμε το $(W/L)_n = n$ και το $(W/L)_p = p$, όπου το n είναι συνήθως 1.5 έως 2 και, για ταιριασμένα στοιχεία, $p = (\mu_n / \mu_p)_n$. Άρα, θα πρέπει να επιλέγουμε το W/L κάθε τρανζίστορ μιας λογικής πύλης με τρόπο ώστε το PDN να μπορεί να παρέχει ρεύμα εκφόρτισης πυκνωτή *τουλάχιστον* ίσο με αυτό ενός NMOS τρανζίστορ με $W/L = n$, ενώ το PUN θα πρέπει να μπορεί να παρέχει ρεύμα φόρτισης *τουλάχιστον* ίσο με αυτό ενός PMOS τρανζίστορ με $W/L = p$. Αυτό εγγυάται τιμή *χειρίστης περίπτωσης* για την καθυστέρηση της πύλης ίση με αυτή του βασικού αντιστροφέα¹.

Στην παραπάνω περιγραφή, θα πρέπει να τονίσουμε τη σημασία της «χειρίστης περίπτωσης». Σημαίνει ότι στη φάση επιλογής των διαστάσεων των στοιχείων, θα πρέπει να βρίσκουμε τους συνδυασμούς εισόδων που έχουν ως αποτέλεσμα το ελάχιστο ρεύμα εξόδου και κατόπιν να επιλέγουμε διαστάσεις οι οποίες θα εξισώνουν αυτό το ρεύμα με το ρεύμα του βασικού αντιστροφέα. Πριν παρουσιάσουμε παραδείγματα, θα πρέπει να φροντίσουμε το ζήτημα του καθορισμού της δυνατότητας οδήγησης ρεύματος που έχει ένα κύκλωμα αποτελούμενο από έναν αριθμό στοιχείων MOS. Με άλλα λόγια, θα πρέπει να βρούμε τον *ισοδύναμο* λόγο W/L ενός δικτύου τρανζίστορ MOS. Για το σκοπό αυτό, θα εξετάσουμε την παράλληλη και εν σειρά σύνδεση των MOSFET και θα βρούμε τους ισοδύναμους λόγους W/L .

Η εύρεση του ισοδύναμου W/L βασίζεται στο γεγονός ότι η αντίσταση αγωγής ενός MOSFET είναι αντιστρόφως ανάλογη του W/L . Συνεπώς, εάν συνδέσουμε εν σειρά έναν αριθμό από MOSFET με λόγους διαστάσεων $(W/L)_1, (W/L)_2, \dots$, η ισοδύναμη εν σειρά αντίσταση που λαμβάνεται προσθέτοντας τις αντιστάσεις αγωγής θα είναι

$$\begin{aligned} R_{\text{εν σειρά}} &= r_{DS1} + r_{DS2} + \dots \\ &= \frac{\text{σταθερή}}{(W/L)_1} + \frac{\text{σταθερή}}{(W/L)_2} + \dots \\ &= \text{σταθερή} \left[\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots \right] \\ &= \frac{\text{σταθερή}}{(W/L)_{\text{εφ}}} \end{aligned}$$

¹ Η δήλωση αυτή υποθέτει ότι η συνολική ενεργή χωρητικότητα C της λογικής πύλης είναι ίδια με αυτή του αντιστροφέα. Στην πράξη, η τιμή της C θα είναι μεγαλύτερη για μια πύλη, κυρίως όταν αυξάνεται το fan-in.



ΣΧΗΜΑ 10.16 Καθορισμός των διαστάσεων των τρανζίστορ για μια πύλη NOR τεσσάρων εισόδων. Παρατηρήστε ότι τα n και p αντιπροσωπεύουν τους λόγους διαστάσεων (W/L) των Q_N και Q_P , αντίστοιχα, του βασικού αντιστροφέα.

η οποία οδηγεί στην ακόλουθη έκφραση για τον ισοδύναμο λόγο $(W/L)_{eq}$ των εν σειρά συνδεδεμένων τρανζίστορ:

$$(W/L)_{eq} = \frac{1}{\frac{1}{(W/L)_1} + \frac{1}{(W/L)_2} + \dots} \quad (10.27)$$

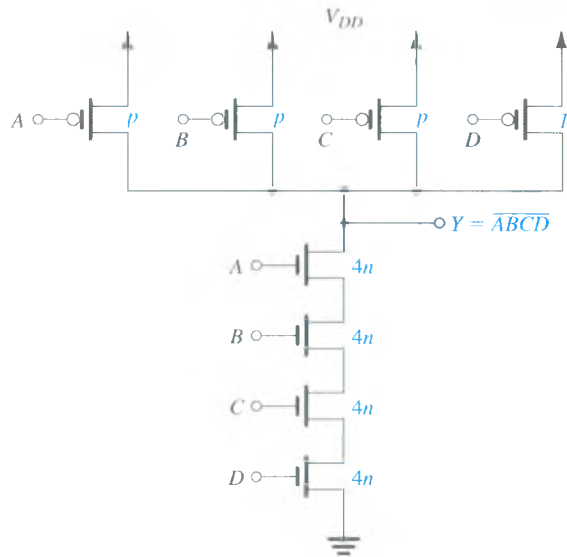
Παρόμοια, μπορούμε να δείξουμε ότι η παράλληλη σύνδεση των τρανζίστορ με λόγους διαστάσεων $(W/L)_1, (W/L)_2, \dots$, δίνει το ισοδύναμο

$$(W/L)_{eq} = (W/L)_1 + (W/L)_2 + \dots \quad (10.28)$$

Για παράδειγμα, δύο πανομοιότυπα MOS τρανζίστορ με $W/L = 4$ έκαστο, δίνουν ισοδύναμο $W/L = 2$ όταν συνδέονται εν σειρά και 8 όταν συνδέονται παράλληλα.

Σαν ένα άλλο παράδειγμα καθορισμού των κατάλληλων διαστάσεων, ας εξετάσουμε την τεσσάρων εισόδων πύλη NOR του Σχ. 10.16. Εδώ, η τιμή χειρίστης περίπτωσης (το ελάχιστο ρεύμα) για το PDN λαμβάνεται όταν άγει μόνο ένα από τα NMOS τρανζίστορ. Άρα, επιλέγουμε το W/L κάθε NMOS τρανζίστορ ίσο με αυτό του NMOS τρανζίστορ του βασικού αντιστροφέα – δηλαδή, n . Για το PUN, ωστόσο, η χειρίστη περίπτωση (και, ουσιαστικά, η μοναδική περίπτωση) είναι όταν όλες οι εισοδοί είναι σε χαμηλή στάθμη και τα τέσσερα εν σειρά PMOS τρανζίστορ άγουν. Δεδομένου ότι ο ισοδύναμος λόγος W/L θα ισούται με το ένα τέταρτο του W/L κάθε στοιχείου PMOS, θα πρέπει να επιλέξουμε το W/L κάθε PMOS τρανζίστορ τέτοιο ώστε να είναι τετραπλάσιο από αυτό του Q_P του βασικού αντιστροφέα – δηλαδή, $4p$.

Ας δούμε ένα ακόμα παράδειγμα. Στο Σχ. 10.17 παρουσιάζουμε τις διαστάσεις των τρανζίστορ για μια τεσσάρων εισόδων πύλη NAND. Συγκρίνοντας τις πύλες NAND και NOR των Σχ. 10.16 και 10.17 βλέπουμε ότι, επειδή το p είναι συνήθως διπλάσιο ή τριπλάσιο από το n , η πύλη NOR θα απαιτεί πολύ μεγαλύτερη επιφάνεια από την πύλη NAND. Για το λόγο αυτό, γενικά, οι πύλες NAND προτιμώνται για την υλοποίηση συνδυαστικής λογικής με CMOS.



ΣΧΗΜΑ 10.17 Καθορισμός των κατάλληλων μεγεθών των τρανζίστορ για μια τεσσάρων εισόδων πύλη NAND. Τα n και p αντιπροσωπεύουν τους λόγους διαστάσεων (W/L) των Q_N και Q_P , αντίστοιχα, του βασικού αντιστροφέα.

ΠΑΡΑΔΕΙΓΜΑ 10.2

Υπολογίστε τα W/L για τα τρανζίστορ του λογικού κυκλώματος που παρουσιάζεται στο Σχ. 10.18. Υποθέστε ότι για το βασικό αντιστροφέα $n = 1.5$ και $p = 5$, καθώς και ότι το μήκος καναλιού είναι $0.25 \mu\text{m}$.

Λύση

Ανατρέχοντας στο Σχ. 10.18, θα εξετάσουμε πρώτα το PDN. Παρατηρούμε ότι η χειρίστη περίπτωση προκύπτει όταν το Q_{NB} είναι ενεργό και είτε το Q_{NC} είτε το Q_{ND} είναι ενεργό. Δηλαδή, στη χειρίστη περίπτωση, έχουμε δύο τρανζίστορ εν σειρά. Κατά συνέπεια, επιλέγουμε τις διαστάσεις καθενός εκ των Q_{NB} , Q_{NC} και Q_{ND} , τέτοιες ώστε να έχουν διπλάσιο πλάτος από το στοιχείο n -καναλιού του βασικού αντιστροφέα

$$Q_{NB}: W/L = 2n = 3 = 0.75/0.25$$

$$Q_{NC}: W/L = 2n = 3 = 0.75/0.25$$

$$Q_{ND}: W/L = 2n = 3 = 0.75/0.25$$

Για το τρανζίστορ Q_{NA} , επιλέγουμε W/L ίσο με αυτό του στοιχείου n -καναλιού του βασικού αντιστροφέα

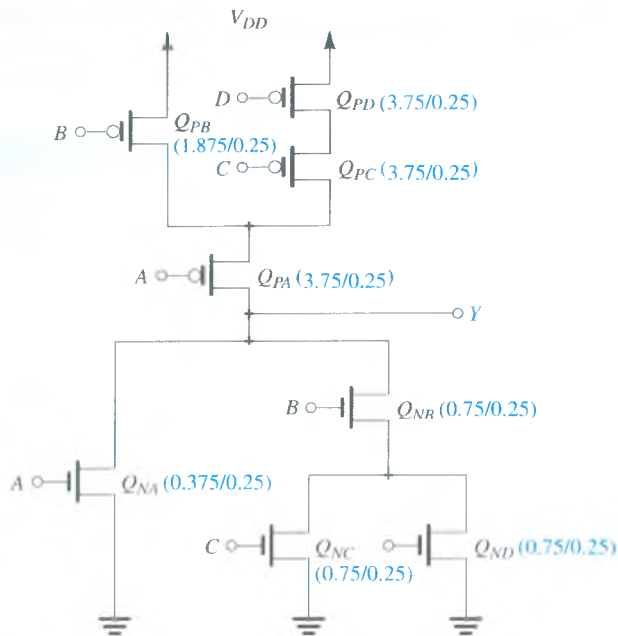
$$Q_{NA}: W/L = n = 1.5 = 0.375/0.25$$

Στη συνέχεια, ας εξετάσουμε το PUN. Εδώ βλέπουμε ότι στη χειρίστη περίπτωση, έχουμε τρία εν σειρά τρανζίστορ: Q_{PA} , Q_{PC} και Q_{PD} . Κατά συνέπεια, επιλέγουμε το W/L καθενός εξ αυτών τριπλάσιο από το W/L του Q_P στο βασικό αντιστροφέα (δηλαδή, $3p$), οπότε

$$Q_{PA}: W/L = 3p = 15 = 3.75/0.25$$

$$Q_{PC}: W/L = 3p = 15 = 3.75/0.25$$

$$Q_{PD}: W/L = 3p = 15 = 3.75/0.25$$



ΣΧΗΜΑ 10.18 Το κύκλωμα για το Παράδειγμα 10.2.

Τέλος, το W/L για το Q_{PB} θα πρέπει να επιλεγεί τέτοιο ώστε ο ισοδύναμος λόγος W/L της εν σειρά σύνδεσης των Q_{PB} και Q_{PA} να ισούται με p . Κατά συνέπεια, για το Q_{PB} το W/L θα πρέπει να είναι $1.5p$

$$Q_{PB}: W/L = 1.5p = 7.5 = 1.875/0.25$$

Το Σχήμα 10.18 παρουσιάζει το κύκλωμα με τα μεγέθη των τρανζίστορ.

10.3.9 Η Επίδραση των Fan-In και Fan-Out στην Καθυστερήση Διάδοσης

Κάθε επιπλέον είσοδος σε μια πύλη CMOS απαιτεί δύο επιπλέον τρανζίστορ, ένα NMOS κι ένα PMOS. Αυτό έρχεται σε αντίθεση με τις άλλες μορφές λογικής MOS, όπου κάθε επιπλέον είσοδος απαιτεί μόνο ένα επιπλέον τρανζίστορ. Το επιπλέον τρανζίστορ στην περίπτωση CMOS αυξάνει όχι μόνο την επιφάνεια του ολοκληρωμένου, αλλά επίσης και την συνολική ενεργή χωρητικότητα ανά πύλη κι αυτό, με τη σειρά του, αυξάνει την καθυστέρηση διάδοσης. Η μέθοδος «κλιμάκωσης μεγέθους» που περιγράψαμε παραπάνω αντισταθμίζει εν μέρει την αύξηση της t_p (αλλά όχι πλήρως). Συγκεκριμένα, αυξάνοντας το μέγεθος των στοιχείων μπορούμε να διαφυλάξουμε τη δυνατότητα οδήγησης ρεύματος. Ωστόσο, η χωρητικότητα C αυξάνεται αφενός λόγω του αυξημένου αριθμού εισόδων και αφετέρου λόγω της αύξησης στο μέγεθος των στοιχείων. Συνεπώς, η καθυστέρηση t_p θα συνεχίσει να αυξάνεται και σ' αυτή την περίπτωση ανάλογα με το fan-in, ένα γεγονός το οποίο θέτει ένα πρακτικό όριο όσον αφορά το fan-in: για παράδειγμα, για την πύλη NAND είναι περίπου 4. Εάν απαιτείται μεγαλύτερος αριθμός εισόδων, θα πρέπει κανείς να υιοθετήσει «έξυπνες» τεχνικές σχεδίασης για να υλοποιήσει τη δοθείσα λογική συνάρτηση με πύλες που θα έχουν όχι περισσότερες από τέσσερις εισόδους. Συνήθως αυτό σημαίνει αύξηση του αριθμού των διαδοχικών (cascaded) σταδίων και, κατά συνέπεια, αύξηση της καθυστέρησης διάδοσης. Ωστόσο, μια τέτοια αύξηση της καθυστέρησης μπορεί να είναι μικρότερη από την αύξηση λόγω μεγάλου fan-in (δείτε το Πρόβλημα 10.36). Η αύξηση στο fan-out μιας πύλης επαυξάνει άμεσα το χωρητικό της φορτίο και, κατά συνέπεια, την καθυστέρηση διάδοσης.

Τα παραπάνω σημαίνουν ότι, αν και η τεχνολογία CMOS έχει πολλά πλεονεκτήματα, υποφέρει από το πρόβλημα της αυξημένης πολυπλοκότητας του κυκλώματος όταν αυξάνονται τα fan-in και fan-out,

Τεχνολογία Κατασκευής Ολοκληρωμένων VLSI

ΕΙΣΑΓΩΓΗ

Στόχος αυτού του παραρτήματος είναι να εξοικειώσει τον αναγνώστη με την τεχνολογία VLSI (very-large-scale integrated circuit, ολοκληρωμένα κυκλώματα πολύ υψηλής κλίμακας ολοκλήρωσης). Θα επιχειρήσουμε να παρουσιάσουμε συνοπτικά την τυπική, βασιζόμενη στο πυρίτιο κατασκευαστική διαδικασία VLSI. Παρουσιάζονται επίσης τα χαρακτηριστικά των στοιχείων που μπορούν να κατασκευαστούν με τεχνολογίες CMOS και BiCMOS. Συγκεκριμένα, θα αναφερθούμε στις απόψεις της σχεδίασης ολοκληρωμένων κυκλωμάτων που διαφέρουν από τη σχεδίαση κυκλωμάτων διακριτών στοιχείων. Για την σωστή αξιοποίηση των πλεονεκτημάτων που προσφέρουν τα ολοκληρωμένα κυκλώματα στον τομέα της οικονομίας, οι σχεδιαστές θα πρέπει να είναι σε θέση να αντιπαρέχονται ορισμένους σοβαρούς περιορισμούς των στοιχείων (π.χ. απαράδεκτες ανοχές) και να αξιοποιούν τα πλεονεκτήματά τους (π.χ. μεγάλη ακρίβεια στο ταιριασμό τους). Για τους λόγους αυτούς, η γνώση των χαρακτηριστικών των στοιχείων είναι ζωτικής σημασίας για τη σχεδίαση καλών ολοκληρωμένων κυκλωμάτων VLSI ειδικού σκοπού ή ειδικών εφαρμογών (application-specific ICs, ASICs). Η γνώση αυτή αποδεικνύεται εξίσου χρήσιμη όταν κανείς καλείται να επιλέξει (μεταξύ των πολλών εμπορικά διαθέσιμων) τα ολοκληρωμένα που θα χρησιμοποιήσει για τη σχεδίαση ενός συστήματος.

Σ' αυτό το παράρτημα θα ασχοληθούμε μόνο με τεχνολογίες που βασίζονται στο πυρίτιο (Si). Αν και χρησιμοποιείται επίσης το αρσενικούχο γάλλιο (GaAs) για την υλοποίηση ολοκληρωμένων VLSI, το πυρίτιο είναι εκ του μακρόθεν το δημοφιλέστερο υλικό, με καλή σχέση κόστους προς απόδοση. Οι νεότερες εξελίξεις, με τις τεχνολογίες SiGe (γερμανίου-πυριτίου) και strained-Si (πυρίτιο υπό μηχανική τάση), θα ενισχύσουν ακόμη περισσότερο τη θέση των βασιζόμενων στο πυρίτιο τεχνολογιών κατασκευής ημιαγωγίμων στοιχείων στο πρόσφατο μέλλον.

Το πυρίτιο είναι ένα υλικό που αφθονεί στη φύση. Μπορεί να υποστεί επεξεργασία και να εξευγενιστεί με τεχνικές οι οποίες είναι καλά καθορισμένες και γνωστές. Επιδεικνύει φυσικά χαρακτηριστικά τα οποία το καθιστούν κατάλληλο για την κατασκευή ενεργών στοιχείων με καλά ηλεκτρικά χαρακτηριστικά. Επιπλέον, το πυρίτιο μπορεί να οξειδωθεί εύκολα, δίνοντας διοξείδιο του πυριτίου (SiO_2), το οποίο είναι εξαιρετικός μονωτής. Αυτό το φυσικό οξείδιο του πυριτίου είναι χρήσιμο για την κατασκευή πυκνωτών και τρανζίστορ MOSFET. Εξυπηρετεί επίσης σαν φράγμα το οποίο μπορεί να εμποδίσει τη διάχυση ανεπιθύμητων σωματιδίων (προσμείξεις, ρύποι) σε γειτονικές περιοχές πυριτίου υψηλής καθαρότητας. Αυτή η ιδιότητα «φραγμού» που επιδεικνύει το SiO_2 επιτρέπει την εύκολη αλλαγή των ηλεκτρικών χαρακτηριστικών του πυριτίου σε προκαθορισμένες περιοχές. Έτσι, ενεργά και παθητικά στοιχεία μπορούν να κατασκευάζονται πάνω στο ίδιο κομμάτι υλικού (υπόστρωμα, ή υπόβαθρο [substrate]). Τα στοιχεία μπορούν να διασυνδέονται με τη χρήση μεταλλικών επιστρώσεων (παρόμοιες με αυτές που χρησιμοποιούνται στα τυπωμένα κυκλώματα). Με τον τρόπο αυτό δημιουργούνται τα αποκαλούμενα «μονολιθικά» ολοκληρωμένα (monolithic ICs), τα οποία ουσιαστικά είναι ολοκληρωμένες τοπολογίες κυκλωμάτων πάνω σ' ένα μικρό κομμάτι υλικού.



A.1 ΚΑΤΑΣΚΕΥΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ - ΤΑ ΒΗΜΑΤΑ

Στις ενότητες που ακολουθούν θα περιγράψουμε τα βασικά βήματα κατασκευής ολοκληρωμένων κυκλωμάτων. Ορισμένα από αυτά μπορούν να εκτελούνται πολλές φορές, σε διαφορετικούς συνδυασμούς και υπό διαφορετικές συνθήκες επεξεργασίας κατά τη διάρκεια του κύκλου κατασκευής ενός ολοκληρωμένου κυκλώματος.



ΣΧΗΜΑ Α.1 Ράβδος και δισκίδια πυριτίου.

Α.1.1 Προετοιμασία των Δισκιδίων (Wafers)

Ως πρώτη ύλη για την κατασκευή των σύγχρονων ολοκληρωμένων κυκλωμάτων χρησιμοποιείται πυρίτιο πολύ υψηλού βαθμού καθαρότητας. Το υλικό αναπτύσσεται σε μορφή συμπαγών κρυσταλλικών ράβδων, κυλινδρικού σχήματος, διαμέτρου 10 έως 30 cm (Σχ. Α.1) και μήκους 1 έως 2 m. Αυτές οι ράβδοι κρυστάλλου τεμαχίζονται (περίπου σαν μια φραντζόλα ψωμιού) για να παραχθούν κυκλικά δισκίδια πάχους 400 μm έως 600 μm (ένα μικρόμετρο ή micron (μm) ισούται με ένα εκατομμυριοστό του μέτρου). Στη συνέχεια, η επιφάνεια αυτών των δισκιδίων γυαλίζεται με χρήση χημικών και μηχανικών διεργασιών (CMP). Συνήθως, οι κατασκευαστές ημιαγωγών αγοράζουν έτοιμα δισκίδια πυριτίου από κάποιον προμηθευτή· σπάνια ξεκινούν τη διαδικασία από το στάδιο των κυλινδρικών κρυσταλλικών ράβδων.

Οι βασικές ηλεκτρικές και μηχανικές ιδιότητες του δισκιδίου εξαρτώνται από την ανάπτυξη του κρυστάλλου (τον προσανατολισμό των επιπέδων του κρυσταλλικού πλέγματος), καθώς και από το είδος και τα επίπεδα συγκέντρωσης των νοθεύσεων (προσμειξεων) που υπάρχουν. Αυτές οι μεταβλητές ελέγχονται αυστηρά κατά τη διάρκεια ανάπτυξης του κρυστάλλου. Επιπλέον, ελεγχόμενες ποσότητες προσμειξεων μπορούν να προστιθενται σκόπιμα σε καθαρό πυρίτιο, μια διαδικασία που αποκαλείται νόθευση (doping). Αυτό επιτρέπει τη μεταβολή των ηλεκτρικών ιδιοτήτων του πυριτίου και συγκεκριμένα της ειδικής του αντίστασης. Είναι επίσης δυνατό να ελεγχθεί ο τύπος των φορέων –είτε οπές (σε πυρίτιο p -τύπου), είτε ηλεκτρόνια (σε πυρίτιο n -τύπου)– που είναι υπεύθυνοι για την αγωγή. Εάν προστεθεί μεγάλος αριθμός ξένων ατόμων (νοθεύσεων), το πυρίτιο αποκαλείται «υψηλού βαθμού νόθευσης» (π.χ., συγκέντρωση $> 10^{18}$ άτομα/ cm^3). Κατά τον καθορισμό των σχετικών συγκεντρώσεων νόθευσης σε δομές ημιαγωγών στοιχείων, συνήθίζεται η χρήση των συμβόλων + και -. Ένα υψηλού βαθμού νόθευσης (και χαμηλής ειδικής αντίστασης) δισκίδιο πυριτίου n -τύπου αναφέρεται ως υλικό $n+$, ενώ μια περιοχή με μικρό βαθμό νόθευσης αναφέρεται ως $n-$. Η δυνατότητα ελέγχου του τύπου των προσμειξεων-νοθευτών και της συγκέντρωσης νόθευσης στο πυρίτιο καθιστά εφικτή τη δημιουργία διόδων, τρανζίστορ και αντιστάσεων σε ευέλικτη μορφή ολοκληρωμένου κυκλώματος.

Α.1.2 Οξειδωση

Οξειδωση (oxidation) είναι η χημική αντίδραση του πυριτίου με οξυγόνο για το σχηματισμό διοξειδίου του πυριτίου (SiO_2). Για την επιτάχυνση της αντίδρασης, απαιτείται η χρήση ειδικών φούρνων υψηλής θερμοκρασίας (π.χ., 1000–1200°C). Για να αποφευχθεί η εισαγωγή ακόμα και ελάχιστων ποσοτήτων ρύπων (που θα μπορούσαν να μεταβάλλουν σημαντικά τις ηλεκτρικές ιδιότητες του πυριτίου), είναι αναγκαίο ένα εξαιρετικά καθαρό περιβάλλον. Αυτό ισχύει για όλα τα βήματα επεξεργασίας που λαμβάνουν χώρα κατά την κατασκευή ενός ολοκληρωμένου κυκλώματος. Στο χώρο παραγωγής κυκλοφορεί ειδικά φιλτραρισμένος αέρας και όλο το προσωπικό πρέπει να φοράει ειδικά αποστειρωμένες στολές.

Το οξυγόνο που χρησιμοποιείται στην αντίδραση μπορεί να εισαχθεί είτε σε μορφή αερίου υψηλής καθαρότητας (ξηρή οξειδωση) είτε σε μορφή υδρατμών (υγρή οξειδωση). Γενικά, η υγρή οξειδωση παρέχει ταχύτερο ρυθμό ανάπτυξης· ωστόσο, η ξηρή οξειδωση παρέχει υλικό με καλύτερα ηλεκτρικά χαρακτηριστικά. Σε κάθε περίπτωση, το στρώμα του οξειδίου που σχηματίζεται μ' αυτή τη διαδικασία έχει άριστες ιδιότητες ηλεκτρικού μονωτή. Η διηλεκτρική αντοχή του SiO_2 είναι περίπου 107 V/cm. Έχει διηλεκτρική σταθερά περίπου 3.9 και μπορεί να χρησιμοποιείται για τη δημιουργία άριστων πυκνωτών. Όπως αναφέραμε, το διοξείδιο του πυριτίου εξυπηρετεί σαν αποτελεσματική μάσκα προστασίας από πολλούς ρύπους, επιτρέποντας την εισαγωγή νοθευτών μέσα στο πυρίτιο μόνο σ' εκείνες τις περιοχές που δεν είναι καλυμμένες με οξείδιο. Αυτή η προστατευτική ιδιότητα είναι ζωτικής σημασίας για την αξιόπιστη μαζική παραγωγή στοιχείων με τεχνολογίες VLSI.

Το διοξείδιο του πυριτίου σχηματίζει ένα λεπτό, διάφανο στρώμα (σαν φιλμ) και η επιφάνειά του είναι εξαιρετικά ανακλαστική. Εάν πέσει λευκό φως πάνω σ' ένα οξειδωμένο δισκίδιο, τα δημιουργικά και καταστροφικά φαινόμενα παρεμβολής που λαμβάνουν χώρα έχουν ως αποτέλεσμα την ανάκλαση συγκεκριμένων χρωμάτων. Τα

μήκη κύματος του ανακλώμενου φωτός εξαρτώνται από το πάχος του στρώματος του οξειδίου. Μάλιστα, ανάλογα με το χρώμα που παίρνει η επιφάνεια του δίσκου μπορεί κανείς να εξακριβώσει το πάχος του οξειδίου. Η ίδια αρχή χρησιμοποιείται σε προηγμένο οπτικό εξοπλισμό για τη μέτρηση του πάχους των φιλμ. Σ' ένα δίσκο που έχει υποστεί επεξεργασία, θα υπάρχουν περιοχές με διαφορετικά πάχη οξειδίου. Τα αντίστοιχα χρώματα μπορεί να είναι αρκετά έντονα και οι διαφορές στο πάχος του στρώματος οξειδίου είναι εμφανείς ακόμα και διά γυμνού οφθαλμού.

A.1.3 Διάχυση

Διάχυση (diffusion) είναι η διαδικασία με την οποία τα άτομα κινούνται μέσα στο κρυσταλλικό πλέγμα του ημιαγωγού, από μια περιοχική υψηλής συγκέντρωσης σε μια περιοχική χαμηλής συγκέντρωσης. Η διαδικασία διάχυσης μπορεί να παρομοιαστεί με τον τρόπο που διασκορπίζεται μια σταγόνα μελάνης μέσα σ' ένα ποτήρι με νερό, εκτός από το γεγονός ότι συμβαίνει με πολύ μικρότερες ταχύτητες στα στερεά. Στην κατασκευή ημιαγωγών, η διάχυση χρησιμοποιείται ως μία μέθοδος για την εισαγωγή «ξένων» ατόμων (προσμείξεις/νοθευτές) μέσα στο πυρίτιο, για την αλλαγή της ειδικής του αντίστασης. Ο ρυθμός με τον οποίο διαχέονται τα ξένα άτομα μέσα στο πυρίτιο εξαρτάται έντονα από τη θερμοκρασία. Συνεπώς, για λόγους ταχύτητας, η διάχυση εκτελείται συνήθως σε υψηλές θερμοκρασίες (1000–1200°C), ώστε να επιτευχθεί το επιθυμητό «προφίλ» νόθευσης. Όταν ο δίσκος ψυχθεί σε θερμοκρασία δωματίου, τα άτομα των προσμείξεων ουσιαστικά «παγώνουν» σε συγκεκριμένες θέσεις. Η διαδικασία διάχυσης εκτελείται σε φούρνους, παρόμοιους με αυτούς που χρησιμοποιούνται για την οξειδωση. Το βάθος στο οποίο διαχέονται τα άτομα-νοθευτές εξαρτάται τόσο από τη θερμοκρασία όσο και από τη διάρκεια θέρμανσης.

Οι πιο κοινές χημικές ουσίες που χρησιμοποιούνται ως νοθευτές είναι το βόριο, ο φώσφορος και το αρσενικό. Το βόριο είναι νοθευτής p -τύπου, ενώ ο φώσφορος και το αρσενικό είναι νοθευτές n -τύπου. Αυτοί οι νοθευτές μπορούν να μασκάρονται αποτελεσματικά με χρήση λεπτών στρωμάτων διοξειδίου του πυριτίου. Διαχέοντας βόριο σ' ένα υπόστρωμα n -τύπου, σχηματίζεται μια ένωση pn (δίοδος). Εάν η συγκέντρωση νόθευσης είναι μεγάλη, το στρώμα που σχηματίζεται μπορεί επίσης να χρησιμοποιηθεί ως αγωγός.

A.1.4 Εμφύτευση Ιόντων

Η εμφύτευση ιόντων (ion implantation) είναι μία ακόμα μέθοδος που χρησιμοποιείται για την εισαγωγή ατόμων-νοθευτών στο κρυσταλλικό πλέγμα του ημιαγωγού. Ένας εμφυτευτής ιόντων παράγει ιόντα της επιθυμητής ουσίας-νοθευτή, τα επιταχύνει με τη βοήθεια ενός ηλεκτρικού πεδίου και τα αφήνει να προσπέσουν πάνω στην επιφάνεια του ημιαγωγού. Έτσι, τα ιόντα ενσωματώνονται στη δομή του κρυσταλλικού πλέγματος. Το βάθος διείσδυσης τους σχετίζεται με την ενέργεια της δέσμης ιόντων, η οποία μπορεί να ελέγχεται από το δυναμικό του επιταχυντικού πεδίου. Η ποσότητα ιόντων που εμφυτεύονται μπορεί να ελέγχεται μεταβάλλοντας το ρεύμα της δέσμης (τη ροή των ιόντων). Δεδομένου ότι τόσο το ρεύμα όσο και η τάση μπορούν να μετρούνται και να ελέγχονται με ακρίβεια, η εμφύτευση ιόντων είναι μια ακριβέστερη μέθοδος νόθευσης συγκριτικά με τη διάχυση. Επιπρόσθετα, η εμφύτευση ιόντων μπορεί να εκτελείται σε θερμοκρασία δωματίου. Συνήθως, η εμφύτευση ιόντων χρησιμοποιείται όταν η ακρίβεια του προφίλ νόθευσης είναι ζωτικής σημασίας για τη λειτουργία του κατασκευαζόμενου στοιχείου.

A.1.5 Χημική Εναπόθεση με Χρήση Εξαέρωσης

Η χημική εναπόθεση με χρήση εξαέρωσης (chemical-vapor deposition, CVD) είναι μια διαδικασία με την οποία αέρια ή υδρατμοί αντιδρούν χημικά, προκαλώντας το σχηματισμό στερεών πάνω σ' ένα υπόστρωμα. Η τεχνική CVD μπορεί να χρησιμοποιείται για την εναπόθεση διάφορων υλικών πάνω σε υπόστρωμα πυριτίου, όπως διοξείδιο πυριτίου (SiO_2), νιτρίδιο πυριτίου (Si_3N_4) και πολυκρυσταλλικό πυρίτιο. Για παράδειγμα, εάν αντιδράσει οξυγόνο με το αέριο σιλάνιο πάνω σε υπόστρωμα πυριτίου, το προϊόν της αντίδρασης, διοξείδιο του πυριτίου, εναποτίθεται σαν ένα λεπτό στρώμα στερεού στην επιφάνεια του δισκιδίου πυριτίου. Το παραγόμενο στρώμα οξειδίου δεν έχει τόσο καλές ιδιότητες όσο ένα στρώμα που δημιουργείται με τη θερμική διεργασία, αλλά επαρκεί για χρήση σαν ηλεκτρικός μονωτής. Το πλεονέκτημα ενός παραγόμενου με τη διαδικασία CVD στρώματος είναι ότι δημιουργείται γρήγορα και σε σχετικά χαμηλή θερμοκρασία (κάτω από 500°C).

Εάν χρησιμοποιηθεί μόνο το αέριο σιλάνιο, τότε εναποτίθεται ένα στρώμα πυριτίου πάνω στο δισκίδιο. Εάν η θερμοκρασία της αντίδρασης είναι αρκετά υψηλή (πάνω από 1000°C), το παραγόμενο στρώμα έχει κρυσταλλική μορφή (υποθέτοντας ότι το υπόστρωμα είναι κρυσταλλικό πυρίτιο). Ένα τέτοιο στρώμα αποκαλείται επιταξιακό και η διαδικασία με την οποία δημιουργείται αναφέρεται ως επιταξιακή ανάπτυξη (epitaxy). Σε χαμηλότερες θερμοκρασίες, ή εάν το υπόστρωμα δεν είναι μονοκρυσταλλικό πυρίτιο, τα άτομα δεν ενώνονται ώστε να σχη-

ματίσουν μια μονοκατευθυντική κρυσταλλική δομή. Ένα τέτοιο στρώμα αποκαλείται πολυκρυσταλλικό πυρίτιο (poly Si) επειδή αποτελείται από πολλούς μικρούς κρυστάλλους πυριτίου των οποίων οι άξονες βρίσκονται σε τυχαίες κατευθύνσεις. Συνήθως, αυτά τα στρώματα νοθεύονται έντονα ώστε να σχηματιστούν περιοχές μεγάλης αγωγιμότητας οι οποίες μπορούν να χρησιμοποιηθούν για την ηλεκτρική διασύνδεση στοιχείων.

A.1.6 Επιμετάλλωση

Στόχος της επιμετάλλωσης είναι η διασύνδεση των διάφορων στοιχείων (τρανζίστορ, πυκνωτές, κ.α.) για το σχηματισμό του επιθυμητού ολοκληρωμένου κυκλώματος. Η διαδικασία επιμετάλλωσης ξεκινά με την εναπόθεση μετάλλου πάνω σε όλη την επιφάνεια του πυριτίου. Στη συνέχεια χαράσσεται επιλεκτικά πάνω του το επιθυμητό «μοτίβο» διασυνδέσεων. Η εναπόθεση του στρώματος μετάλλου γίνεται συνήθως με μια τεχνική που αποκαλείται «θρυμματισμός» (sputtering). Ένας δίσκος καθαρού μετάλλου (π.χ., αλουμίνιο καθαρότητας 99.99%) εκτίθεται σε μια δέσμη ιόντων αργού (Ar), σε θάλαμο κενού. Τα δισκίδια τοποθετούνται επίσης μέσα στο θάλαμο, πάνω από το στόχο. Επειδή το αργό είναι ένα ευγενές αέριο, τα ιόντα του δεν αντιδρούν με το μέταλλο-στόχο. Αυτό που συμβαίνει είναι ότι τα ιόντα αργού «βομβαρδίζουν» το μέταλλο-στόχο, προκαλώντας την απόσπαση ατόμων από αυτό. Τα αποσπασμένα από το μέταλλο άτομα επικάθονται σε όλες τις επιφάνειες μέσα στο θάλαμο, συμπεριλαμβανομένων των δισκιδίων. Το πάχος του στρώματος μετάλλου που δημιουργείται κατ' αυτό τον τρόπο μπορεί να ελέγχεται μέσω της διάρκειας εκτέλεσης του sputtering, η οποία συνήθως είναι 1 έως 2 λεπτά.

A.1.7 Φωτολιθογραφία

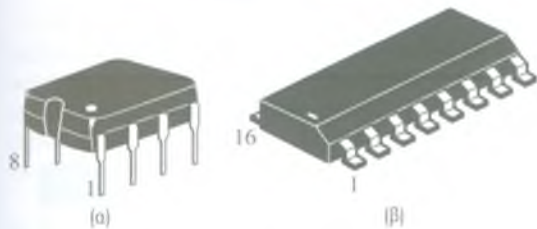
Η γεωμετρία της επιφάνειας των διάφορων στοιχείων ενός ολοκληρωμένου κυκλώματος καθορίζεται με φωτογραφικές μεθόδους. Κατ' αρχήν, η επιφάνεια των δισκιδίων καλύπτεται με ένα στρώμα φωτοευαίσθητου υλικού (photoresist). Στη συνέχεια, χρησιμοποιείται μια φωτογραφική μάσκα πάνω στην οποία είναι αποτυπωμένο το επιθυμητό σχέδιο (π.χ., μια πλάκα χαλαζία με χρώμιο για το μοτίβο) για την επιλεκτική έκθεση του φωτοευαίσθητου υλικού σε υπεριώδη (UV) ακτινοβολία. Οι εκτεθειμένες περιοχές υφίστανται αλλοίωση (όταν χρησιμοποιείται θετικό φωτοευαίσθητο υλικό) και μπορούν κατόπιν να αφαιρεθούν με χρήση χημικών, έτσι ώστε τελικά να εμφανιστεί το σχέδιο της μάσκας στο δισκίδιο. Η τεχνική αυτή επιτρέπει να αναπαράγονται με ακρίβεια σχέδια πολύ μικρών διαστάσεων. Η φωτολιθογραφία απαιτεί τον ακριβότερο εξοπλισμό απ' όλα τα στάδια κατασκευής ολοκληρωμένων VLSI. Σήμερα, προσεγγίζουμε τα φυσικά όρια της φωτολιθογραφικής διαδικασίας. Βαθύ υπεριώδες φως ή δέσμες ηλεκτρονίων μπορούν να χρησιμοποιούνται για τη δημιουργία σχεδίων με ανάλυση έως και 50 nm. Ωστόσο, θα χρειαστεί ένα επόμενο άλμα της τεχνολογίας για να επιτευχθεί περαιτέρω μείωση διαστάσεων.

Το στρώμα του φωτοευαίσθητου υλικού που έχει τώρα τη μορφή του σχεδίου μπορεί να χρησιμοποιηθεί σαν μια αποτελεσματική μάσκα η οποία προστατεύει τα υποκείμενα υλικά από τις επιδράσεις των επόμενων σταδίων επεξεργασίας – εγχάραξη είτε με χημικά είτε μέσω αντιδρώντων ιόντων. Αυτό σημαίνει ότι μπορεί να γίνει επιλεκτική αφαίρεση περιοχών από τα στρώματα διοξειδίου του πυριτίου, νιτρίδιου του πυριτίου, πολυκρυσταλλικού πυριτίου και μετάλλου, με τη χρήση των κατάλληλων μεθόδων εγχάραξης. Αφού ολοκληρωθεί η εγχάραξη, το φωτοευαίσθητο υλικό αφαιρείται, αφήνοντας πίσω του ένα μόνιμο είδωλο της φωτογραφικής μάσκας στην επιφάνεια του δισκιδίου.

Η όλη διαδικασία γίνεται ακόμα πιο δύσκολη σε περιπτώσεις όπου χρησιμοποιούνται πολλαπλά στρώματα μασκαρίσματος (σε προηγμένες κατασκευαστικές διαδικασίες VLSI μπορεί να υπάρχουν πάνω από 20 στρώματα), καθένα εκ των οποίων πρέπει να ευθυγραμμίζεται τέλεια με όλα τα προηγούμενα. Η σύμπτωσή τους πρέπει να γίνεται με ακόμη μεγαλύτερη ακρίβεια από αυτή που απαιτείται για τον καθορισμό των ελάχιστων διαστάσεων στα σχέδια των μασκών, πράγμα το οποίο θέτει κρίσιμους περιορισμούς στα μηχανικά και οπτικά συστήματα του εξοπλισμού φωτολιθογραφίας.

A.1.8 Συσχευασία

Στην τελική του μορφή, ένα δισκίδιο πυριτίου μπορεί να περιέχει αρκετές εκατοντάδες ή ακόμα περισσότερα κυκλώματα ή ολοκληρωμένα (chips). Κάθε chip μπορεί να περιέχει από 10 έως 108 (ή ακόμα περισσότερα) τρανζίστορ σε ορθογώνια διάταξη με πλευρά που τυπικά κυμαίνεται μεταξύ 1 mm και 10 mm. Κατ' αρχήν τα κυκλώματα ελέγχονται ηλεκτρικά (ενώ είναι ακόμα σε μορφή δισκιδίου), με χρήση αυτοματοποιημένων μεθόδων και εξοπλισμού. Τα ελαττωματικά κυκλώματα μαρκάρονται, ώστε να είναι δυνατός ο εντοπισμός τους μεταγενέστερα. Στη συνέχεια τα κυκλώματα διαχωρίζονται μεταξύ τους (με κοπή) και όσα είναι καλά (αποκαλούνται



ΣΧΗΜΑ Α.2 (α) Συσκευασία DIP (dual in-line IC package) 8 ακροδεκτών από πλαστικό. (β) Συσκευασία SOC 16 ακροδεκτών, σε πολύ μεγαλύτερη κλίμακα από την (α).

«dies») τοποθετούνται σε συσκευασίες (headers). Το Σχ. Α.2 παρουσιάζει τυπικά παραδείγματα συσκευασιών. Συνήθως χρησιμοποιούνται πολύ λεπτά σύρματα χρυσού για τη σύνδεση των ακροδεκτών (pins) της συσκευασίας στα μεταλλικά μέρη του εσωτερικού κυκλώματος. Τέλος, η συσκευασία σφραγίζεται με πλαστικό ή ειδική εποξειδική ρητίνη σε συνθήκες κενού ή αδρανούς ατμόσφαιρας.



Α.2 ΤΕΧΝΟΛΟΓΙΕΣ ΚΑΤΑΣΚΕΥΗΣ VLSI

Αρχικά, η διπολική τεχνολογία κυριαρχούσε στην κατασκευή ολοκληρωμένων κυκλωμάτων. Όμως, στα τέλη της δεκαετίας του '70, η τεχνολογία MOS κρίθηκε ως πλέον πρόσφορη για την υλοποίηση ολοκληρωμένων κυκλωμάτων VLSI, λόγω της υψηλότερης πυκνότητας και της χαμηλότερης κατανάλωσης ισχύος που παρέχει. Έως τις αρχές της δεκαετίας του '80, η τεχνολογία συμπληρωματικών MOS (CMOS) γνώρισε ραγδαία ανάπτυξη, κυριαρχώντας σχεδόν ολοκληρωτικά στο χώρο των VLSI και παραγκωνίζοντας τη διπολική τεχνολογία μόνο σε εξειδικευμένες εφαρμογές, όπως τα ψηφιακά και τα υψηλής ταχύτητας αναλογικά & RF κυκλώματα. Οι τεχνολογίες CMOS συνέχισαν να εξελίσσονται: στα τέλη της δεκαετίας του '80, ο συνδυασμός τους με διπολικά στοιχεία οδήγησε στην εμφάνιση υψηλής απόδοσης κατασκευαστικών διαδικασιών BiCMOS, οι οποίες προσφέρουν τα καλύτερα χαρακτηριστικά αυτών των δύο τεχνολογιών. Ωστόσο, οι κατασκευαστικές διαδικασίες BiCMOS είναι συνήθως εξαιρετικά πολύπλοκες και ακριβές, δεδομένου ότι απαιτούν πάνω από 15 έως 20 επίπεδα μασκαρίσματος ανά υλοποίηση – συγκριτικά, οι τυπικές διαδικασίες CMOS απαιτούν μόνο 10 έως 12 επίπεδα μασκαρίσματος.

Η απόδοση των κατασκευαστικών διαδικασιών CMOS και BiCMOS συνεχίζει να βελτιώνεται, προσφέροντας ακόμη υψηλότερες αναλύσεις. Ωστόσο, θεμελιακοί περιορισμοί στις τεχνικές επεξεργασίας και στις ιδιότητες των ημιαγωγών οδήγησαν στην ανάγκη διερεύνησης εναλλακτικών υλικών. Οι τεχνολογίες SiGe (πυριτίου-γερμανίου) και strained-Si (πυρίτιο υπό μηχανική τάση) δείχνουν να είναι ένας καλός συμβιβασμός: βελτιώνουν την απόδοση, διατηρώντας ταυτόχρονα κατασκευαστική συμβατότητα με τον υφιστάμενο, βασιζόμενο σε πυρίτιο εξοπλισμό κατασκευής CMOS (και, κατ' επέκταση, κρατούν το κόστος σε χαμηλά επίπεδα).

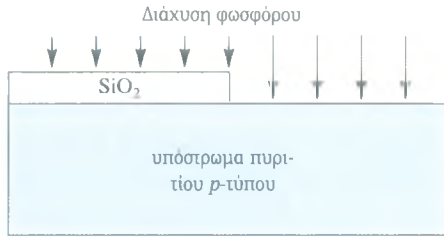
Στις ακόλουθες ενότητες θα εξετάσουμε τρεις απόψεις της διαδικασίας κατασκευής σύγχρονων ολοκληρωμένων κυκλωμάτων: τα βήματα μιας τυπικής κατασκευαστικής διαδικασίας CMOS, την απόδοση των διαθέσιμων συστατικών και τη συμπεριληψη διπολικών στοιχείων για μετάβαση σε τεχνολογία BiCMOS.

Α.2.1 Διαδικασία Κατασκευής CMOS *n*-Πηγαδιού

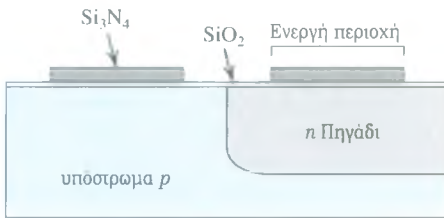
Ανάλογα με το αρχικό υλικό (υπόστρωμα) που έχει επιλεγεί, υπάρχουν διαφορετικές κατασκευαστικές διαδικασίες CMOS: *n*-πηγαδιού, *p*-πηγαδιού και διδυμου πηγαδιού. Η τελευταία είναι η πολυπλοκότερη αλλά και η πλέον ευέλικτη όσον αφορά τη βελτιστοποίηση αμφοτέρων των τύπων στοιχείων, *n*-καναλιού και *p*-καναλιού. Επιπρόσθετα, πολλές προηγμένες τεχνικές κατασκευής CMOS χρησιμοποιούν ειδικές τεχνικές μόνωσης (trench isolation) και τεχνολογία πυριτίου-σε-μονωτή (silicon-on-insulator, SOI) για τη μείωση της παρασιτικής χωρητικότητας (και επίτευξη υψηλότερης ταχύτητας), καθώς και για την αύξηση της πυκνότητας ανά συσκευασία.

Για να κρατήσουμε τα πράγματα απλά, εδώ επιλέξαμε να παρουσιάσουμε μια κατασκευαστική διαδικασία CMOS *n*-πηγαδιού. Ένας δεύτερος λόγος γι' αυτή την επιλογή είναι το ότι μπορεί εύκολα να επεκταθεί σε διαδικασία κατασκευής BiCMOS. Η τυπική ροή εργασιών που εμπλέκονται σ' αυτή τη διαδικασία παρουσιάζεται στο Σχ. Α.3. Απαιτούνται κατ' ελάχιστον 7 στρώματα μασκαρίσματος. Ωστόσο, στην πράξη οι περισσότερες κατασκευαστικές διαδικασίες CMOS απαιτούν επίσης επιπλέον στρώματα, όπως π.χ. στρώματα τύπου *n* και *p* για καλύτερη προστασία από το φαινόμενο latch-up, ένα δεύτερο στρώμα πολυκρυσταλλικού πυριτίου για πυκνωτές και πολλαπλά στρώματα μετάλλου για διασυνδέσεις υψηλής πυκνότητας. Η συμπεριληψη όλων αυτών αυξάνει το συνολικό αριθμό των στρωμάτων μασκαρίσματος σε 15 έως 20.

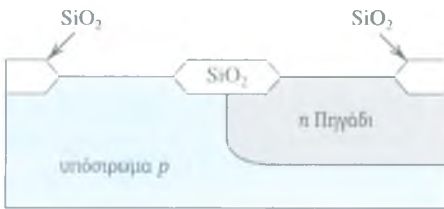
(α) Ορισμός περιοχών για διάχυση n πηγαδιού (μάσκα 1)



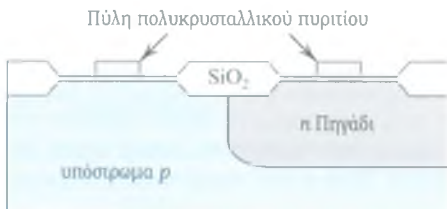
(β) Ορισμός ενεργών περιοχών (μάσκα 2)



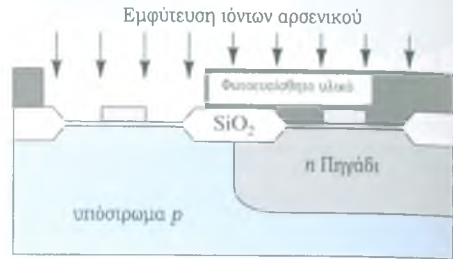
(γ) Οξείδωση LOCOS



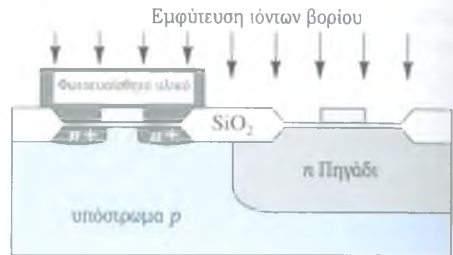
(δ) Πύλη πολυκρυσταλλικού πυριτίου (μάσκα 3)



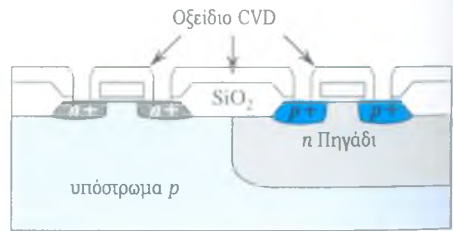
(ε) διάχυση n^+ (μάσκα 4)



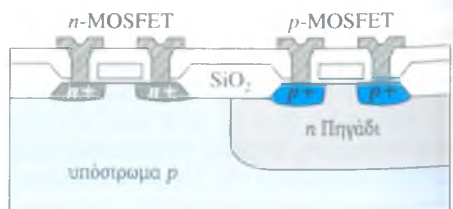
(στ) διάχυση p^+ (μάσκα 5)



(ζ) Οπές επαφής (μάσκα 6)



(η) Επιμετάλλωση (μάσκα 7)



ΣΧΗΜΑ Α.3 Τυπική κατασκευαστική διεργασία CMOS n -πηγαδιού.

Το αρχικό υλικό για μια κατασκευαστική διαδικασία CMOS n -πηγαδιού είναι ένα υπόστρωμα p -τύπου. Η διαδικασία ξεκινά με διάχυση n πηγαδιού (Σχ. Α.3α). Το n πηγάδι απαιτείται οπουδήποτε πρόκειται να τοποθετηθούν MOSFET p -τύπου. Ένα παχύ στρώμα διοξειδίου του πυριτίου υφίσταται εγχάραξη για να εκτεθούν οι περιοχές για τη διάχυση n -πηγαδιού. Οι μη εκτεθειμένες περιοχές προστατεύονται από τη νόθευση με φώσφορο. Ο φώσφορος χρησιμοποιείται συνήθως για διαχύσεις σε μεγάλο βάθος επειδή έχει υψηλό συντελεστή διάχυσης και μπορεί να διαχέεται ταχύτερα απ' ό,τι το αρσενικό στο υπόστρωμα.

Το δεύτερο βήμα είναι ο ορισμός της ενεργού περιοχής (όπου πρόκειται να τοποθετηθούν τα τρανζίστορ), με τη χρήση μιας τεχνικής που ονομάζεται τοπική οξείδωση (local oxidation, LOCOS). Εναποτίθεται ένα στρώμα νιτρίδιου του πυριτίου (Si_3N_4) και αποτυπώνεται πάνω του ένα μοτίβο που σχετίζεται με τις προηγούμενες περιοχές n -πηγαδιού (Σχ. Α.3β). Οι καλυμμένες με νιτρίδιο περιοχές δεν θα υποστούν οξείδωση. Μετά από ένα παρατεταμένο στάδιο υγρής οξείδωσης, θα εμφανιστεί το επονομαζόμενο οξείδιο thick-field στις περιοχές μεταξύ των τρανζίστορ (Σχ. Α.3γ). Αυτό το οξείδιο thick-field απαιτείται για την απομόνωση των τρανζίστορ. Επιπρέπει επίσης στα στρώματα διασυνδέσεων να οδηγηθούν έως την επάνω πλευρά του οξειδίου χωρίς να σχηματιστούν ανεπιθύμητα κανάλια αγωγής στην επιφάνεια του πυριτίου.

Το επόμενο βήμα είναι ο σχηματισμός της πύλης πολυκρυσταλλικού πυριτίου (Σχ. Α.3δ). Αυτό είναι ένα από τα σημαντικότερα βήματα της διαδικασίας κατασκευής CMOS. Κατ' αρχήν αφαιρείται το λεπτό στρώμα οξειδίου στην ενεργό περιοχή, με χρήση μιας τεχνικής υγρής εγχάραξης η οποία ακολουθείται από την ανάπτυξη ενός υψηλής ποιότητας λεπτού στρώματος οξειδίου στην πύλη. Οι τεχνολογίες κατασκευής 0.13 μm και 0.18 μm χρησιμοποιούν συνήθως πολύ μικρό πάχος οξειδίου, της τάξης των 20 Å έως 50 Å (1 angstrom = 10⁻⁸ cm). Στη συνέχεια εναποτίθεται ένα στρώμα πολυκρυσταλλικού πυριτίου, συνήθως νοθευμένο με αρσενικό (n τύπου) και αποτυπώνεται πάνω του το κατάλληλο μοτίβο. Αυτό είναι και το πιο δύσκολο βήμα της φωτολιθογραφικής μεθόδου, επειδή απαιτείται εξαιρετικά υψηλή ανάλυση για την παραγωγή του μικρότερου δυνατού μήκους καναλιού για τα MOS στοιχεία.

Λόγω της δομής της, η πύλη πολυκρυσταλλικού πυριτίου προτιμάται έναντι του παλαιότερου τύπου πύλης, μεταλλικής δομής. Μπορεί να χρησιμοποιηθεί εντατική εμφύτευση ιόντων αρσενικού για το σχηματισμό των $n+$ περιοχών πηγής και υποδοχής των n -MOSFET. Η πύλη πολυκρυσταλλικού πυριτίου δρα σαν φράγμα σ' αυτή τη διαδικασία εμφύτευσης ιόντων, προστατεύοντας την περιοχή του καναλιού. Μπορεί να χρησιμοποιηθεί ένα στρώμα φωτοευαίσθητου υλικού για την κάλυψη των περιοχών όπου πρόκειται να σχηματιστούν τα p -MOSFET (Σχ. Α.3ε). Το οξείδιο thick-field εμποδίζει την εμφύτευση ιόντων και αποτρέπει το σχηματισμό $n+$ περιοχών εκτός των ενεργών περιοχών. Για την προστασία των n -MOSFET κατά τη διάρκεια της εμφύτευσης ιόντων βορίου $p+$ στις περιοχές πηγής και υποδοχής των p -MOSFET μπορεί να χρησιμοποιηθεί ένα αντίστροφο βήμα φωτολιθογραφικής επεξεργασίας (Σχ. Α.3στ). Και στις δύο περιπτώσεις, ο διαχωρισμός μεταξύ των διαχύσεων για την πηγή και την υποδοχή –το μήκος καναλιού– καθορίζεται μόνο από τη μάσκα για την πύλη πολυκρυσταλλικού πυριτίου.

Πριν ανοιχτούν οι οπές επαφής, εναποτίθεται ένα παχύ στρώμα οξειδίου CVD πάνω σε όλη την επιφάνεια του δισκιδίου. Στη συνέχεια χρησιμοποιείται μια φωτογραφική μάσκα για τον καθορισμό του ανοίγματος των επαφών (Σχ. Α.3ζ) και ακολουθείται από ένα βήμα υγρής ή ξηρής εγχάραξης του οξειδίου. Κατόπιν εναποτίθεται ένα λεπτό στρώμα αλουμινίου, με χρήση τεχνικών εξάτμισης ή θρυμματισμού (sputtering) πάνω στο δισκίδιο. Τέλος, χρησιμοποιείται ένα τελευταίο βήμα μασκαρίσματος και εγχάραξης για την αποτύπωση του μοτίβου των διασυνδέσεων (Σχ. Α.3η).

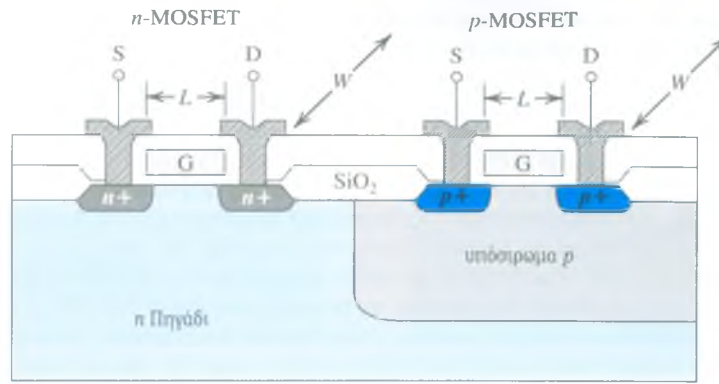
Αυτό που δεν παρουσιάζεται στο σχήμα είναι το τελικό βήμα εναπόθεσης ενός παθητικού στρώματος (passivation) που λαμβάνει χώρα πριν από τη συσκευασία και τη σύνδεση των αγωγών. Σ' αυτό το βήμα εναποτίθεται συνήθως ένα παχύ στρώμα οξειδίου CVD ή υάλου pyrex πάνω στο δισκίδιο, το οποίο λειτουργεί σαν προστατευτικό.

A.2.2 Ολοκληρωμένα Στοιχεία

Εκτός από τα MOSFET n και p καναλιού, υπάρχουν και άλλα στοιχεία τα οποία μπορούν να παραχθούν με κατάλληλο χειρισμό των σταδίων μασκαρίσματος. Σ' αυτά περιλαμβάνονται οι δίοδοι ένωσης pn , οι πυκνωτές MOS και οι αντιστάσεις.

A.2.3 MOSFET

Το n -MOSFET (MOSFET n -καναλιού) προτιμάται έναντι του p -MOSFET (Σχ. Α.4). Η κινητικότητα των ηλεκτρονίων στην επιφάνεια του στοιχείου n -καναλιού είναι διπλάσια έως τετραπλάσια από αυτή των οπών. Αυτό



ΣΧΗΜΑ Α.4 Τομή *n*-MOSFET και *p*-MOSFET.

σημαίνει ότι για ίδιες διαστάσεις στοιχείου (*W* και *L*), το *n*-MOSFET παρέχει μεγαλύτερη δυνατότητα οδήγησης ρεύματος (ή μικρότερη αντίσταση αγωγής [*on-resistance*]), καθώς και υψηλότερη διαγωγιμότητα.

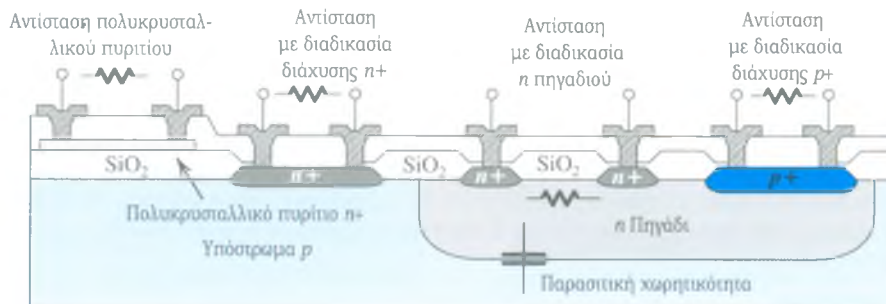
Σ' ένα περιβάλλον σχεδίασης ολοκληρωμένων κυκλωμάτων, τα στοιχεία MOSFET χαρακτηρίζονται από την τάση κατωφλίου και τις διαστάσεις τους. Συνήθως, τα στοιχεία *n* και *p* καναλιού σχεδιάζονται ώστε να έχουν τάσεις κατωφλίου παρόμοιας τάξης μεγέθους για μια συγκεκριμένη κατασκευαστική διαδικασία.

Η διαγωγιμότητα μπορεί να ρυθμίζεται μεταβάλλοντας τις διαστάσεις επιφανείας (*W* και *L*) των στοιχείων. Η δυνατότητα αυτή δεν είναι διαθέσιμη για διπολικά τρανζίστορ· αυτό σημαίνει ότι τα ολοκληρωμένα κυκλώματα MOSFET είναι πολύ πιο ευέλικτα στη σχεδίασή τους.

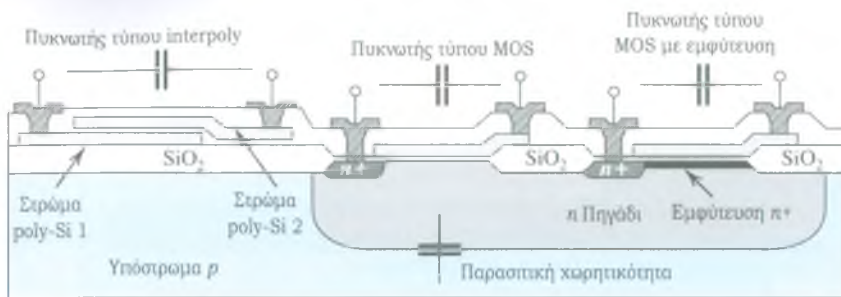
A.2.4 Αντιστάσεις

Οι αντιστάσεις που κατασκευάζονται σε μορφή ολοκληρωμένου δεν παρέχουν πολύ καλή ακρίβεια. Μπορούν να κατασκευάζονται από διάφορες περιοχές διάχυσης, όπως παρουσιάζεται στο Σχ. Α.5. Φυσικά, διαφορετικές περιοχές διάχυσης έχουν διαφορετική ειδική αντίσταση. Η τεχνική *n* πηγαδιού χρησιμοποιείται συνήθως για αντιστάσεις μέτριας τιμής, ενώ οι τεχνικές διάχυσης *n+* και *p+* είναι χρήσιμες για αντιστάσεις μικρής τιμής. Η πραγματική τιμή της αντίστασης μπορεί να καθορίζεται μεταβάλλοντας το μήκος και το πλάτος των περιοχών όπου γίνεται διάχυση. Το επίπεδο σφάλματος (ανοχές) που επιδεικνύουν οι τιμές των αντιστάσεων δεν είναι καλό (20–50%), αλλά το ταίριασμα αντιστάσεων όμοιων τιμών είναι αρκετά καλό (5%). Για το λόγο αυτό, οι σχεδιαστές κυκλωμάτων θα πρέπει να σχεδιάζουν τα κυκλώματά τους με τρόπο ώστε να αξιοποιείται το καλό ταίριασμα των τιμών των αντιστάσεων και να αποφεύγουν σχεδιάσεις οι οποίες απαιτούν καθορισμό των τιμών μεμονωμένων αντιστάσεων με πολύ μεγάλη ακρίβεια.

Όλες οι αντιστάσεις που παράγονται με διάχυση έχουν την ιδιότητα της «αυτο-μόνωσης», λόγω των ανάστροφα πολωμένων ενώσεων *pn*. Ωστόσο, ένα σοβαρό μειονέκτημα αυτών των αντιστάσεων είναι η σημαντική παρασιτική χωρητικότητα ένωσης που τις συνοδεύει· αυτό σημαίνει ότι δεν είναι ιδιαίτερα χρήσιμες για εφαρ-



ΣΧΗΜΑ Α.5 Τομές διάφορων τύπων αντιστάσεων που μπορούν να παραχθούν με μια τυπική κατασκευαστική διαδικασία CMOS *n*-πηγαδιού.



ΣΧΗΜΑ Α.6 Πυκνωτές τύπου interpoly και MOS που δημιουργούνται με μια τυπική κατασκευαστική διαδικασία CMOS *n*-πηγαδιού.

μογές υψηλών συχνοτήτων. Οι ανάστροφα πολωμένες ενώσεις *pn* επιδεικνύουν επίσης ένα «φαινόμενο JFET», το οποίο οδηγεί σε διακύμανση της τιμής των αντιστάσεων καθώς αλλάζει η εφαρμοζόμενη τάση (οι μεγάλοι συντελεστές τάσης είναι ανεπιθύμητο χαρακτηριστικό). Επειδή η κινητικότητα των φορέων μεταβάλλεται με τη θερμοκρασία, οι παραγόμενες με διάχυση αντιστάσεις επιδεικνύουν επίσης αυξημένο θερμοτικό συντελεστή.

Ένα πιο χρήσιμο είδος αντιστάσεων μπορεί να κατασκευαστεί χρησιμοποιώντας το στρώμα πολυκρυσταλλικού πυριτίου που βρίσκεται πάνω από το thick-field οξειδίο.

Το λεπτό στρώμα πολυκρυσταλλικού πυριτίου παρέχει καλύτερο ταίριασμα επιφανειών και άρα ακριβέστερους λόγους αντιστάσεων. Επιπλέον, οι αντιστάσεις που δημιουργούνται κατ' αυτό τον τρόπο είναι φυσικά διαχωρισμένες από το υπόστρωμα, με αποτέλεσμα πολύ μικρότερη παρασιτική χωρητικότητα και συντελεστή τάσης.

A.2.5 Πυκνωτές

Οι κατασκευαστικές διαδικασίες CMOS επιτρέπουν την παραγωγή δύο διαφορετικών τύπων (δομών) πυκνωτών: MOS και interpoly (αποκαλούνται επίσης MIM – metal-insulator-metal [μετάλλου-μονωτή-μετάλλου]). Οι τομές τους παρουσιάζονται στο Σχ. Α.6. Στον τύπο MOS, η χωρητικότητα πύλης, που απεικονίζεται στη μεσαία δομή, είναι ουσιαστικά η χωρητικότητα πύλης-πηγής ενός MOSFET. Η τιμή της χωρητικότητας εξαρτάται από την επιφάνεια της πύλης. Το πάχος του οξειδίου είναι ίδιο όπως το πάχος οξειδίου πύλης των MOSFET. Αυτός ο τύπος πυκνωτών επιδεικνύει μεγάλη εξάρτηση από την τάση. Για την εξάλειψη αυτού του προβλήματος, απαιτείται μια επιπλέον διαδικασία εμφύτευσης ιόντων *n+* για το σχηματισμό της κάτω πλάκας των πυκνωτών, όπως παρουσιάζεται στη δεξιά δομή. Και οι δύο αυτοί τύποι πυκνωτών MOS είναι σε φυσική επαφή με το υπόστρωμα, πράγμα το οποίο έχει ως αποτέλεσμα μεγάλη παρασιτική χωρητικότητα της ένωσης *pn* στην κάτω πλάκα.

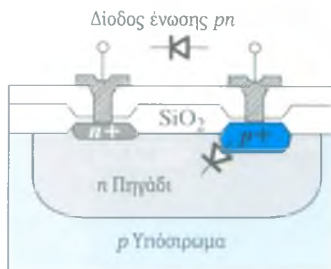
Ο πυκνωτής τύπου interpoly επιδεικνύει σχεδόν ιδανικά χαρακτηριστικά αλλά απαιτεί τη συμπεριληψη ενός δεύτερου στρώματος πολυκρυσταλλικού πυριτίου στην κατασκευαστική διαδικασία. Επειδή αυτός ο τύπος πυκνωτή σχηματίζεται πάνω από το thick-field οξειδίο, τα παρασιτικά φαινόμενα περιορίζονται στο ελάχιστο.

Ένας τρίτος, λιγότερο χρησιμοποιούμενος τύπος πυκνωτή είναι ο πυκνωτής ένωσης. Οποιαδήποτε ένωση *pn* υπό συνθήκες ανάστροφης πόλωσης παράγει μια περιοχή απογύμνωσης η οποία δρα ως διηλεκτρικό μεταξύ των περιοχών *p* και *n*. Η χωρητικότητα υπαγορεύεται από τη γεωμετρία και τα επίπεδα νόθευσης και έχει μεγάλο συντελεστή τάσης. Αυτός ο τύπος πυκνωτή χρησιμοποιείται συχνά ως variactor (πυκνωτής μεταβλητής τιμής) για κυκλώματα συντονισμού. Ωστόσο, λειτουργεί μόνο με τάσεις ανάστροφης πόλωσης.

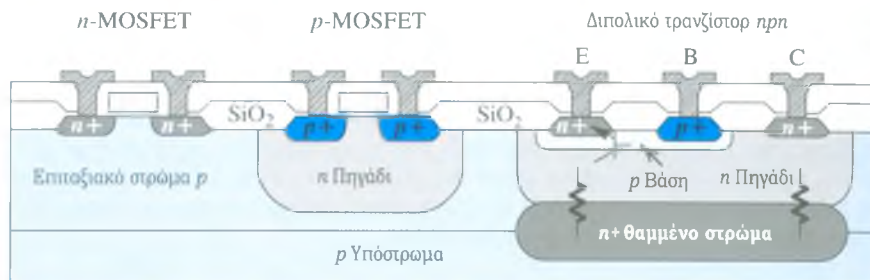
Για τους πυκνωτές τύπου interpoly και MOS, οι τιμές χωρητικότητας μπορούν να ελέγχονται με πολύ καλή ακρίβεια (το επίπεδο σφάλματος δεν ξεπερνά το 1%). Πρακτικές τιμές χωρητικότητας κυμαίνονται από 0.5 pF έως μερικές δεκάδες picofarad. Το ταίριασμα μεταξύ πυκνωτών παρόμοιου μεγέθους μπορεί να είναι εντός του 0.1%. Αυτή η ιδιότητα είναι εξαιρετικά χρήσιμη για το σχεδιασμό αναλογικών κυκλωμάτων CMOS υψηλής ακρίβειας.

A.2.6 Δίοδοι Ένωσης *pn*

Οποιοδήποτε τοποθετούνται περιοχές διάχυσης *n*-τύπου και *p*-τύπου η μία δίπλα στην άλλη, προκύπτει μια δίοδος ένωσης *pn*. Μια χρήσιμη δομή είναι η δίοδος *n*-πηγαδιού που παρουσιάζεται στο Σχ. Α.7. Οι δίοδοι που κατασκευάζονται με διαδικασία *n* πηγαδιού μπορούν να παρέχουν υψηλή τάση διάσπασης. Αυτός ο τύπος δίοδου είναι εξαιρετικά χρήσιμος σε κυκλώματα περιορισμού (πρόσδεσης) τα οποία χρησιμοποιούνται σε βαθμίδες εισόδου για προ-



ΣΧΗΜΑ Α.7 Δίοδος ένωσης pn που παράγεται με κατασκευαστική διαδικασία CMOS n -πηγαδιού.



ΣΧΗΜΑ Α.8 Σχηματική αναπαράσταση της κατασκευαστικής διαδικασίας BiCMOS (τομή).

στασία από το φαινόμενο ηλεκτροστατικής εκφόρτισης. Τέτοιες διόδους χρησιμοποιούν επίσης ως αισθητήρες θερμοκρασίας σε ολοκληρωμένα ($on-chip$), για την παρακολούθηση των διακυμάνσεων της πτώσης τάσης σε ορθή πόλωση.

A.2.7 Τεχνολογία Κατασκευής BiCMOS

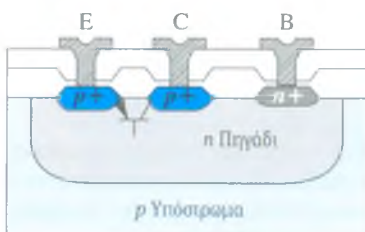
Ένα διπολικό τρανζίστορ nnp κάθετης διάταξης μπορεί να ενσωματωθεί στην κατασκευαστική διαδικασία CMOS n -πηγαδιού με την προσθήκη μιας περιοχής διάχυσης p -βάσης (Σχ. Α.8).

Τα χαρακτηριστικά αυτού του στοιχείου εξαρτώνται από το πλάτος της βάσης και την περιοχή εκπομπού. Το πλάτος της βάσης καθορίζεται από τη διαφορά στο βάθος της ένωσης μεταξύ των διαχύσεων $n+$ και p -βάσης. Η περιοχή εκπομπού καθορίζεται από την περιοχή ένωσης της διάχυσης $n+$ στον εκπομπού. Το n πηγάδι λειτουργεί ως συλλέκτης για το nnp τρανζίστορ. Τυπικά, το nnp τρανζίστορ έχει εύρος τιμών β από 50 έως 100 και συχνότητα αποκοπής μεγαλύτερη από 10 GHz.

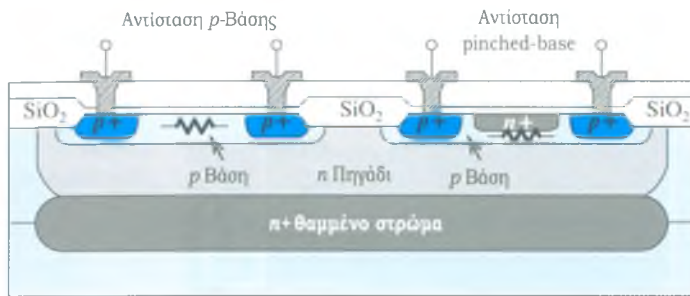
Κανονικά, χρησιμοποιείται ένα θαμμένο στρώμα $n+$ για τη μείωση της εν σειρά αντίστασης του συλλέκτη, επειδή το n πηγάδι έχει πολύ υψηλή ειδική αντίσταση. Ωστόσο, αυτό θα περιέπλεκε ακόμα περισσότερο τη διαδικασία, με την εισαγωγή ενός επιταξιακού στρώματος p -τύπου κι ενός επιπλέον βήματος μασκαρίσματος. Άλλες παραλλαγές του διπολικού τρανζίστορ χρησιμοποιούν εκπομπού από πολυκρυσταλλικό πυρίτιο και ειδικά ευθυγραμμισμένη (*self-aligned*) επαφή βάσης για την ελαχιστοποίηση παρασιτικών φαινομένων.

A.2.8 Lateral (Πλευρικό) nnp Τρανζίστορ

Το γεγονός ότι οι περισσότερες κατασκευαστικές διαδικασίες BiCMOS δεν παρέχουν βελτιστοποιημένα nnp τρανζίστορ καθιστά σχετικά δύσκολη τη σχεδίαση κυκλωμάτων. Ωστόσο, σε μη-κρίσιμες εφαρμογές, μπορεί να χρησιμοποιείται ένα τύπου lateral (πλευρικό) nnp τρανζίστορ (Σχ. Α.9).



ΣΧΗΜΑ Α.9 Πλευρικό (lateral) nnp τρανζίστορ.



ΣΧΗΜΑ Α.10 Αντιστάσεις p -βάσης και pinched base.

Σ' αυτή την περίπτωση, το n πηγάδι εξυπηρετεί ως n -βάση και οι διαχύσεις $p+$ ως εκπομπός και συλλέκτης. Το πλάτος βάσης καθορίζεται από το διαχωρισμό μεταξύ των δύο διαχύσεων $p+$.

Δεδομένου ότι το προφίλ νόθευσης δεν είναι βελτιστοποιημένο για τις ενώσεις βάσης-συλλέκτη και επειδή το πλάτος βάσης περιορίζεται από την ελάχιστη ανάλυση της φωτολιθογραφικής διαδικασίας, η απόδοση αυτού του στοιχείου δεν είναι πολύ καλή - τυπικά, έχει τιμή β περίπου 10 και χαμηλή συχνότητα αποκοπής.

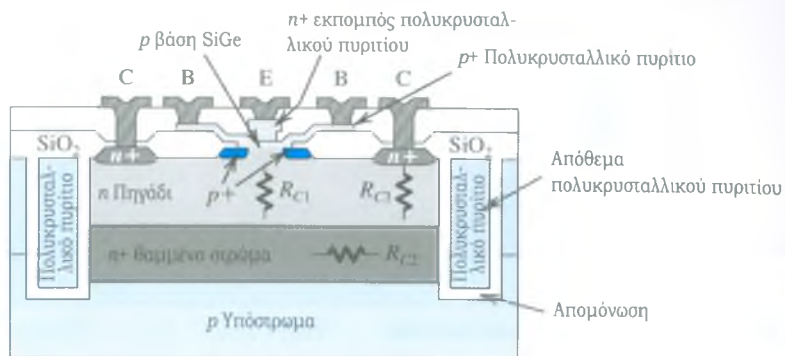
A.2.9 Αντιστάσεις p -Βάσης και Pinched-Base

Με την πρόσθετη διάχυση p -βάσης στη διαδικασία BiCMOS, είναι διαθέσιμες δύο επιπλέον δομές αντιστάσεων. Η διάχυση p -βάσης μπορεί να χρησιμοποιείται για το σχηματισμό μιας απλής δομής αντίστασης p -βάσης, όπως παρουσιάζεται στο Σχ. Α.10. Επειδή η περιοχή βάσης έχει συνήθως σχετικά χαμηλό επίπεδο νόθευσης και μέτριο βάθος ένωσης, είναι κατάλληλη για αντιστάσεις μέτριας τιμής (της τάξης των μερικών $k\Omega$). Σε περιπτώσεις όπου απαιτούνται αντιστάσεις μεγάλης τιμής, μπορεί να χρησιμοποιηθεί η δομή pinched-base. Σ' αυτή τη δομή, η διάχυση $n+$ εισέρχεται στην περιοχή p -βάσης, περιορίζοντας τη διαδρομή αγωγής. Μ' αυτή τη μέθοδο μπορούν να κατασκευάζονται αντιστάσεις με τιμές από 10 $k\Omega$ έως 100 $k\Omega$. Όμοια με τις παραγόμενες μέσω διάχυσης αντιστάσεις που αναφέραμε παραπάνω, αυτού του τύπου οι αντιστάσεις επιδεικνύουν φτωχές ανοχές και θερμικούς συντελεστές, αλλά σχετικά καλό ταίριασμα.

A.2.10 Τεχνολογία SiGe BiCMOS

Με την έλευση των ασύρματων εφαρμογών, αυξήθηκε σημαντικά η απαίτηση για υψηλής απόδοσης/υψηλών συχνοτήτων ολοκληρωμένα κυκλώματα RF. Οι θεμελιακοί περιορισμοί των ιδιοτήτων των φυσικών υλικών αρχικά δεν επέτρεψαν στη βασιζόμενη στο πυρίτιο τεχνολογία να συναγωνιστεί τις ακριβότερες τεχνολογίες που βασιζόνταν σε σύνθετα υλικά τύπου III-V, όπως το αρσενικούχο γάλλιο (GaAs). Ενσωματώνοντας μια ελεγχόμενη ποσότητα (τυπικά, όχι περισσότερο από 15 mole %) γερμανίου (Ge) σε κρυσταλλικό πυρίτιο (Si), το ενεργειακό διάκενο μπορεί να μεταβληθεί. Το προφίλ συγκέντρωσης του Ge μπορεί να διαμορφωθεί με τρόπο ώστε το ενεργειακό διάκενο να μπορεί να μειωθεί βαθμιαία από την περιοχική τιμών του καθαρού Si προς τα χαμηλότερα επίπεδα τιμών τιμών του υλικού SiGe. Αυτή η μείωση του ενεργειακού διακενου προκαλεί ένα εσωτερικό ηλεκτρικό πεδίο το οποίο βοηθά την κίνηση των φορέων, παρέχοντας μεγαλύτερη ταχύτητα λειτουργίας. Για το λόγο αυτό, τα διπολικά τρανζίστορ τεχνολογίας SiGe μπορούν να επιτυγχάνουν σημαντικά υψηλότερες συχνότητες αποκοπής (π.χ., στην περιοχή των 50-70 GHz). Ένα άλλο πλεονέκτημα είναι το γεγονός ότι η κατασκευαστική διαδικασία SiGe είναι συμβατή με την υπάρχουσα βασιζόμενη στο πυρίτιο τεχνολογία κατασκευής, εξασφαλίζοντας έτσι πολύ ικανοποιητική σχέση κόστους προς απόδοση.

Για την αξιοποίηση των χαρακτηριστικών του υλικού SiGe, η δομή του βασικού διπολικού τρανζίστορ πρέπει να τροποποιηθεί, για την περαιτέρω μείωση της παρασιτικής χωρητικότητας (για υψηλότερη ταχύτητα) και τη βελτίωση της αποτελεσματικότητας της διαδικασίας έγχυσης (για υψηλότερο κέρδος). Η δομή ενός συμμετρικού διπολικού στοιχείου παρουσιάζεται στο Σχ. Α.11. Το στοιχείο χρησιμοποιεί ειδική διάταξη απομόνωσης (trench isolation) για τη μείωση της πλευρικής χωρητικότητας συλλέκτη μεταξύ του n -πηγαδιού/θαμμένου στρώματος $n+$ και του p υποστρώματος. Το μέγεθος του εκπομπού και το μέγεθος επαφής της $p+$ βάσης καθορίζονται με ειδική διαδικασία ευθυγράμμισης, για την ελαχιστοποίηση της χωρητικότητας της ένωσης βάσης-



ΣΧΗΜΑ Α.11 Τομή συμμετρικού npn διπολικού τρανζίστορ ετεροεπαφής (HBT).

συλλέκτη (Miller). Αυτός ο τύπος στοιχείου αποκαλείται διπολικό τρανζίστορ ετεροεπαφής (heterojunction bipolar transistor, HBT), επειδή η ένωση εκπομπού-βάσης σχηματίζεται από δύο διαφορετικούς τύπους υλικού: πολυκρυσταλλικό πυρίτιο στον εκπομπό και ένωση πυριτίου-γερμανίου (SiGe) στη βάση.

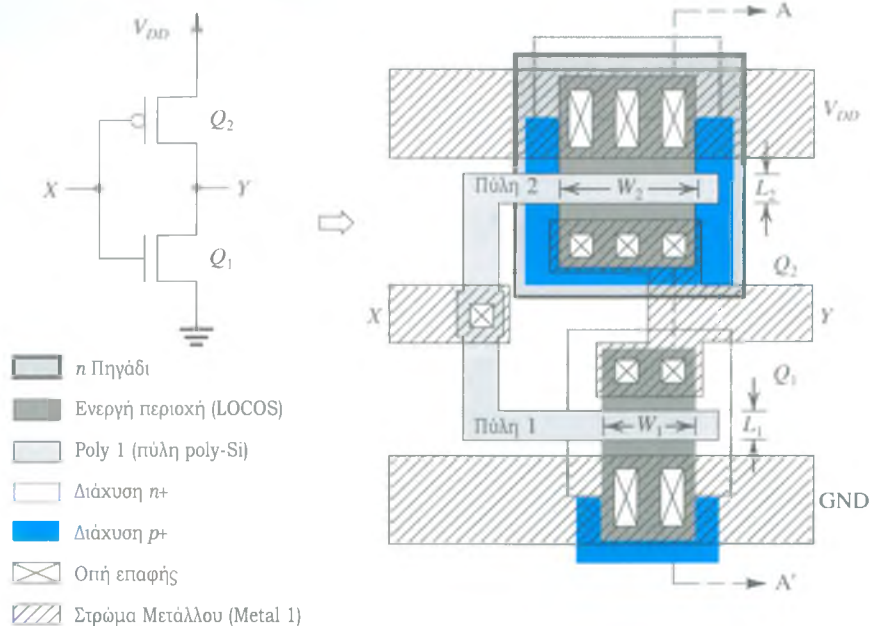
Η αποτελεσματικότητα της έγχυσης είναι σημαντικά καλύτερη απ' ό,τι στα στοιχεία όπου η ένωση εκπομπού-βάσης σχηματίζεται από έναν μόνο τύπο υλικού (όπως τα συμβατικά BJT). Σε συνδυασμό με το γεγονός ότι το πλάτος βάσης είναι τυπικά μόνο 50 nm περίπου, είναι εύκολο να επιτευχθεί κέρδος ρεύματος μεγαλύτερο από 100. Επιπρόσθετα, μπορούν να χρησιμοποιηθούν πολλαπλά στρώματα επιμετάλλωσης για την περαιτέρω μείωση του μεγέθους των στοιχείων και της αντίστασης διασύνδεσης (δεν παρουσιάζονται στο Σχ. Α.11). Όλα αυτά τα χαρακτηριστικά είναι αναγκαία για την επίτευξη των πλεονεκτημάτων ταχύτητας και απόδοσης που παρέχει το υλικό SiGe.



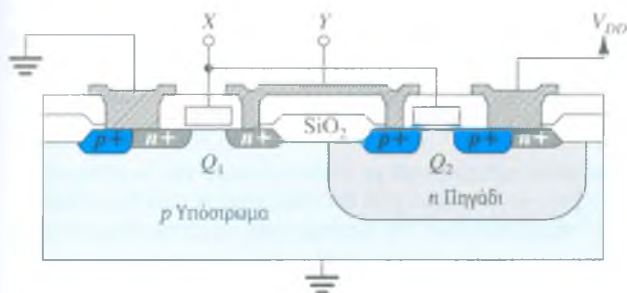
A.3 ΠΑΡΑΓΩΓΗ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ VLSI

Το σχηματικό διάγραμμα κάθε κυκλώματος που πρόκειται να παραχθεί με διαδικασίες VLSI πρέπει κατ' αρχήν να μετασχηματιστεί σε φυσικό σχέδιο (layout, διάταξη) το οποίο αποτελείται από τη γεωμετρική αναπαράσταση των συστατικών του κυκλώματος και τις διασυνδέσεις τους. Χάρη στις σύγχρονες εφαρμογές σχεδίασης μέσω υπολογιστή (CAD), πολλά από τα βήματα που απαιτούνται για τη μετατροπή του σχηματικού διαγράμματος σε φυσικό σχέδιο (layout) μπορούν να εκτελούνται είτε πλήρως αυτόματα, είτε ημιαυτόματα. Ωστόσο, κάθε καλός σχεδιαστής ολοκληρωμένων κυκλωμάτων μεικτού σήματος αντιμετωπίζει, σε κάποιο σημείο της καριέρας του, την ανάγκη σχεδίασης εξειδικευμένων κυκλωμάτων για ειδικές εφαρμογές. Για τη γενική παρουσίαση της διαδικασίας που θα επιχειρήσουμε εδώ, θα χρησιμοποιήσουμε ως παράδειγμα το κύκλωμα ενός αντιστροφέα CMOS.

Όπως ισχύει και στα συμβατικά τυπωμένα κυκλώματα, το υπό κατασκευή ολοκληρωμένο κύκλωμα πρέπει κατ' αρχήν να ελεγχθεί και πιθανώς να επανασχεδιαστεί, ώστε να εξαλειφθούν οι διασταυρούμενες διασυνδέσεις. Κάθε κατασκευαστική διαδικασία χρησιμοποιεί ένα συγκεκριμένο σύνολο μασκών (στρώματα μασκαρίσματος). Στην περίπτωση που εξετάζουμε εδώ, χρησιμοποιούνται 7 στρώματα μασκαρίσματος. Συνήθως, σε κάθε στρώμα αντιστοιχίζεται ένα μοναδικό χρώμα και μοτίβο γεμίσματος, για εύκολη αναγνώριση στην οθόνη ή σε εκτυπώσεις. Η διαδικασία μετατροπής του σχηματικού διαγράμματος στο φυσικό σχέδιο για το ολοκληρωμένο ξεκινά με την τοποθέτηση των τρανζίστορ. Για τους σκοπούς του παραδείγματός μας (Σχ. Α.12), τα p -MOSFET και n -MOSFET τοποθετούνται παρόμοια με τον τρόπο τοποθέτησής τους στο σχηματικό διάγραμμα. Στην πράξη, ο σχεδιαστής είναι ελεύθερος να επιλέξει τη διάταξη που παρέχει την πιο αποτελεσματική αξιοποίηση της επιφάνειας. Τα MOSFET ορίζονται από τις ενεργές περιοχές που επικαλύπτονται από το στρώμα "Poly 1". Το μήκος καναλιού και το πλάτος των στοιχείων ορίζονται από το πλάτος της λωρίδας "Poly 1" και της ενεργού περιοχής, αντίστοιχα. Το p -MOSFET περικλείεται σ' ένα n πηγάδι. Για πολυπλοκότερα κυκλώματα, μπορούν να χρησιμοποιούνται πολλαπλά n πηγάδια για διαφορετικές ομάδες στοιχείων p -MOSFET. Το n -MOSFET περικλείεται από τη μάσκα διάχυσης $n+$ για το σχηματισμό της πηγής και της υποδοχής, ενώ το p -MOSFET περικλείεται από τη μάσκα διάχυσης $p+$. Οπές επαφής τοποθετούνται στις περιοχές όπου απαιτείται σύνδεση με το στρώμα μετάλλου. Τέλος, το στρώμα μετάλλου ("Metal 1") ολοκληρώνει τις διασυνδέσεις.



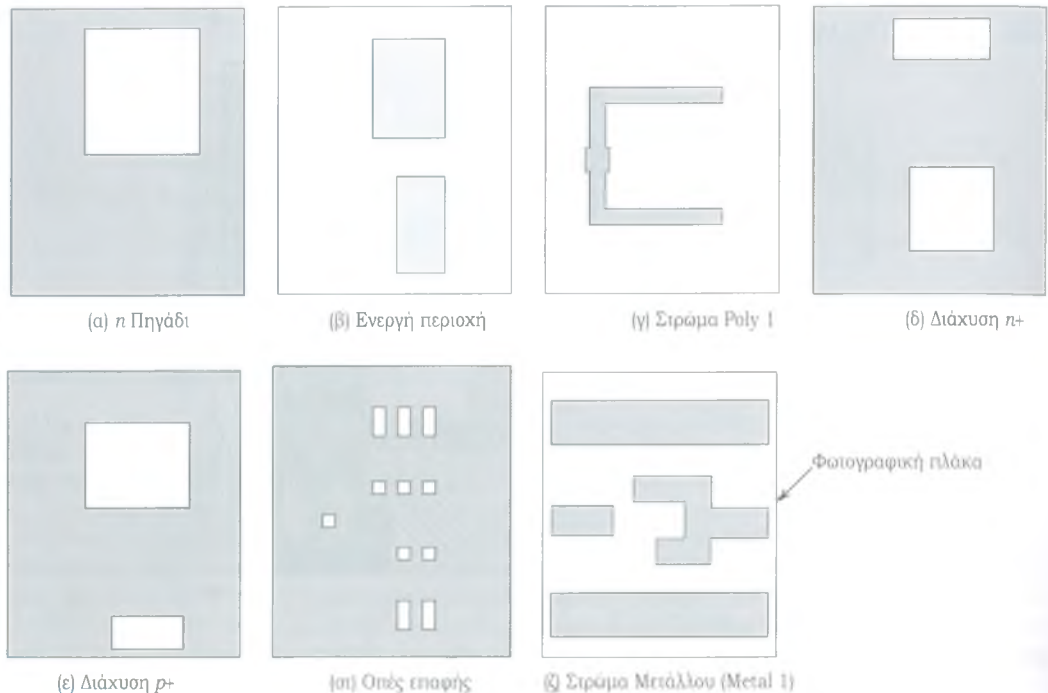
ΣΧΗΜΑ Α.12 Σχηματικό διάγραμμα του CMOS αντιστροφέα και το αντίστοιχο φυσικό σχέδιο.



ΣΧΗΜΑ Α.13 Τομή του CMOS αντιστροφέα κατά μήκος του επιπέδου AA'.

Το Σχ. Α.13 παρουσιάζει τον αντιστροφέα CMOS σε τομή. Οι πύλες πολυκρυσταλλικού πυριτίου (poly-Si) των δύο τρανζίστορ συνδέονται μαζί και σχηματίζουν τον ακροδέκτη εισόδου, X. Οι υποδοχές των δύο τρανζίστορ ενώνονται μέσω του στρώματος μετάλλου ("Metal 1") και σχηματίζουν τον ακροδέκτη εξόδου, Y. Οι πηγές των n-MOSFET και p-MOSFET συνδέονται στη γείωση και στην VDD, αντίστοιχα. Επαφές που αποτελούνται από γειτονικές διαχύσεις n+/p+ χρησιμοποιούνται για να φέρουν το δυναμικό σώματος των n-MOSFET και p-MOSFET στις κατάλληλες στάθμες τάσης.

Αφού ολοκληρωθεί το φυσικό σχέδιο, πρέπει να επαληθευτεί η ορθότητα του κυκλώματος με τη χρήση των κατάλληλων εργαλείων λογισμικού (CAD, ελεγκτές DRC [έλεγχος κανόνων σχεδίασης] και προσομοιωτές). Αφού γίνουν οι επαληθεύσεις, το σχέδιο μπορεί να αποτυπωθεί σε μάσκα. Στη συνέχεια, ένα ειδικό σύστημα γεννήτριας μοτίβων (Pattern Generator) μπορεί να σχεδιάσει τις γεωμετρίες πάνω σε μια φωτογραφική πλάκα από γυαλί ή χαλαζία χρησιμοποιώντας ηλεκτρονικά οδηγούμενους φωτοφράκτες. Τα στρώματα σχεδιάζονται ένα προς ένα σε διαφορετικές φωτογραφικές πλάκες. Στη συνέχεια γίνεται η φωτογραφική εμφάνιση των πλακών και αποκαλύπτονται μοτίβα με διαφανείς και σκούρες περιοχές που απεικονίζουν τις γεωμετρίες του φυσικού σχεδίου. Ένα σετ φωτογραφικών πλακών για τον αντιστροφέα CMOS του παραδείγματός μας παρουσιάζεται στο Σχ. Α.14. Ανάλογα με το εάν οι σχεδιασμένες γεωμετρίες προορίζονται για δημιουργία ανοιγμάτων ή για μοτίβα που θα διατηρηθούν, οι φωτογραφικές πλάκες μπορούν να περιλαμβάνουν το "θετικό" ή το "αρνητικό" της



ΣΧΗΜΑ Α.14 Το σετ φωτογραφικών μασκών που απαιτείται για τον CMOS αντιστροφέα n -πηγαδιού. Σημειώστε ότι κάθε στρώμα απαιτεί μια ξεχωριστή φωτογραφική πλάκα: οι **(α)**, **(δ)**, **(ε)** και **(στ)** είναι μάσκες κάλυψης· οι **(β)**, **(γ)** και **(ζ)** είναι μάσκες διαφάνειας.

γεωμετρίας. Σημειώστε ότι αυτά τα στρώματα πρέπει να εφαρμόζονται με διαδοχική σειρά και να ευθυγραμμίζονται (να συμπίπτουν) με τη μέγιστη δυνατή ακρίβεια για το σχηματισμό των τρανζίστορ και των διασυνδέσεων. Προφανώς, όσο μεγαλύτερος είναι ο αριθμός των στρωμάτων, τόσο πιο δύσκολο είναι να επιτευχθεί η ακριβής σύμπτωση τους. Οι κατασκευαστικές διαδικασίες που περιλαμβάνουν πολλά στρώματα απαιτούν καλύτερο εξοπλισμό για το στάδιο της φωτολιθογραφικής επεξεργασίας και πιθανώς παρέχουν χαμηλότερη απόδοση (μικρότερη παραγωγή). Αυτό σημαίνει ότι κάθε επιπλέον μάσκα που χρησιμοποιείται αυξάνει το τελικό κόστος του παραγόμενου ολοκληρωμένου κυκλώματος.

ΣΥΝΟΨΗ

■ Σ' αυτό το παράρτημα σας παρουσιάσαμε εν τάξει διάφορες απόψεις των τεχνικών που χρησιμοποιούνται για την κατασκευή ολοκληρωμένων κυκλωμάτων VLSI – από τα χαρακτηριστικά των συστατικών τους, έως την αλληλουχία των βημάτων επεξεργασίας και τη διάταξη των κυκλωμάτων. Προφανώς, αυτή η σύντομη εισαγωγή δεν μπορεί κατά κανένα τρόπο να θεωρηθεί ολοκληρωμένη περιγραφή των προηγμένων τεχνολογιών VLSI που χρησιμοποιούνται σήμερα. Για περισσότερες πληροφορίες, παραπέμπουμε τους ενδιαφερόμενους αναγνώστες στα ειδικά εγχειρίδια που πραγματεύονται αυτό το θέμα.

Παράμετροι Δίθυρων Δικτύων

ΕΙΣΑΓΩΓΗ

Σε αρκετά σημεία του βιβλίου αναφέρουμε διάφορους τρόπους με τους οποίους μπορεί να χαρακτηριστεί ένα γραμμικό δίθυρο δίκτυο. Αυτό το παράρτημα αποτελεί μια σύντομη εισαγωγή στις παραμέτρους που χρησιμοποιούνται για το χαρακτηρισμό των γραμμικών δίθυρων δικτύων.



B.1 ΧΑΡΑΚΤΗΡΙΣΜΟΣ ΤΩΝ ΓΡΑΜΜΙΚΩΝ ΔΙΘΥΡΩΝ ΔΙΚΤΥΩΝ

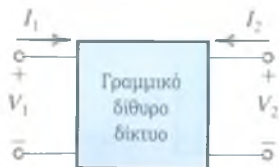
Ένα δίθυρο δίκτυο (Σχ. Β.1) έχει τέσσερις μεταβλητές: V_1 , I_1 , V_2 και I_2 . Εάν το δίθυρο δίκτυο είναι γραμμικό, μπορούμε να χρησιμοποιήσουμε τις δύο εξ αυτών ως μεταβλητές εισόδου και τις άλλες δύο ως μεταβλητές εξόδου. Για παράδειγμα, θα μπορούσαμε να διεγείρουμε το δίκτυο με τις τάσεις V_1 και V_2 στις θύρες 1 και 2, αντίστοιχα, και κατόπιν να μετρήσουμε τα ρεύματα I_1 και I_2 , για να χαρακτηρίσουμε την απόκριση του δικτύου. Σ' αυτή την περίπτωση οι τάσεις V_1 και V_2 είναι οι ανεξάρτητες μεταβλητές, ενώ τα ρεύματα I_1 και I_2 είναι οι εξαρτημένες. Η συμπεριφορά του δικτύου μπορεί να περιγραφεί από τις ακόλουθες εξισώσεις

$$I_1 = y_{11}V_1 + y_{12}V_2 \quad (\text{B.1})$$

$$I_2 = y_{21}V_1 + y_{22}V_2 \quad (\text{B.2})$$

Οι παράμετροι y_{11} , y_{12} , y_{21} και y_{22} είναι αγωγιμότητες, των οποίων οι τιμές χαρακτηρίζουν πλήρως το δίθυρο δίκτυο.

Ανάλογα με το ποιο εκ των τεσσάρων ζευγών μεταβλητών χρησιμοποιείται ως μεταβλητές εισόδου του δικτύου, παράγεται ένα διαφορετικό σύνολο εξισώσεων (κι ένα αντίστοιχο σύνολο παραμέτρων), οι οποίες χαρακτηρίζουν το δίθυρο. Στη συνέχεια θα παρουσιάσουμε τα τέσσερα βασικότερα σύνολα παραμέτρων που χρησιμοποιούνται κατά την ανάλυση ηλεκτρονικών κυκλωμάτων.



ΣΧΗΜΑ Β.1 Φορές και πολικότητες των μεγεθών αναφοράς (τάσεις και ρεύματα) που σχετίζονται με τις τέσσερις μεταβλητές ενός γραμμικού δίθυρου δικτύου.