

Αρχιτεκτονική – Θέματα, Διάρκεια 120'

1. 15 %

Τι είναι page table walk και πως προσδιορίζεται η φυσική διεύθυνση από μία εικονική. Δώστε ένα παράδειγμα με μια μετάφραση 2 επιπέδων.

2. 10 %

Ποιο είναι το θεωρητικό Speedup που μπορεί να επιτευχθεί αν μπορεί να παραλληλοποιηθεί το 80% της εκτέλεσης ενός προγράμματος α. Με 4 επεξεργαστές, β. Με 8 επεξεργαστές.

3. 10 %

Εξηγείστε γιατί ο Παραλληλισμός σε επίπεδο εντολών (ILP) είναι περιορισμένος και δεν μπορούν να εξαλειφθούν όλες οι καθυστερήσεις

4. 7 %

Υπάρχει εξάρτηση στην εκτέλεση αυτών των εντολών?

Αποθήκευση:  $M[(r1) + immediate1] \leftarrow (r2)$

Διάβασμα:  $r3 \leftarrow M[(r4) + immediate2]$

5. 8 %

Σε superscalar CPU όταν εκτελούνται μία εντολή σε μία ALU ακεραίων (με 1 κύκλο καθυστέρηση) και σε έναν διαιρέτη που διαρκεί πολλούς κύκλους πως γίνεται ο συγχρονισμός?

6. 15 %

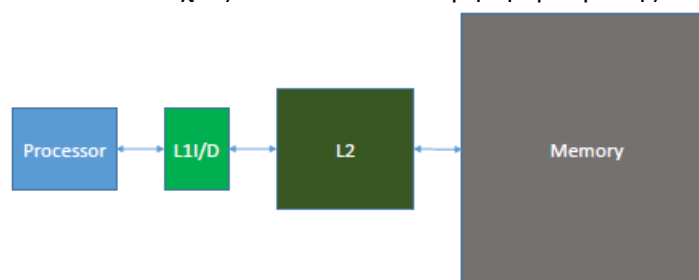
Έστω δύο πυρήνες με τις ιδιωτικές τους cache, υπάρχει πρόβλημα αν εκτελείται ο παρακάτω κώδικας από τους δύο πυρήνες στις παρακάτω περιπτώσεις, και αν υπάρχει πως μπορεί να επιλυθεί ?

a) `y = x+1; print y`

b) `y = mat[x]++; print mat[+x]`

7. 20 %

Υπολογίστε τον μέσο χρόνο προσπέλασης στη μνήμη αν το 20% των εντολών κάνουν load και έχουμε για την L1: 1 cc καθυστέρηση πρόσβασης και 10% ποσοστό αποτυχίας, για την L2: 5 cc καθυστέρηση πρόσβασης και 20% ποσοστό αποτυχίας και 40 cc καθυστέρηση πρόσβασης στην κύρια μνήμη.



8. 15 %

Αναφέρετε περιληπτικά ποιές αλλαγές απαιτούνται σε hardware για υποστήριξη λειτουργιών Transactional Memory.