

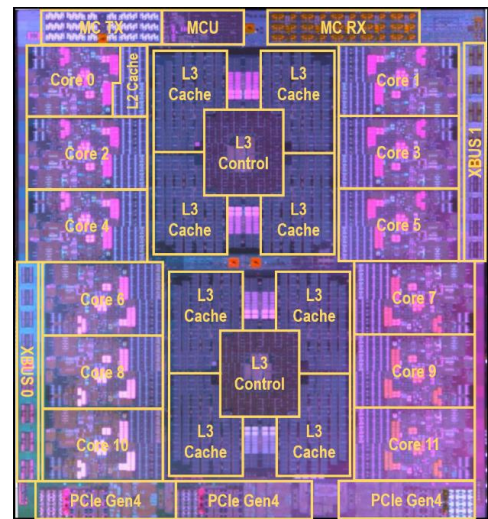
Από την Διεπαφή Εντολών – Υλικό στην Υλοποίηση της Αρχιτεκτονικής Σετ Εντολών (ISA)

The MIPS way

1

IBM 360-370 (2019)

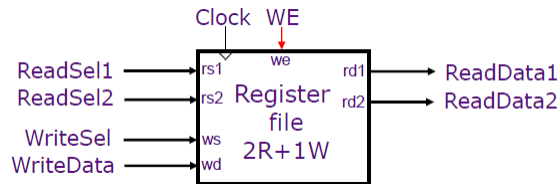
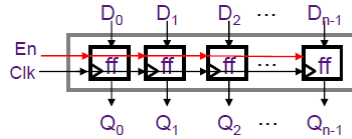
- 9.2 billion transistors, 12-core design
- Up to 190 cores (2 spare) per system
- 5.2 GHz, 14nm CMOS technology
- 64-bit virtual addressing
 - Original 360 was 24-bit; 370 was a 31-bit extension
- Superscalar, out-of-order
 - 12-wide issue
 - Up to 180 instructions in flight
- 16K-entry Branch Target Buffer
 - Very large buffer to support commercial workloads
- Four Levels of caches
 - 128KB L1 I-cache, 128KB L1 D-cache
 - 4MB L2 cache per core
 - 256MB shared on-chip L3 cache
 - 960MB shared off-chip L4 cache
- Up to 40TB of main memory per system



2

Αρχείο Καταχωρητών

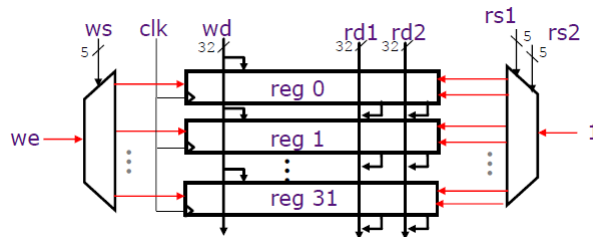
Ένας καταχωρητής



Κανένα πρόβλημα όταν γράφεται και διαβάζεται ο ίδιος καταχωρητής

3

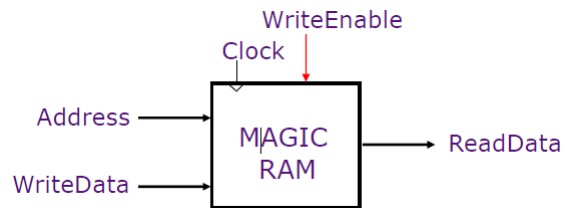
Υλοποίηση Αρχείου Καταχωρητών



- Ένα αρχείο καταχωρητών με μεγάλο αριθμό πορτών είναι δύσκολο να σχεδιαστεί
 - Η πολυπλοκότητα (και ο απαραίτητος χώρος) εξαρτάται από τον αριθμό θυρών στο τετράγωνο!
 - Το αρχείο καταχωρητών του Intel's Itanium έχει 128 registers με 8 read ports και 4 write ports!!

4

Μοντέλο Μνήμης



- Οι αναγνώσεις και εγγραφές γίνονται σε ένα κύκλο ρολογιού
 - Όταν ενεργοποιηθεί το enable για την εγγραφή, η αποθήκευση στον καταχωρητή γίνεται στην θετική ακμή του ρολογιού (η διεύθυνση και τα δεδομένα για εγγραφή πρέπει να έχουν σταθερή τιμή στην ακμή του ρολογιού)
 - Η ανάγνωση είναι συνδυαστικό κύκλωμα και μπορεί να γίνει οποιαδήποτε στιγμή

5

Η ISA του MIPS

- Processor State
 - 32 32-bit GPRs, R0 always contains a 0
 - 32 single precision FPRs, may also be viewed as
 - 16 double precision FPRs
 - FP status register, used for FP compares & exceptions
 - PC, the program counter
 - Some other special registers
- Data types
 - 8-bit byte, 16-bit half word
 - 32-bit word for integers
 - 32-bit word for single precision floating point
 - 64-bit word for double precision floating point
- Load/Store style instruction set
 - Data addressing modes: immediate & indexed
 - Branch addressing modes: PC relative & register indirect
 - Byte-addressable memory, big-endian mode

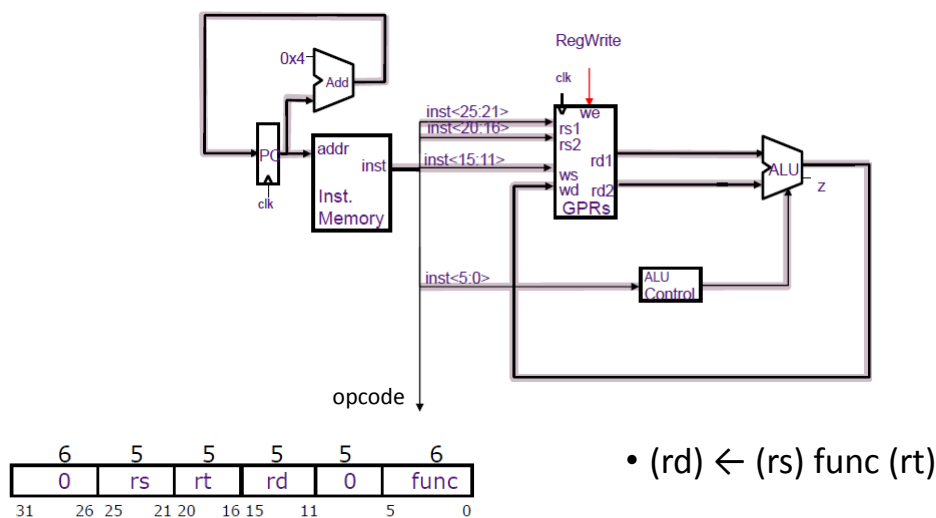
6

Εκτέλεση Εντολής

- Η εκτέλεση μιας εντολής περιλαμβάνει:
 - 1. Instruction fetch
 - 2. Decode
 - 3. Register fetch
 - 4. ALU operation
 - 5. Memory operation (optional)
 - 6. Write back
- και τον υπολογισμό της διεύθυνσης της επόμενης εντολής (PC)

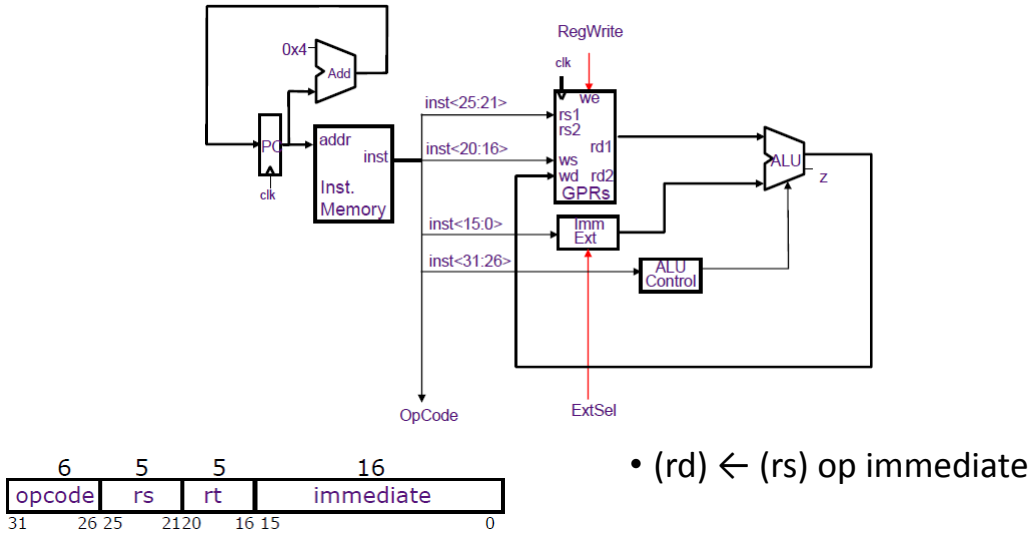
7

Datapath: εντολές Reg-Reg ALU

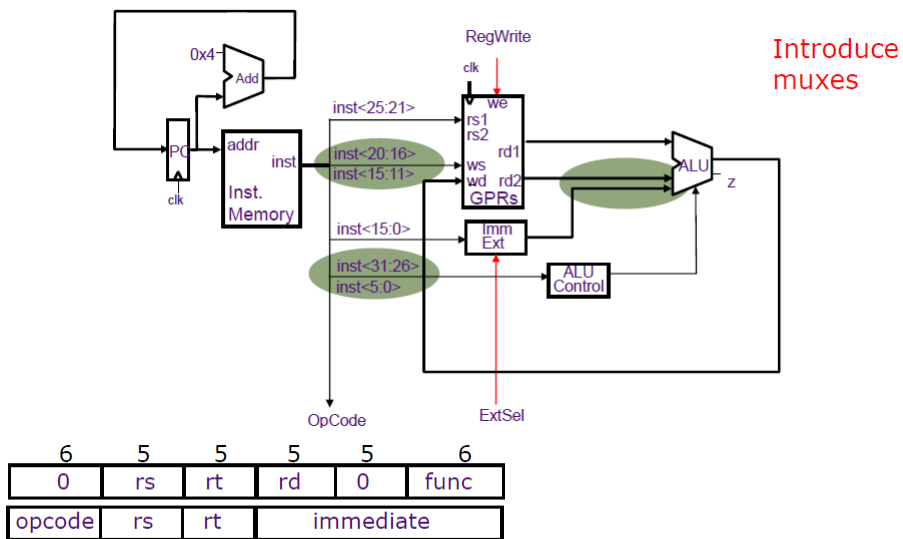


8

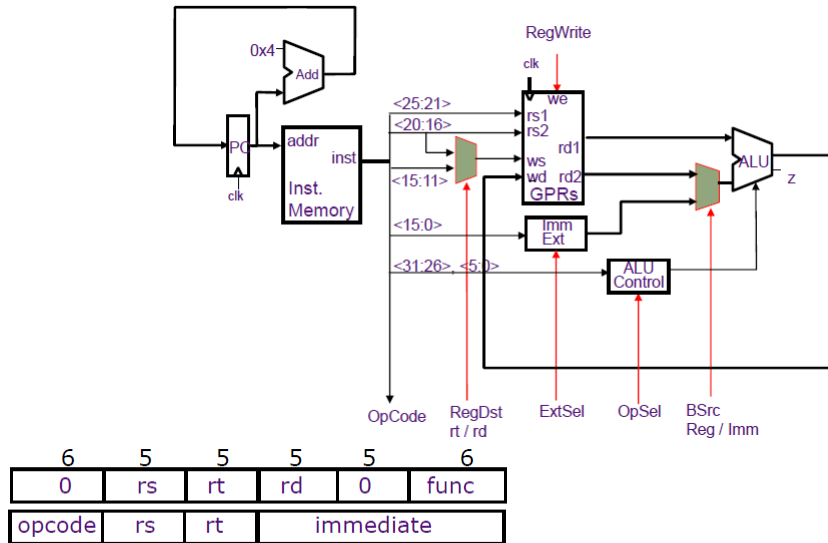
Datapath: εντολές Reg-Imm ALU



Προβλήματα στη Σύμπτυξη των Datapath



Datath για Εντολές ALU



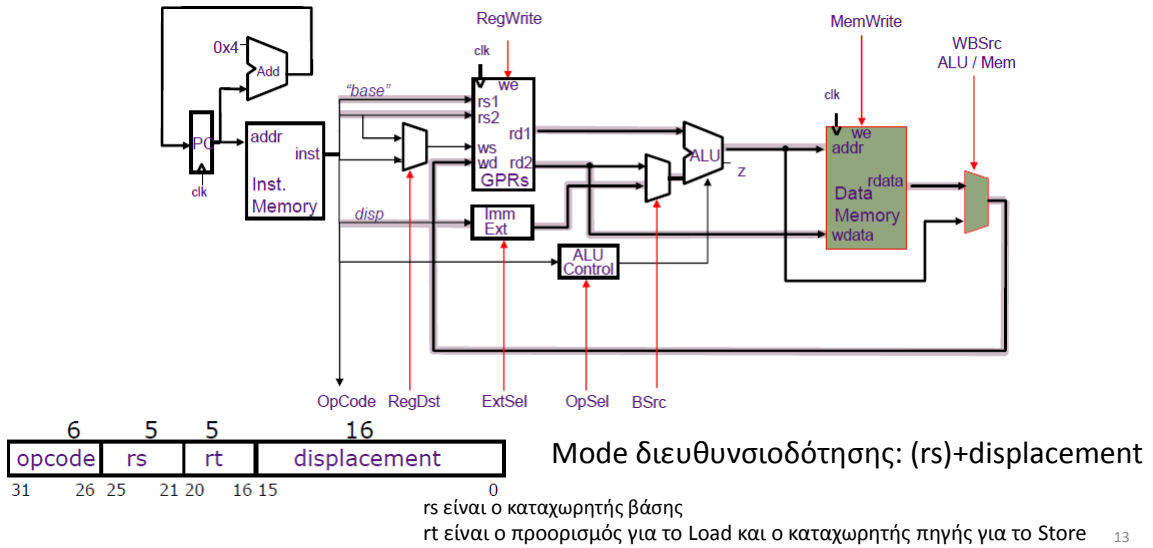
11

Datath για Εντολές Πρόσβασης στη Μνήμη

- Πρέπει το πρόγραμμα και τα δεδομένα να βρίσκονται σε χωριστές μνήμες ?
- Το πρόγραμμα γράφεται στην μνήμη εντολών και είναι Read Only κατά την εκτέλεση
- Στα δεδομένα επιτρέπονται λειτουργίες Read / Write
- Η εκτέλεση μιας εντολής Load ή Store απαιτεί πρόσβαση στην μνήμη παραπάνω από μία φορές

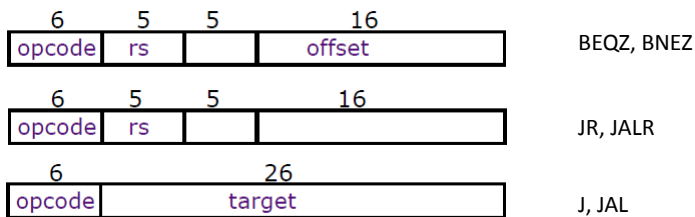
12

Εντολές Load / Store



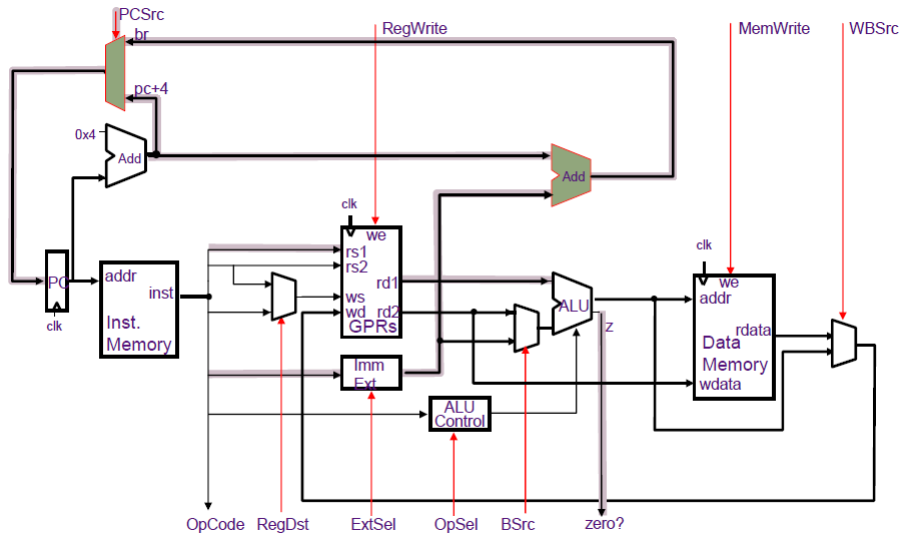
13

Εντολές Ελέγχου



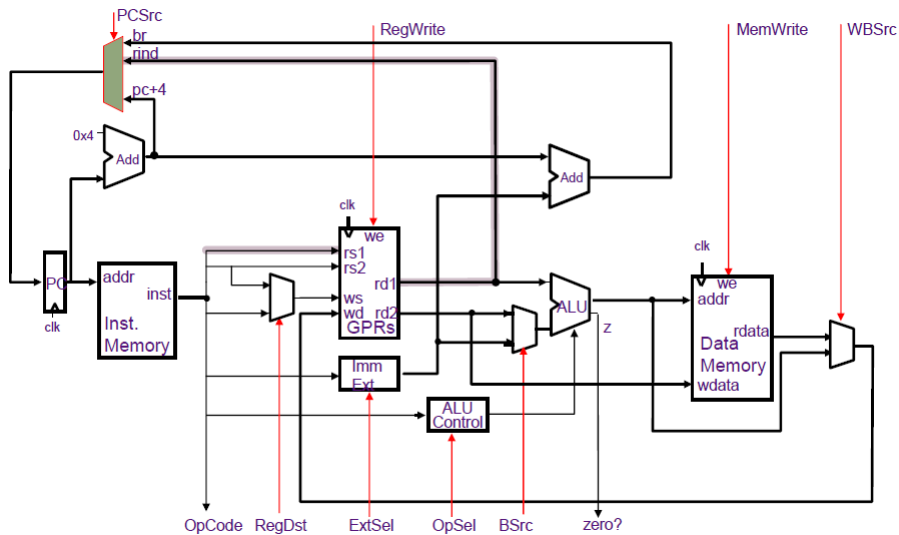
14

Εντολές Ελέγχου υπό Συνθήκη



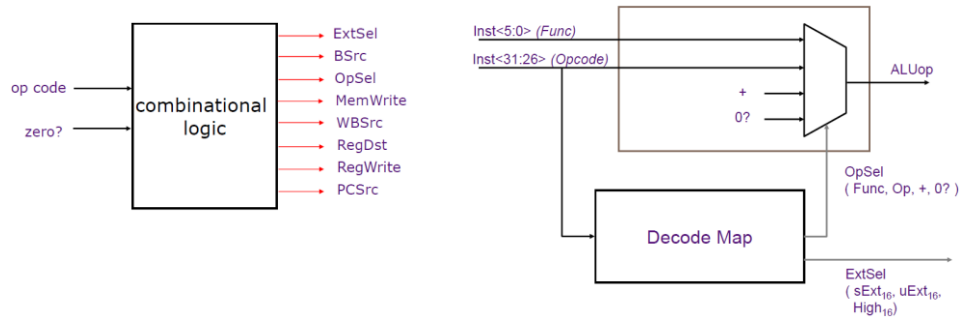
15

Εντολές Άλματος Register-Indirect (JR)



16

Έλεγχος (ALU, ...)



17

Εκτέλεση σε 1 Κύκλο Ρολογιού



- Η βασική υπόθεση για την εκτέλεση μιας εντολής έναν κύκλο ρολογιού που διαρκεί επαρκή χρόνο για την εκτέλεση:
 - 1. Instruction fetch
 - 2. Decode
 - 3. Register fetch
 - 4. ALU operation
 - 5. Memory operation (optional)
 - 6. Write back

➔ $t_C > t_{iFetch} + t_{rFetch} + t_{ALU} + t_{DMem} + t_{RWB}$

18

