

## Μάθημα 4:

### Κανόνες Σχεδίασης (Design Rules) Φυσικό Σχέδιο Βασικών Πυλών CMOS Καθυστερήσεις Καλωδίων Διασύνδεσης

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο  
Τμήμα Ηλεκτρονικών Μηχανικών  
2021-2022

**ΣΗΜΕΙΩΣΗ:** Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

## Γενική Εποπτεία Φυσικού Σχεδιασμού

- ❑ Ο φυσικός σχεδιασμός ενός τσιπ μπορεί να χαρακτηριστεί σαν το βήμα της διαδικασίας σχεδιασμού κατά το οποίο το ηλεκτρονικό κύκλωμα μεταφέρεται στην επιφάνεια πυριτίου. Ο σχεδιαστής φυσικού σχεδίου είναι υπεύθυνος για τη δημιουργία της μορφής κάθε στρώματος έτσι ώστε η τελική δομή των διαδοχικών στρωμάτων να ορίζει:
  - Τα στοιχεία των ηλεκτρονικών διακοπών (τρανζίστορ)
  - Τα σύρματα τα οποία συνδέουν τους διακόπτες μεταξύ τους

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 3

## Δουλεία του Μηχανικού Φυσικού Σχεδίου (1/2)

- ❑ Αρχικά, πρέπει να εξετάσει τα στρώματα τα οποία απαρτίζουν ένα τρανζίστορ, και μετά να εξετάσει τα χαρακτηριστικά των αγώγιμων και μονωτικών στρωμάτων.
- ❑ Αυτή η διαδικασία καταλήγει σε ένα σύνολο κανόνων το οποίο βοηθά ώστε να καθοδηγηθεί σωστά το περίπλοκο έργο καθορισμού του κάθε στρώματος σε κάθε τρανζίστορ και μετά του κάθε μεταλλικού σύρματος.
- ❑ Το φυσικό σχέδιο γίνεται εξολοκλήρου με υπολογιστή χρησιμοποιώντας έναν συντάκτη σχεδίου (layout editor). Κάθε στρώμα πάνω στο τσιπ φτιάχνεται έτσι ώστε όλα τα διαδοχικά στρώματα να φτιάχνουν τρισδιάστατες δομές οι οποίες αντιστοιχούν στο ζητούμενο ηλεκτρονικό κύκλωμα

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 4

## Δουλεία του Μηχανικού Φυσικού Σχεδίου (2/2)

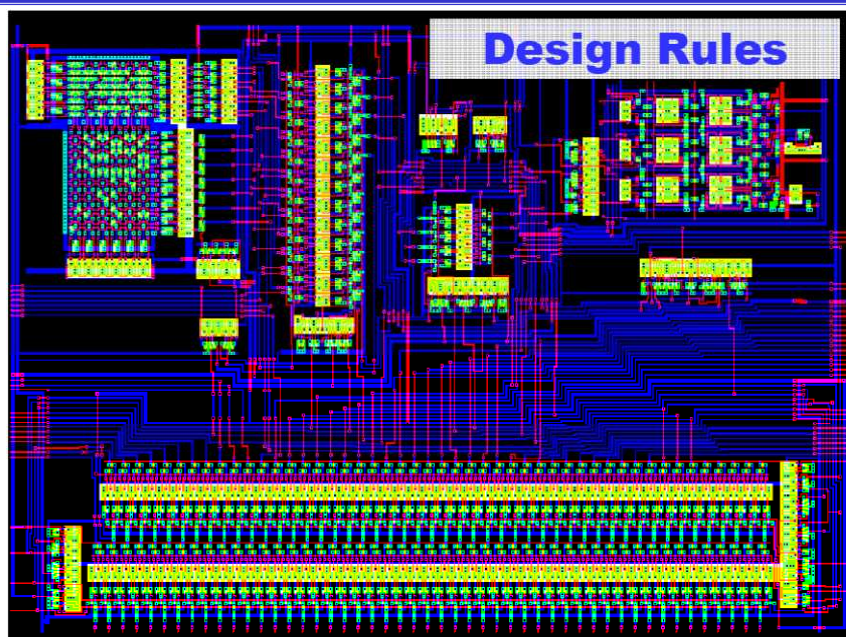
- ❑ Ένα κοινό πλέγμα χρησιμοποιείται από την αρχή έως το τέλος της διαδικασίας, και η οθόνη απεικονίζει ολόκληρο το σχέδιο, αλλά η πληροφορία της μορφής του κάθε στρώματος αποθηκεύεται σε μια ξεχωριστή βάση δεδομένων.
- ❑ Τα δεδομένα χρησιμοποιούνται για τη δημιουργία της μάσκας έτσι ώστε η συγκεκριμένη μορφή του στρώματος να μπορεί να μεταφερθεί πάνω στο τσιπ κατά τη διάρκεια της διαδικασίας της φωτολιθογραφίας
- ❑ Είναι ευθύνη του σχεδιαστή να διασφαλίσει ότι οι μορφές των στρωμάτων που σχεδιάζει ακολουθούν τους γεωμετρικούς κανόνες που διέπουν την διαδικασία κατασκευής.

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 5

## Κανόνες Σχεδίασης

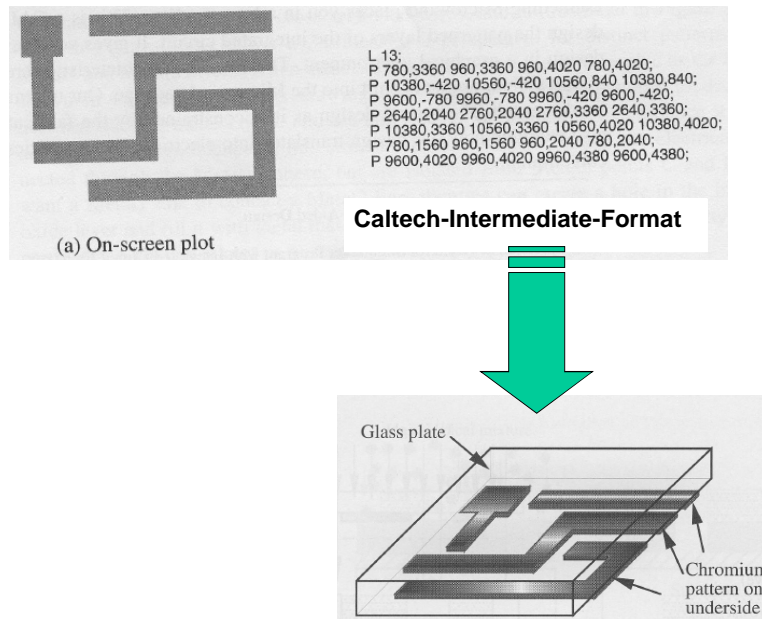


TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 6

## Φυσικό Σχέδιο: Κατασκευή των μασκών κατεργασίας



ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 7

## Βασικοί Έλεγχοι Layout

**ΔΥΟ ΒΑΣΙΚΟΙ ΕΛΕΓΧΟΙ ΠΡΕΠΕΙ ΝΑ ΟΛΟΚΛΗΡΩΘΟΥΝ ΓΙΑ ΝΑ ΕΞΑΣΦΑΛΙΣΤΕΙ ΟΤΙ Η ΒΑΣΗ ΔΕΔΟΜΕΝΩΝ ΤΩΝ ΜΑΣΚΩΝ ΠΟΥ ΕΧΕΙ ΔΗΜΙΟΥΡΓΗΘΕΙ ΚΑΤΑ ΤΗΝ ΑΝΑΠΤΥΞΗ ΤΟΥ ΦΥΣΙΚΟΥ ΣΧΕΔΙΟΥ ΜΠΟΡΕΙ ΝΑ ΚΑΤΑΣΚΕΥΑΣΕΙ ΕΝΑ ΛΕΙΤΟΥΡΓΙΚΟ ΤΣΙΠ:**

α. **Επιβεβαίωση** ότι οι ειδικοί κανόνες σχεδίασης τηρούνται

(**DESIGN RULE CHECK** ή **DRC**)

β. **Επιβεβαίωση** ότι οι μάσκες παράγουν το σωστό σύνολο **διασυνδέσεων** για τα στοιχεία του κυκλώματος

(**MASK CIRCUIT-EXTRACTION**)

ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 8

## Εργαλεία CAD Φυσικού σχεδίου

- **Συντάκτης Φυσικού σχεδίου (Layout Editor)**
  - σχεδιασμός πολυγώνων τα οποία αναπαριστούν φυσικές στρώσεις
- **Γεωμετρίες Manhattan**, μόνο γωνίες 90°
- **Διέλευση Αγωγών (Manhattan routing):** Γειτονικά στρώματα διασύνδεσης αναπτύσσονται κάθετα μεταξύ τους
- **Έλεγχος Κανόνων Σχεδίασης (Design Rules Check , DRC)**
  - έλεγχος εφαρμογής των κανόνων σχεδίασης κάθε στρώσης
  - **το σχέδιο πρέπει να περάσει τον έλεγχο DRC αλλιώς θα αποτύχει στην κατασκευή**
- **Φυσικό σχέδιο και κυκλωματικό σχέδιο (Layout Vs. Schematic, LVS)**
  - δημιουργία μιας λίστας των στοιχείων (τρζ, R, C) και των συνδέσεων
  - σύγκριση φυσικού σχεδίου με το κυκλωματικό σχέδιο
- **Εξαγωγή παρασιτικών παραμέτρων (Parameter Extraction)**
  - εξαγωγή των παρασιτικών τιμών κάθε γραμμής (R) /κάθε κόμβου (C)
  - έλεγχος ηλεκτρονικών στοιχείων, συνδέσεων, αγωγών παροχής
  - επιβεβαίωση μέσω προσομοίωσης του μεγέθους των στοιχείων, ώστε να διασφαλίζονται τα επιθυμητά χαρακτηριστικά του κυκλώματος (ταχύτητα, κατανάλωση)
  - **η εξαγωγή των παρασιτικών παραμέτρων είναι το τελευταίο στάδιο του φυσικού σχεδιασμού**

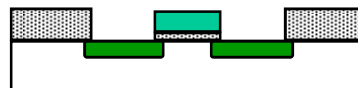
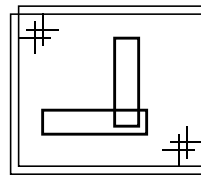
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 9

## Γιατί έχουμε κανόνες σχεδίασης;

- ❑ Για να μπορούμε να ανεχτούμε κάποιο επίπεδο κατασκευαστικών λαθών όπως πχ
  1. Κακή ευθυγράμμιση μάσκας
  2. Σκόνη
  3. Παράμετροι διαδικασίας (πχ, πλευρική διάχυση)
  4. Ανώμαλες επιφάνειες



TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 10

## Κανόνες σχεδίασης;

Οι κανόνες σχεδίασης μπορούν να ομαδοποιηθούν σε τέσσερις βασικές κατηγορίες:

**Ελάχιστη διάσταση**—Είναι το μικρότερο επιτρεπόμενο μήκος πλευράς για ένα πολυγωνικό μοτίβο ενός στρώματος. Αν το αντικείμενο είναι μια γραμμή, τότε πρόκειται για το **ελάχιστο πλάτος γραμμής**.

**Ελάχιστη απόσταση**—οι κανόνες ελάχιστης απόστασης καθορίζουν πόσο κοντά μπορούν να τοποθετηθούν δύο πολύγωνα.

**Όριο περιβάλλοντος**— Ο κανόνας περιβάλλοντος χρησιμοποιείται όταν ένα μοτίβο ενός στρώματος ενσωματώνεται μέσα σε ένα πολύγωνο κάποιας άλλης στρώσης.

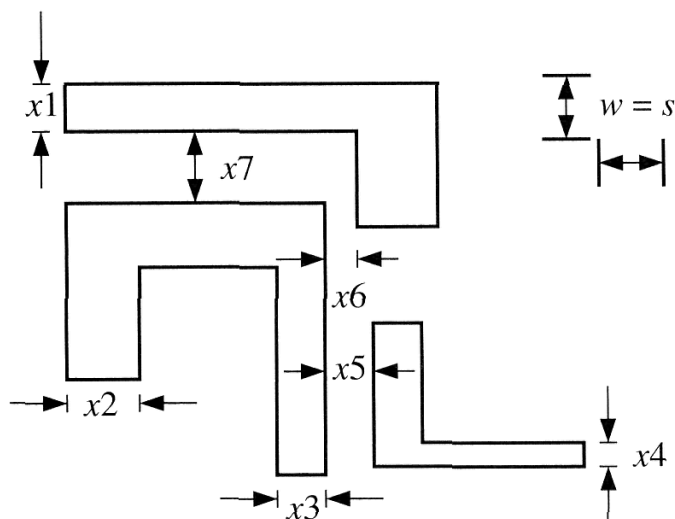
**Ακριβές μέγεθος**—Το ακριβές μέγεθος σημαίνει ότι το μοτίβο στρώσης πρέπει να έχει τις διαστάσεις που καθορίζει ο κανόνας. Άλλα μεγέθη δεν επιτρέπονται.

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 11

## Παράδειγμα κανόνων ελάχιστης διάστασης και απόστασης



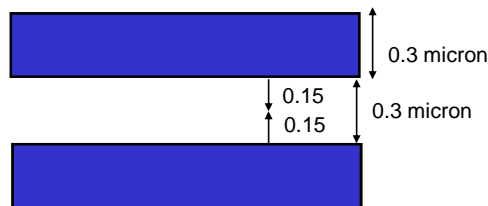
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 12

## Πρόελευση των κανόνων σχεδίασης μεταξύ ομοεπίπεδων στρώσεων

- ❑ Ελάχιστη διάσταση (π.χ. πλάτος) του αντικειμένου κάθε στρώσης ώστε να διατηρηθεί το μοτίβο του μετά την κατασκευή
  - Το ελάχιστο πλάτος γραμμής καθορίζεται από την ανάλυση της διαδικασίας κατασκευής του μοτίβο (φωτολιθογραφία)
- ❑ Ελάχιστη απόσταση μεταξύ αντικειμένων (τα οποία δε συνδέονται μεταξύ τους) πάνω στο ίδιο στρώμα ώστε να διασφαλιστεί ότι αυτά δε θα συνδεθούν μετά την κατασκευή

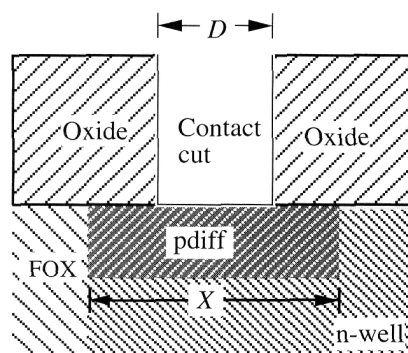


TL 5017

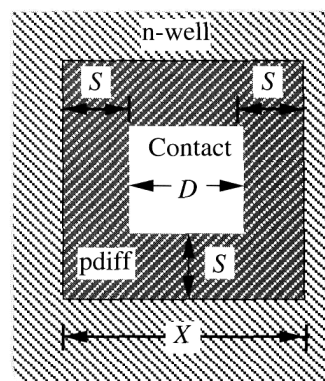
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 13

## Παράδειγμα κανόνα περιβάλλοντος



(α) εγκάρσια-τομή



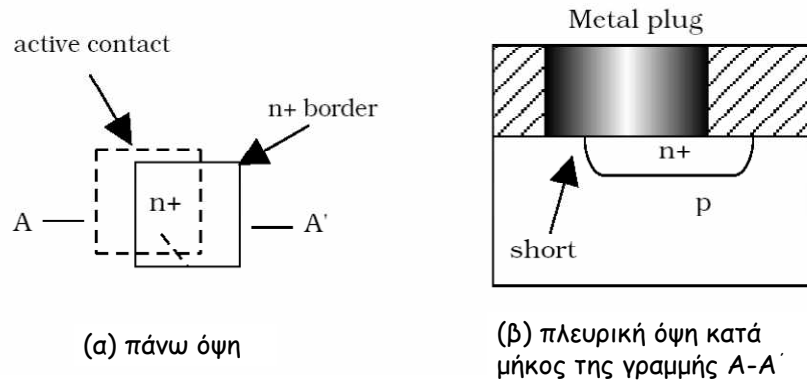
(β) κάτοψη

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 14

## Παράδειγμα κακής ευθυγράμμισης



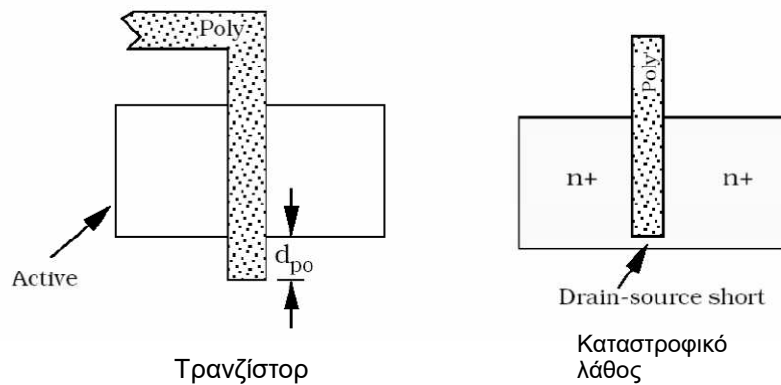
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 15

## Προέλευση των κανόνων σχεδίασης μεταξύ στρώσεων διαφορετικών επιπέδων

Κανόνας επικάλυψης πύλης – τα τρανζίστορ σχηματίζονται από την επικάλυψη των ενεργών περιοχών με τις στρώσεις πολυπυριτίου



TL 5017

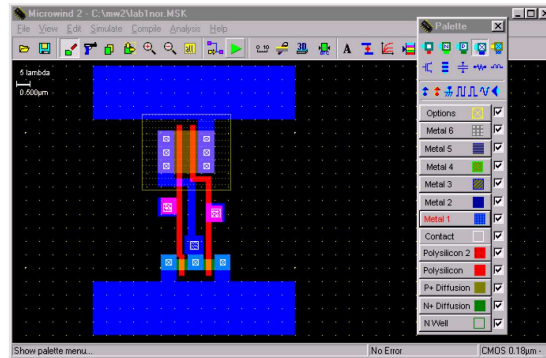
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 16



## 1. Σχέδιο βασισμένο στη μονάδα πλέγματος $\lambda$

- Το φυσικό σχέδιο παράγεται πάνω σε ένα πλέγμα σημείων
- Μονάδα πλέγματος =  $\lambda$   
= το μισό της ελάχιστης διάστασης



Poly gate =  $2\lambda$   
Cmos 0.12,  $\lambda = 0.06 \mu\text{m}$

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 17

## 2. Σχέδιο βασισμένο στη μονάδα πλέγματος $\lambda$

- ☺ Θετικά σημεία
  - Επιτρέπει τεχνολογικές αλλαγές
  - Επιτρέπει την επαναχρησιμοποίηση του φυσικού σχεδίου
  - Ελαττώνει το κόστος σχεδίασης
- ☹ Αρνητικά σημεία
  - Όχι βέλτιστος σχεδιασμός

TL 5017

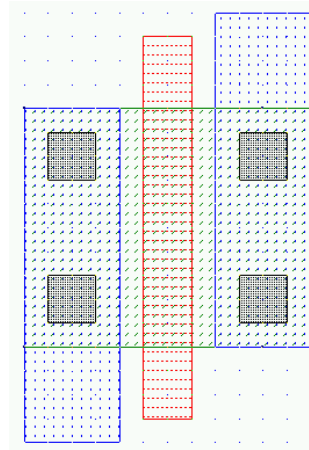
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 18

### 3. Βασικοί Κανόνες Σχεδίασης

#### N-κανάλι MOS

- Ελάχιστο πλάτος πύλης poly-Si
- Επέκταση διάχυσης
- Επαφές
- Απόσταση Επαφών
- Επέκταση μετάλλου πάνω από επαφή
- Επέκταση poly-Si πάνω από διάχυση
- Απόσταση επαφής/πύλης
- Πλάτος Μετάλλου
- Απόσταση μετάλλων



TL 5017

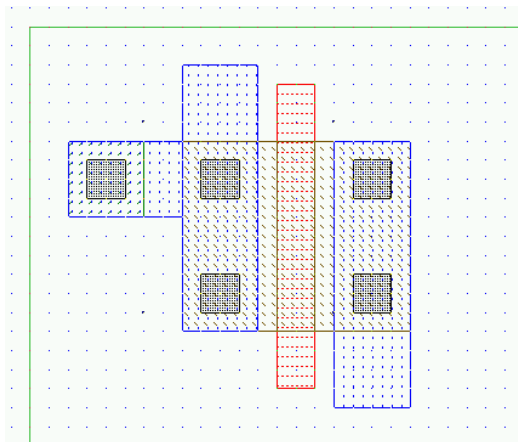
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 19

### 3. Βασικοί Κανόνες Σχεδίασης

#### P-κανάλι MOS

- Ελάχιστο πλάτος πύλης poly-Si
- Επέκταση διάχυσης
- N-well επέκταση P+
- N-well επέκταση N+
- Απόσταση N+/P+
- Διάχυση N+/N-well



TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 20

## Κανόνες σχεδίασης (generic Microwind 1.2 / $\mu\text{m}$ process)

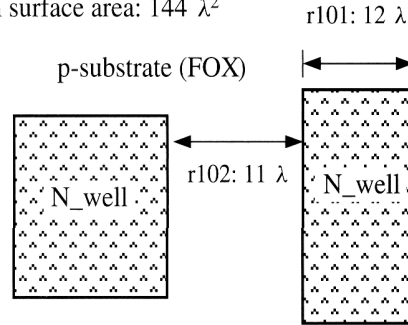
Format: rule# Description: Value

### N\_well

r101 Minimum well size:  $12 \lambda$

r102 Well-to-well spacing:  $11 \lambda$

r103 Minimum surface area:  $144 \lambda^2$



ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 21

### ndiff and pdiff

r201 Minimum  $n^+$  and  $p^+$  diffusion width:  $4 \lambda$

r202 Minimum spacing between two  $p^+$  and  $n^+$  diffusions:  $4 \lambda$

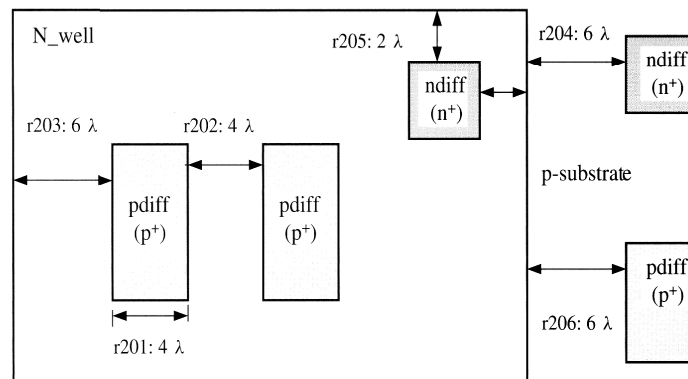
r203 Extension over n-well after  $p^+$  diffusion:  $6 \lambda$

r204 Minimum spacing between  $n^+$  diffusion and n-well:  $6 \lambda$

r205 Border of well after  $n^+$  bias:  $2 \lambda$

r206 Distance between n-well and  $p^+$  bias:  $6 \lambda$

r210 Minimum surface:  $24 \lambda^2$

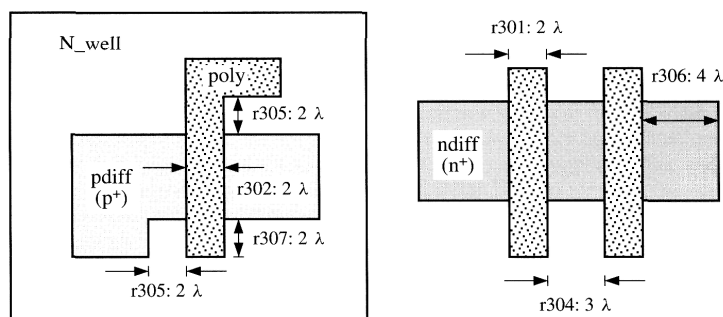


ΤΛ ξ

Slide 22

**Polysilicon (Poly1)**

- r301 Polysilicon width:  $2 \lambda$
- r302 Polysilicon gate on diffusion:  $2 \lambda$
- r303 Polysilicon gate on diffusion for high voltage FET:  $4 \lambda$
- r304 Between two polysilicon boxes:  $3 \lambda$
- r305 Polysilicon versus other diffusion:  $2 \lambda$
- r306 Diffusion after polysilicon:  $4 \lambda$
- r307 Extra gate after diffusion:  $2 \lambda$



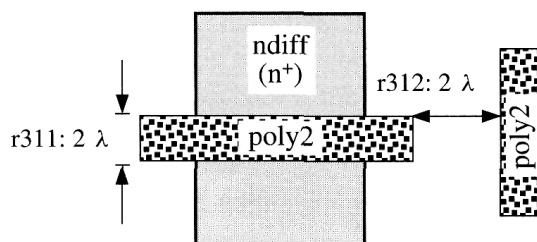
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 23

**Poly2**

- r311 Polysilicon2 width:  $2 \lambda$
- r312 Polysilicon2 gate extended beyond diffusion:  $2 \lambda$



$$\left(\frac{W}{L}\right)_{\min} = \frac{4 \lambda}{2 \lambda} = 2$$

TL 5017

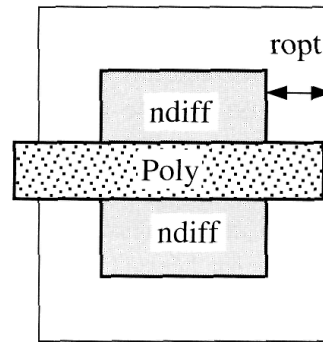
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 24

### Option

$r_{opt}$   $2 \lambda$

Border of “option” layer over diff  $n^+$  and diff  $p^+$   
(In Microwind, this is used to block the etchback of the gate oxide)



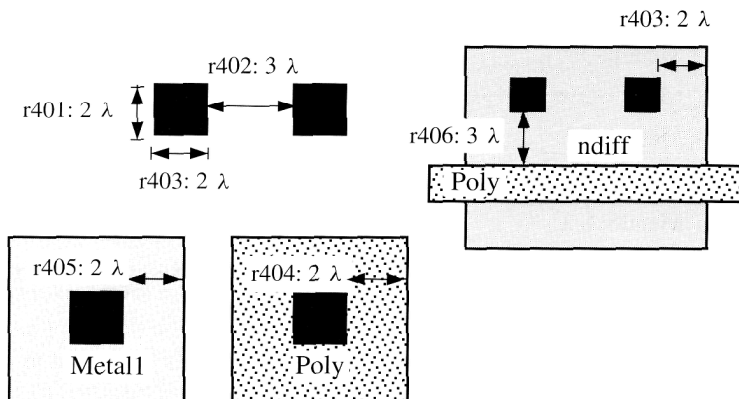
TA 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 25

### Contacts

- r401 Contact size:  $2 \lambda \times 2 \lambda$
- r402 Spacing between two contacts:  $3 \lambda$
- r403 Contact to diffusion edge:  $2 \lambda$
- r404 Poly surround:  $2 \lambda$
- r405 Metall surround:  $2 \lambda$
- r406 Contact to poly gate:  $3 \lambda$

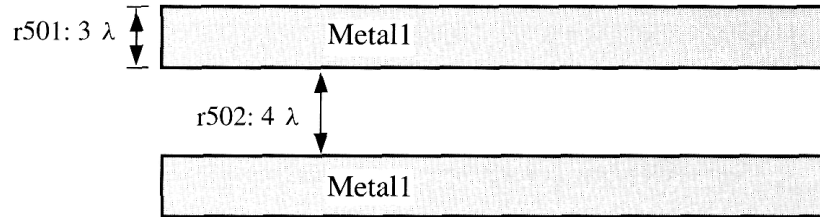


TA 50...

Slide 26

**Metal1**

- r501 Metal1 width:  $3 \lambda$
- r502 Between two Metal1:  $4 \lambda$
- r510 Minimum surface:  $32 \lambda^2$



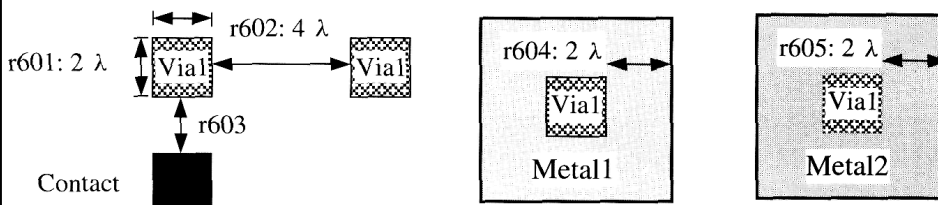
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 27

**Via1**

- r601 Via1 size:  $2 \lambda \times 2 \lambda$
- r602 Spacing between Via1 edges:  $4 \lambda$
- r603 Between Via1 and contact: 0 (Can stack in deep submicron rules)
- r604 Extra Metal1 over Via1:  $2 \lambda$
- r605 Extra Metal2 over Via1:  $2 \lambda$



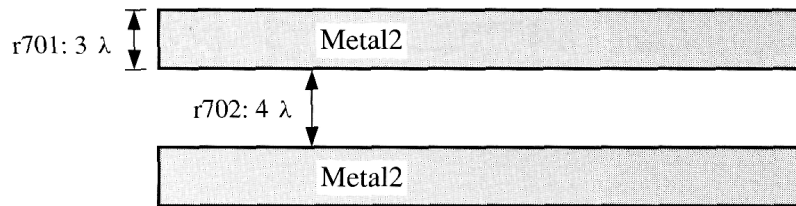
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 28

**Metal2**

- r701 Metal2 width:  $3 \lambda$
- r702 Between two Metal2:  $4 \lambda$
- r710 Minimum surface:  $32 \lambda^2$



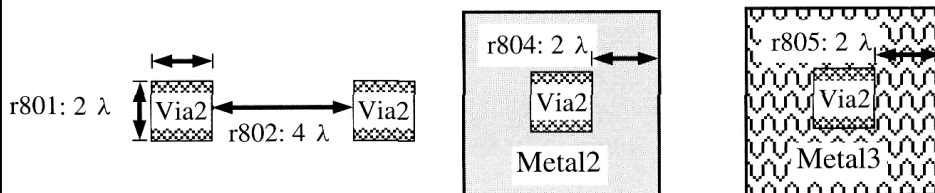
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 29

**Via2**

- r801 Via2 size:  $2 \lambda \times 2 \lambda$
- r802 Spacing between Via2 edges:  $4 \lambda$
- r804 Extra Metal2 over Via2:  $2 \lambda$
- r805 Extra Metal3 over Via2:  $2 \lambda$



TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 30

**Metal3**

r901 Metal3 width:  $3 \lambda$

r902 Between two Metal3:  $4 \lambda$

r910 Minimum surface:  $32 \lambda^2$

TL 5017 L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια Slide 31

**Via3**

ra01 Via3 size:  $2 \lambda \times 2 \lambda$

ra02 Spacing between Via3 edges:  $4 \lambda$

ra04 Extra Metal3 over Via3:  $2 \lambda$

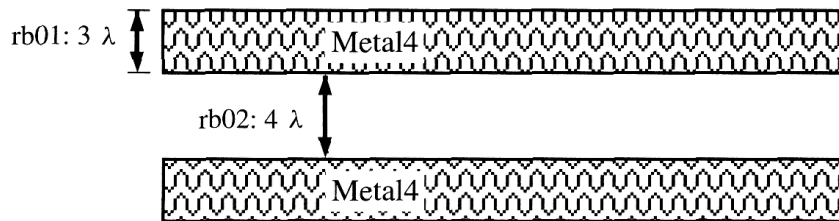
ra05 Extra Metal4 over Via3:  $2 \lambda$

TL 5017 L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια Slide 32



### Metal4

- rb01 Metal4 width:  $3 \lambda$
- rb02 Spacing between two Metal4:  $4 \lambda$
- rb10 Minimum surface:  $32 \lambda^2$



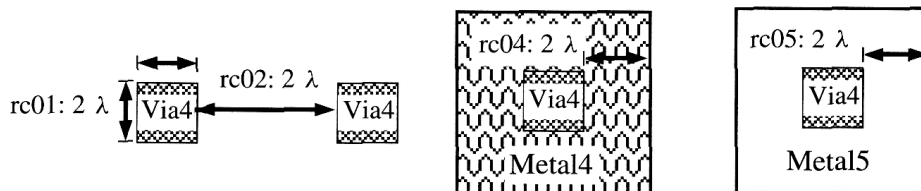
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 33

### Via4

- rc01 Via4 size:  $2 \lambda \times 2 \lambda$
- rc02 Spacing between Via4 edges:  $4 \lambda$
- rc04 Extra Metal4 over Via4:  $2 \lambda$
- rc05 Extra Metal5 over Via4:  $2 \lambda$



TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 34

**Metal5**

rd01 Metal5 width:  $8 \lambda$

rd02 Between two Metal5:  $8 \lambda$

rd10 Minimum surface:  $100 \lambda^2$

rd01:  $8 \lambda$

Metal5

rd02:  $8 \lambda$

Metal5

TL 5017 L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια Slide 35

**Via5**

re01 Via5 size:  $5 \lambda \times 5 \lambda$

re02 Spacing between Via5 edges:  $5 \lambda$

re04 Extra Metal5 over Via5:  $2 \lambda$

re05 Extra Metal6 over Via5:  $2 \lambda$

re01:  $5 \lambda$

Via5

re02:  $5 \lambda$

Via5

re04:  $2 \lambda$

Via5

Metal5

re05:  $2 \lambda$

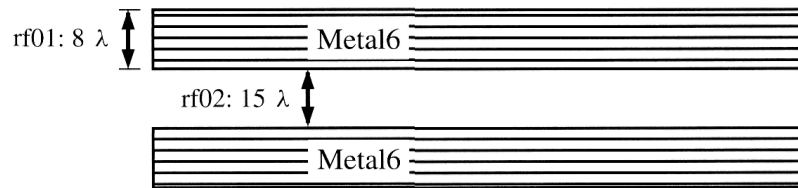
Via5

Metal6

TL 5017 L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια Slide 36

### Metal6

- rf01 Metal6 width:  $8 \lambda$
- rf02 Between two Metal6:  $15 \lambda$
- rf10 Minimum surface :  $300 \lambda^2$



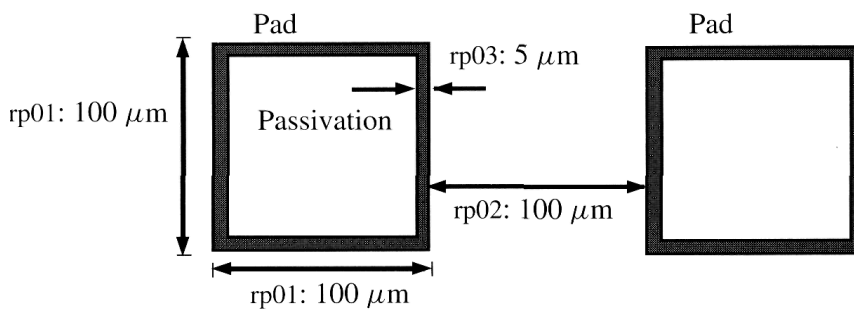
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 37

### Pad Design

- rp01 Pad size:  $100 \mu\text{m} \times 100 \mu\text{m}$
- rp02 Spacing between Pads:  $100 \mu\text{m}$
- rp03 Surround (passivation):  $5 \mu\text{m}$
- rp04 Spacing between Pad and Active:  $20 \mu\text{m}$

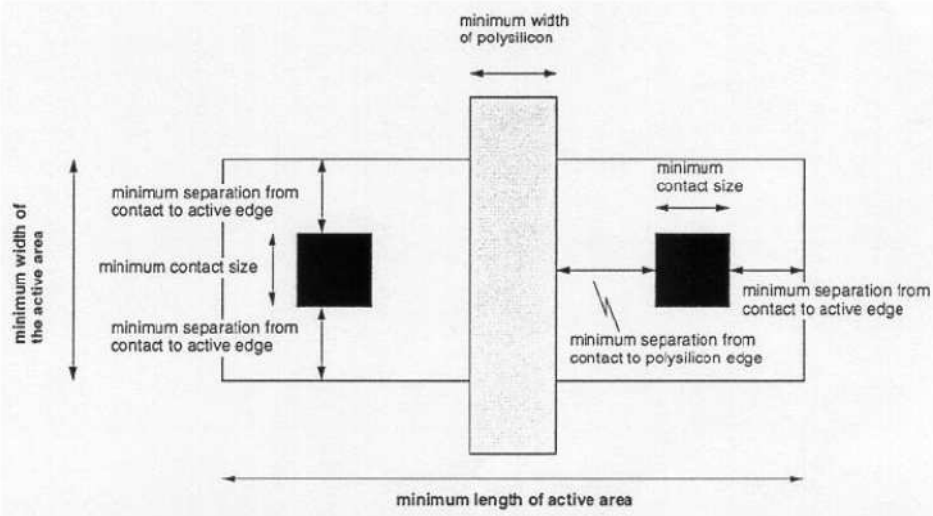


TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 38

## Σχεδιασμός Τρανζίστορ Ελάχιστου μεγέθους

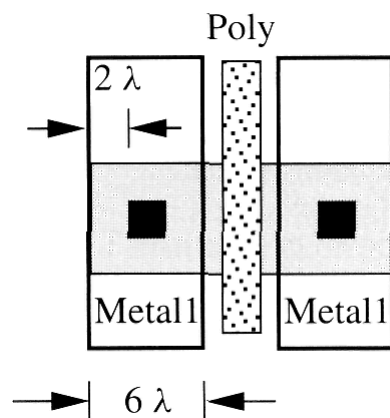


ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 39

## Φυσικό Σχέδιο nMOS



$$W = 2\lambda + 2\lambda + 2\lambda = 6\lambda$$

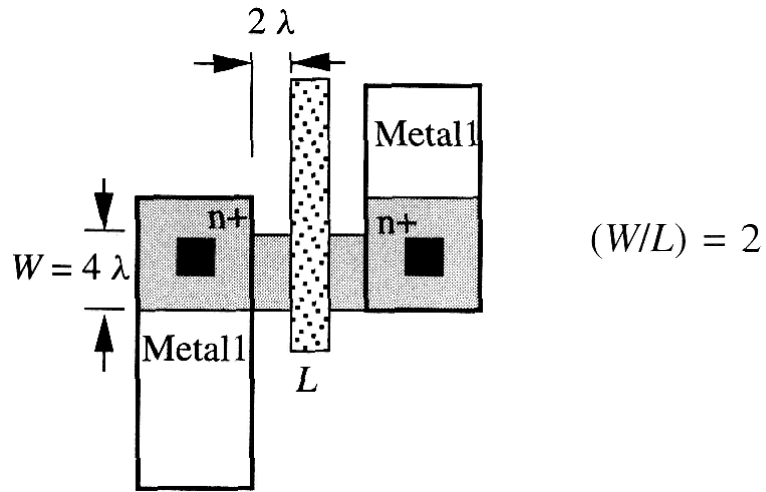
$$\left(\frac{W}{L}\right) = \frac{6\lambda}{2\lambda} = 3$$

ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 40

## Ελάχιστο μέγεθος nMOS

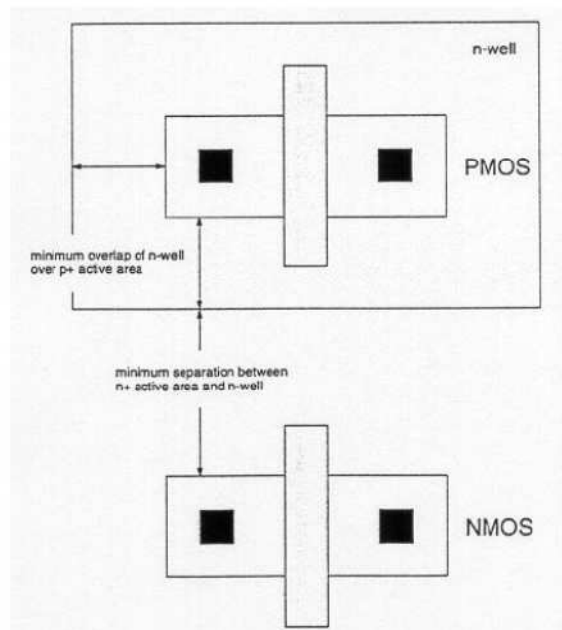


ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 41

## Σχεδιασμός ενός ζεύγους nMOS / pMOS



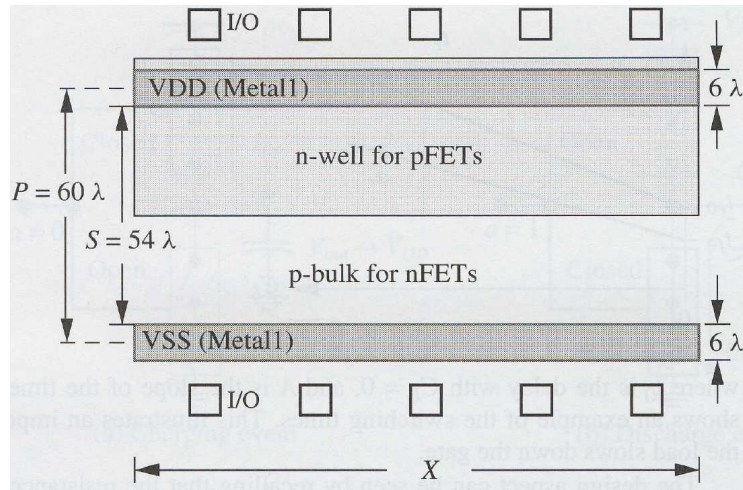
ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 42

## Βασική δομή προσχεδιασμένων κυττάρων Microwind

τεχνολογία  $\geq 0,18 \mu\text{m}$



Για τεχνολογία  $\leq 0,12 \mu\text{m} \Rightarrow P = 50 \lambda, S = 44 \lambda$

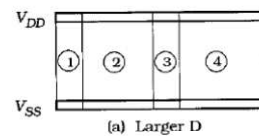
ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

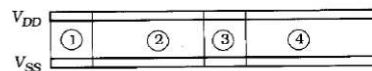
Slide 43

## Προσανατολισμός Τρανζίστορ

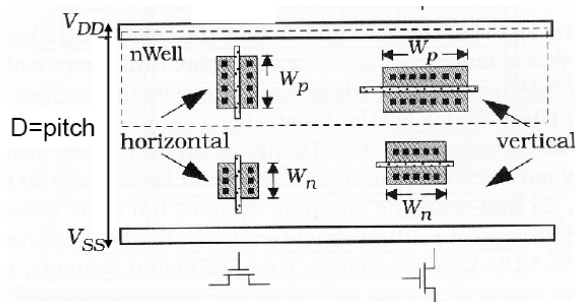
- Κάθετα Τρζ ( $W$  απλώνεται οριζόντια)
- μπορεί να μεγαλώσει το τρζ  $W$  με σταθερό pitch
- κύτταρα μικρά & πλατιά
- Οριζόντια Τρζ ( $W$  απλώνεται κάθετα)
- pitch καθορίζει το max τρζ  $W$
- κύτταρα ψηλότερα & στενά



(a) Larger D



(b) Smaller D



ΤΛ 5017

Slide 44

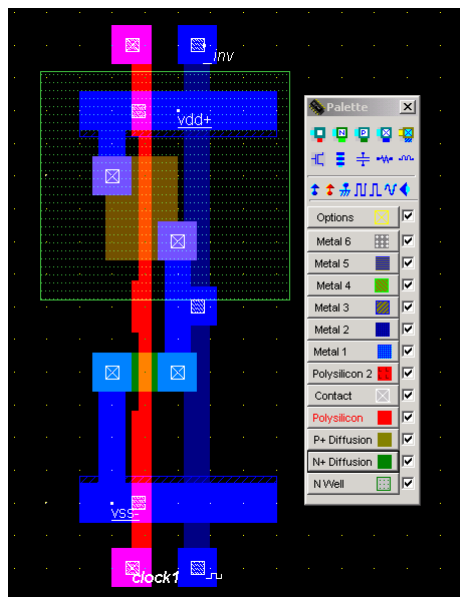
# Φυσικό σχέδιο βασικών πυλών CMOS

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 45

## Εργαλείο Microwind: αντιστροφείας CMOS



TL 5017

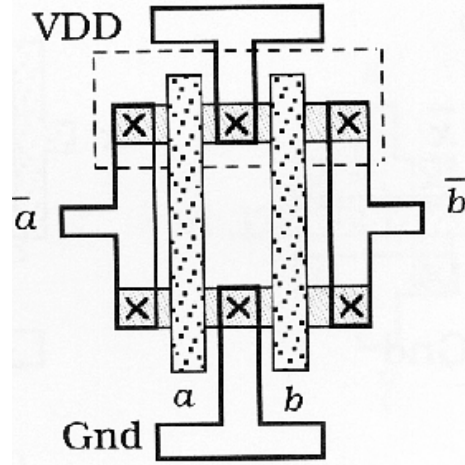
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 46

## Κύτταρα πολλαπλών λειτουργιών

- κύτταρα με ανεξάρτητες εξόδους και εισόδους πύλης

- κοινές επαφές παροχής τάσης
- ποια είναι η λογική συνάρτηση;



TL 5017

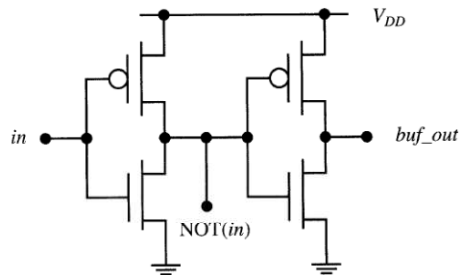
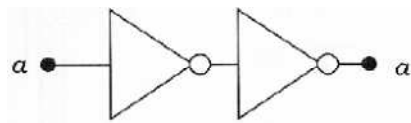
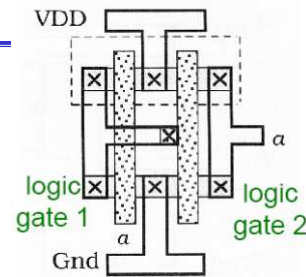
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 47

## Διαδοχικές πύλες συνδεδεμένες σε σειρά (Cascaded Gates)

- Απομονωτής (buffer)  
(Cascaded Gates)

- έξοδος της πύλης 1 = είσοδος της πύλης 2
  - η μεταλλική έξοδος της πύλης 1 συνδέεται (μέσω επαφής) στη γραμμή πολύ-Σί της πύλης 2 (δηλ. στην είσοδο της πύλης 2)
- κοινή επαφή παροχής τάσης



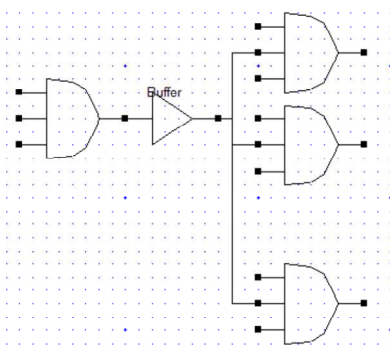
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 48

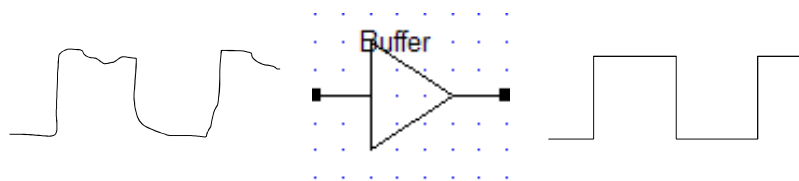


## Δύο τυπικές εφαρμογές του Απομονωτή



A) αύξηση της  
ικανότητας οδήγησης  
του ρεύματος μιας  
πύλης

B) επαναφορά αδύναμου σήματος



TL 5017

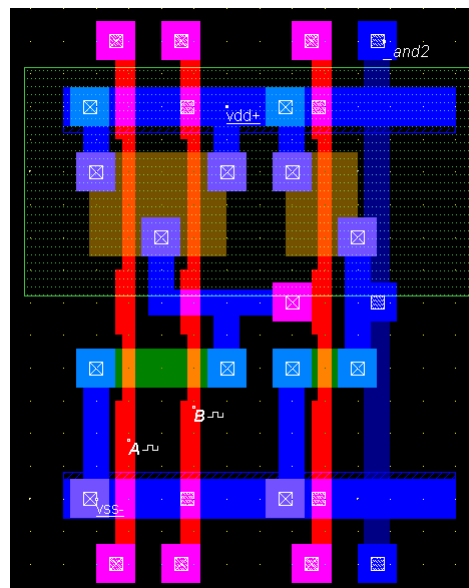
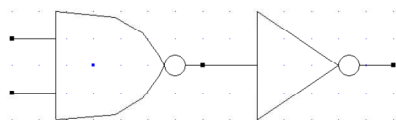
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 49

## Διαδοχικές πύλες συνδεδεμένες σε σειρά

Σε ποια πύλη  
αντιστοιχεί αυτό  
το layout;

CMOS AND2



TL 5017

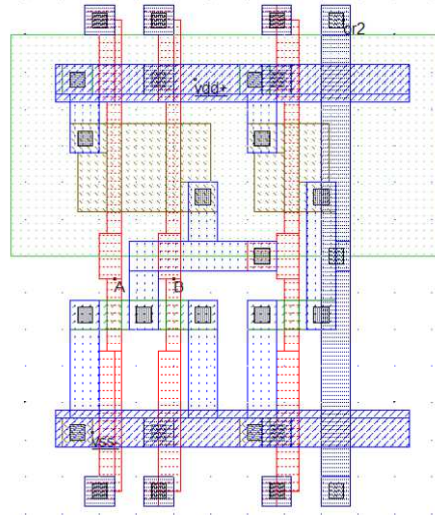
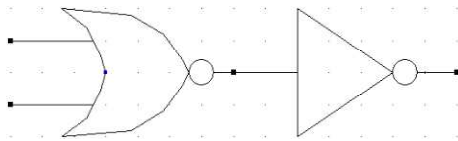
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 50

## Διαδοχικές πύλες συνδεδεμένες σε σειρά

Σε ποια πύλη αντιστοιχεί αυτό το layout;

CMOS OR2



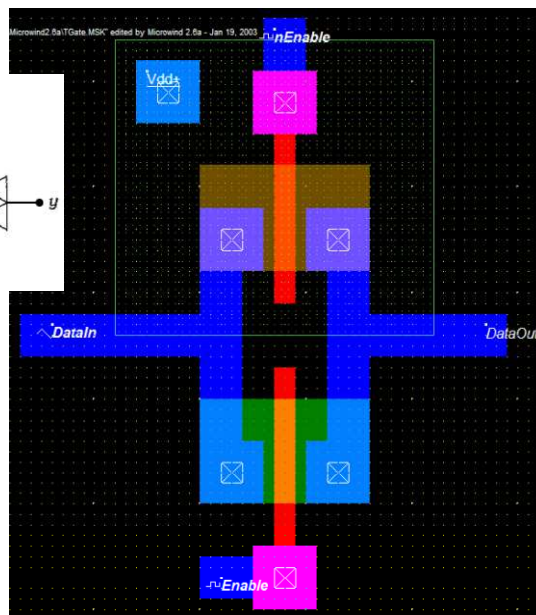
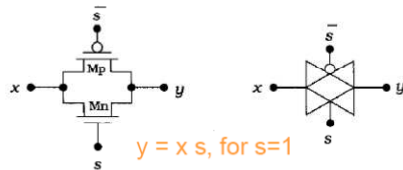
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 51

## Πύλη Διέλευσης (TG)

• Transmission Gates



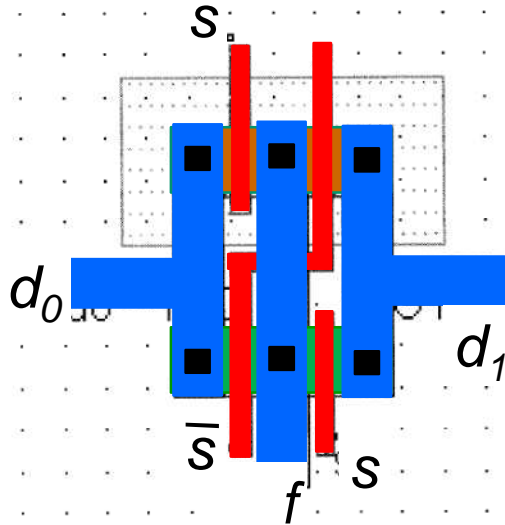
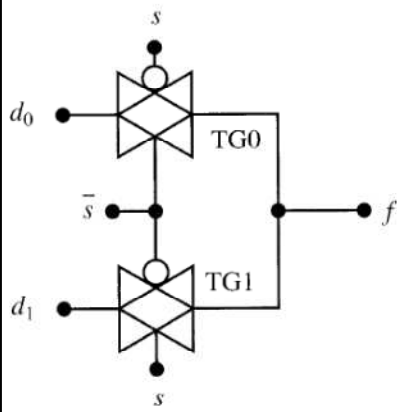
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 52

## Πύλη Διέλευσης

### 2:1 MUX



TL 5017

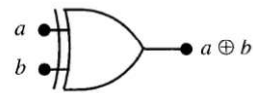
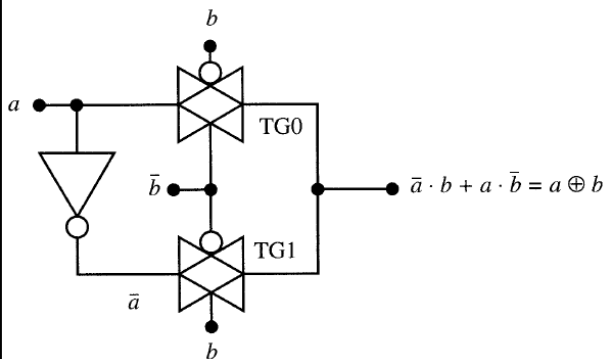
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 53

## Πύλη Διέλευσης

### Exclusive-OR

Κύκλωμα XOR βασισμένο σε TG



a	b	F
0	0	0
0	1	1
1	0	1
1	1	0

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 54

## Κυκλώματα τριών-καταστάσεων

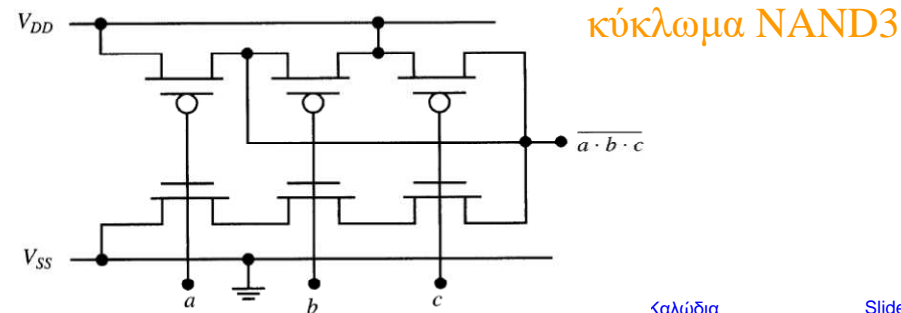
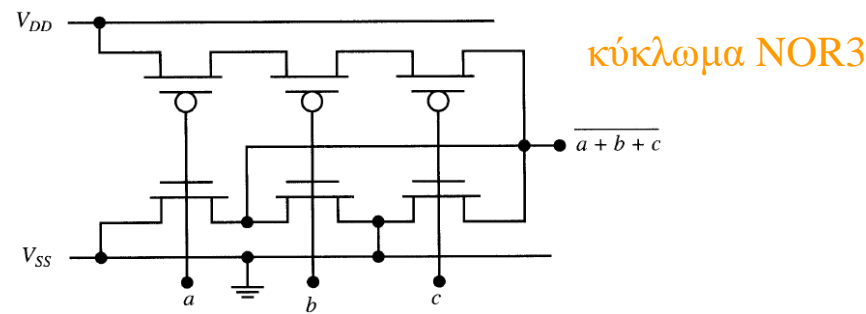
Μια κανονική πύλη έχει έξοδο το λογικό '0' και το λογικό '1'. Σε ένα κύκλωμα τριών-καταστάσεων, η έξοδος μπορεί επίσης να βρίσκεται σε κατάσταση υψηλής σύνθετης αντίστασης Hi-Z (high impedance), προσδίδοντας στο κύκλωμα τρεις ξεχωριστές καταστάσεις.

Η πιο απλή τεχνική για την υλοποίηση ενός αντιστροφέα τριών-καταστάσεων (tri-state inverter) είναι να προσθέσουμε δύο επιπλέον τρανζίστορ, M1 και M2, στη βασική πύλη NOT, όπως φαίνεται στο σχ. (α). Το nFET M2 ελέγχεται από το σήμα enable,  $En$ , ενώ το σήμα  $\overline{En}$  εφαρμόζεται στην πύλη του τρανζίστορ pFET M1. Η λειτουργία είναι προφανής. Αν  $En = 1$ , τότε και τα δύο τρανζίστορ M1 και M2 είναι ON, και το κύκλωμα λειτουργεί σαν ένας κανονικός αντιστροφέας με  $f(a) = \overline{a}$ . Η αλλαγή του σήματος ελέγχου σε  $En = 0$  απενεργοποιεί και τα δύο τρανζίστορ M1 και M2. Η έξοδος γίνεται μη-ορισμένη "floats" επειδή βλέπει δύο ανοιχτούς διακόπτες. Η κατάσταση αυτή ορίζει τη θέση Hi-Z ή την (" τρίτη-κατάσταση"), όπου οι εισοδοί δεν έχουν καμιά επίδραση στην έξοδο. Στην πραγματικότητα, η παρασιτική χωρητικότητα μπορεί να κρατήσει την τάση της προηγούμενης κατάστασης για λίγο, εκτός αν η έξοδος είναι συνδεδεμένη σε άλλο κύκλωμα το οποίο αλλάζει την τάση.



Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

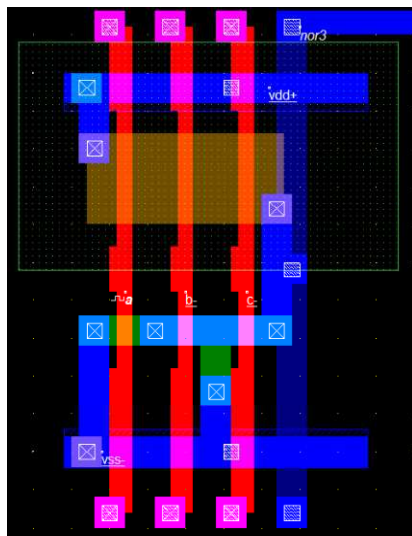
## Πύλες 3-εισόδων



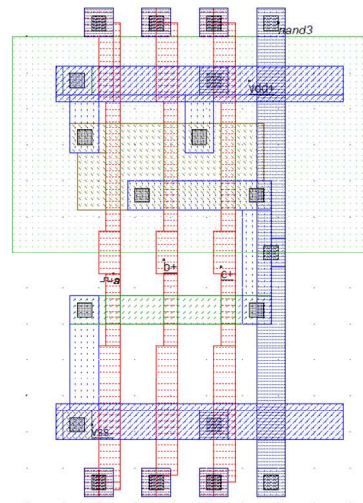
Καλώδια

Slide 56

## Φυσικό σχέδιο NOR / NAND 3-εισόδων



(α) πύλη NOR3



(β) πύλη NAND3

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

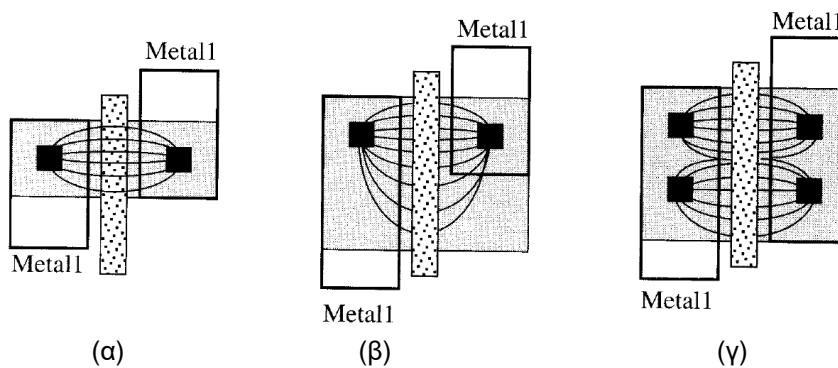
Slide 57

## Σχεδιασμός FETs μεγάλου πλάτους καναλιού

Χρήση όσο το δυνατόν περισσότερων επαφών

A) Επίτευξη κατάλληλης ροής ρεύματος εντός του τρανζίστορ

**ΠΡΟΣΟΧΗ !!!** Ρεύμα > 10 mA μέσα από μια επαφή μπορεί να την καταστρέψει



(α)

(β)

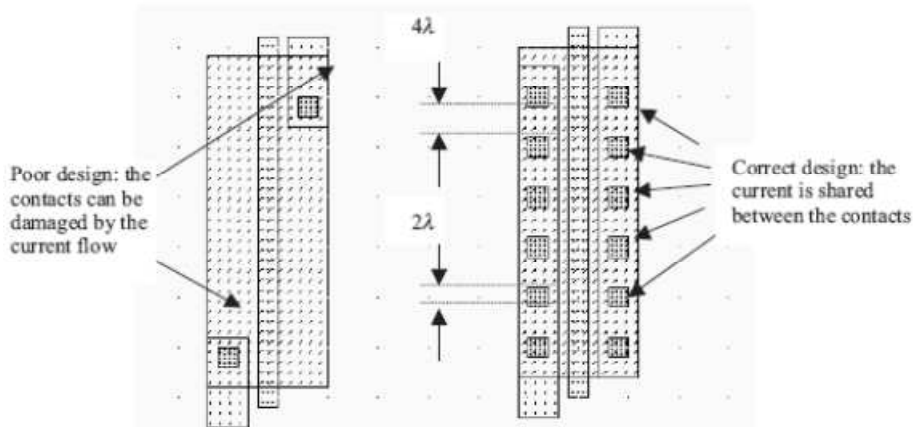
(γ)

Μικρό W

Ανεπαρκής σχεδιασμός

Βελτιωμένος σχεδιασμός

## Σχεδιασμός FETs μεγάλου πλάτους καναλιού



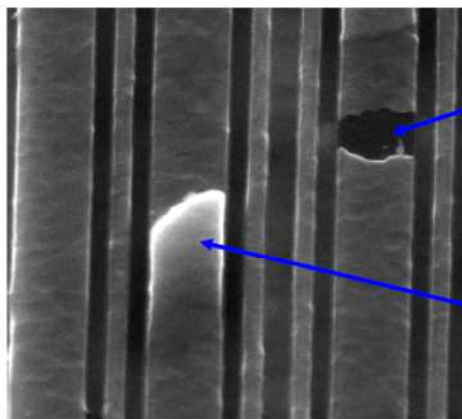
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 59

## Electromigration

- ❑ Ισχυρός 'άνεμος ηλεκτρονίων' τείνει να μετακινεί υλικό
- ❑ Δημιουργία διακένων και λοφίσκων στο μέταλλο
- ❑ Περιορίζει τη μέγιστη επιτρεπόμενη πυκνότητα ρεύματος
- ❑ Μπορεί να προκαλέσει φθορά και μόνιμη βλάβη μετά από πολλά χρόνια λειτουργίας του τσιπ



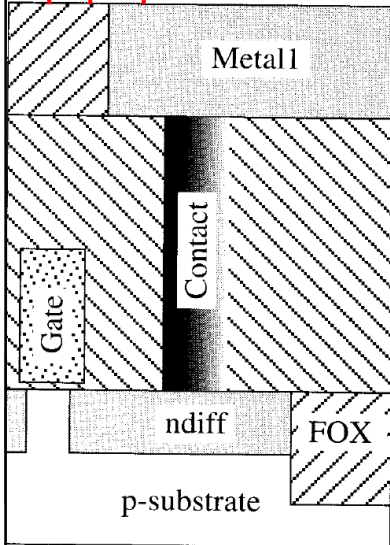
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 60

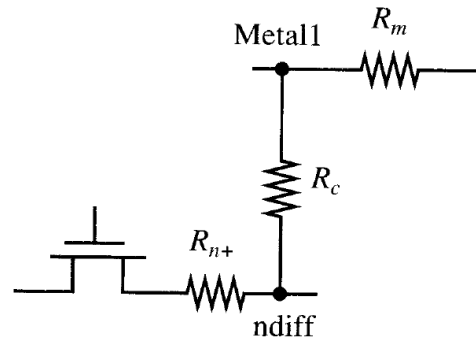
## Σχεδιασμός FETs μεγάλου πλάτους καναλιού

Χρήση όσο το δυνατόν περισσότερων επαφών



(a) Cross-sectional view

B) Ελαχιστοποίηση φαινομένων παρασιτικής αντίστασης



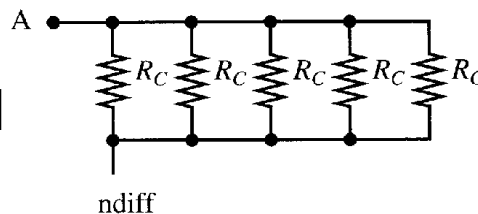
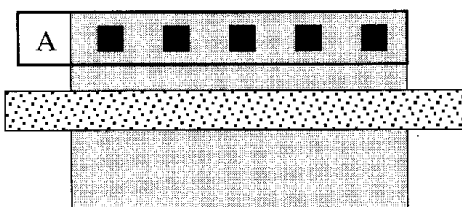
$$R = R_m + R_c + R_n$$

(b) Equivalent circuit

## Σχεδιασμός FETs μεγάλου πλάτους καναλιού

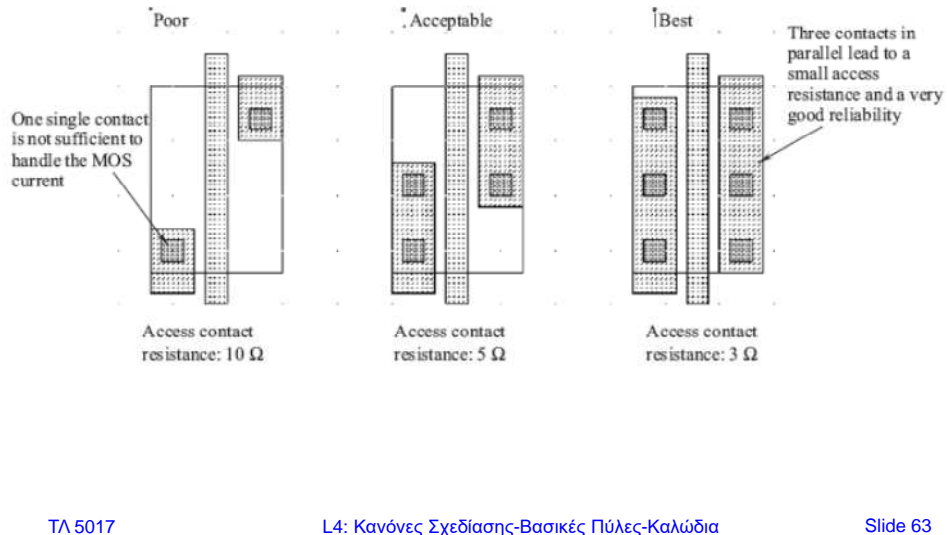
B) Ελαχιστοποίηση φαινομένων παρασιτικής αντίστασης

### Multiple contacts





## Σχεδιασμός FETs μεγάλου πλάτους καναλιού



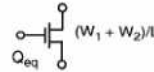
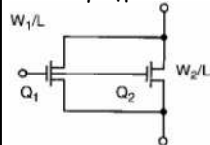
## Σχεδιασμός FETs μεγάλου πλάτους καναλιού

• Μεγαλύτερα τρανζίστορ με πλάτος ( $W$ ) (ίσασμε  $100 \times L$ ) χρειάζονται πολλές φορές

- πιο συχνά στα αναλογικά παρά στα ψηφιακά, αλλά ίσως απαιτούνται στους απομονωτές

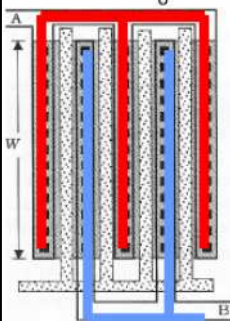
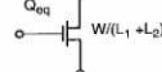
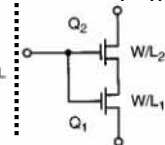
• Τρανζίστορ παράλληλα

- το πραγματικό πλάτος ( $W$ ) προστίθεται



• Τρανζίστορ σε σειρά

- το πραγματικό μήκος ( $L$ ) προστίθεται



### Φυσικό σχέδιο Τρζ με μεγάλο $W$

- δημιουργία τρζ μεγάλου πλάτους με χρήση παράλληλων (αλληλεπλεκόμενων) τρανζίστορ

• εκτεταμένο τρανζίστορ (με πλάτος =  $4 \times W$ ) μεταξύ του κόμβου A (κόκκινο) και B (μπλε)

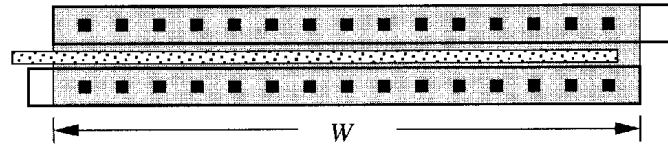
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 64

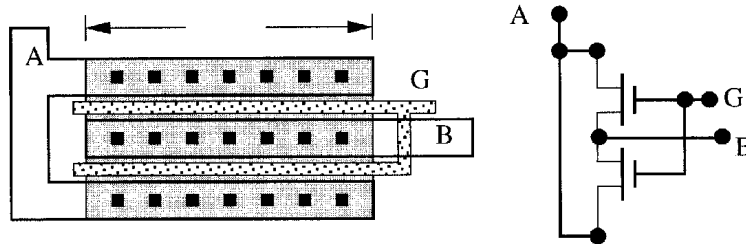


## Σχεδιασμός FETs μεγάλου πλάτους καναλιού

Χρήση πολλαπλών στρωμάτων poly-gate



(α) απλό εκτεταμένο φυσικό σχέδιο



(β) Ισοδύναμο φυσικό σχέδιο με παράλληλα τρανζίστορ

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 65

Καθυστερήσεις εξαιτίας  
των καλωδίων  
διασύνδεσης

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 66

## Στρώματα Ολοκληρωμένου Κυκλώματος

- Το OK Si είναι μια συλλογή από μορφοποιημένα στρώματα, καθένα στρώμα είναι φτιαγμένο από υλικό που έχει ιδιαίτερες ιδιότητες
- Μεταλλικά στρώματα : καλοί αγωγοί ηλεκτρικού ρεύματος
- Μονωτικά στρώματα : καλοί ηλεκτρικοί μονωτές
- Ημιαγώγιμα στρώματα: 'μερικώς' αγωγοί
  - Δεν είναι μόνο ένα ωμικό στρώμα - διαφορετικές φυσικές ιδιότητες (διαφορετικές από το μέταλλο) καθορίζουν την αγωγιμότητα
- Οι Συνδέσεις μεταξύ των διατάξεων μπορούν να γίνουν χρησιμοποιώντας Μεταλλικά ή Ημιαγώγιμα στρώματα
- Φυσικός σχεδιασμός είναι η διαδικασία κατά την οποία γίνεται βελτιστοποίηση στη γεωμετρία και στις ηλεκτρικές ιδιότητες κάθε στρώσης υλικού
  - Περιορίζεται από κανόνες της τεχνολογίας κατασκευής

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 67

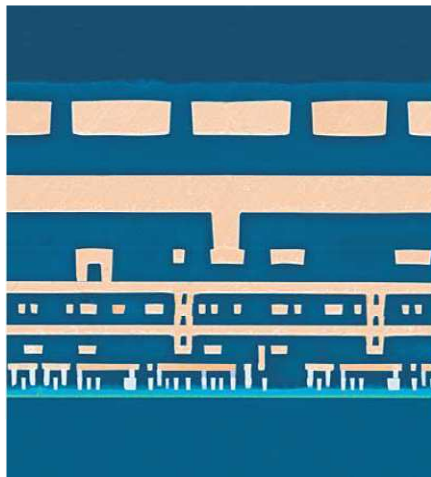
Το σχήμα και το μέγεθος των στρωμάτων των διάφορων υλικών που δημιουργούνται κατά τη διαδικασία του φυσικού σχεδιασμού καθορίζουν πολλά από τα τελικά ηλεκτρικά χαρακτηριστικά του τσιπ που κατασκευάζεται.

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

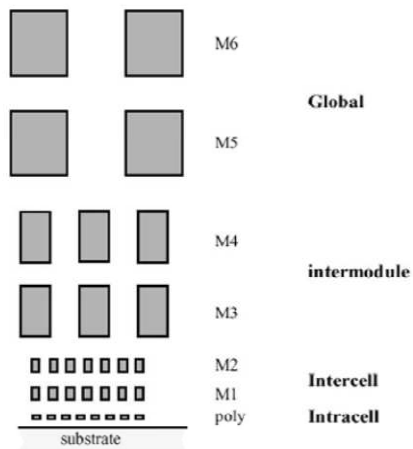
Slide 68

## Ιεραρχία Διασυνδέσεων



Κάθετη-τομή σε μια πραγματική διαδικασία 0,13 μ από την IBM

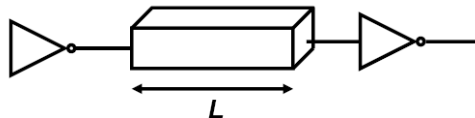
TL 5017



Παράδειγμα ιεραρχίας διασύνδεσης για τυπική διαδικασία 0,25 μ

Slide 69

## Διασύνδεση



- Τα καλώδια διασύνδεσης **δεν είναι ιδανικά**
- Αυτά μπορεί να έχουν μη-αμελητέα **χωρητικότητα, αντίσταση, αυτεπαγωγή**
- Τέτοια χαρακτηριστικά καλούνται **παρασιτικά καλωδίου**
- Μπορεί να **καθορίσουν** την απόδοση ενός τσιπ
- Πρέπει να ληφθούν υπόψη κατά τη διαδικασία **σχεδιασμού**
- Χρησιμοποιώντας **προσεγγιστικά μοντέλα**
- Λεπτομερειακή **επιβεβαίωση μετά το σχεδιασμό** είναι επίσης απαραίτητη

TL 5017

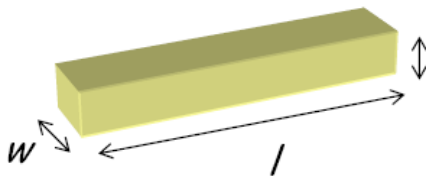
L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 70

## Σχεδιασμός των καλωδίων

- Παρασιτικό = μη επιθυμητό φυσικό ηλεκτρικό χαρακτηριστικό
- Παρασιτική Αντίσταση Μετάλλου

- Τα μέταλλα έχουν γραμμική αντίσταση που υπακούει τον νόμο του Ohm
  - $V = IR$
- Δημιουργία παρασιτικής γραμμικής αντίστασης,  $R_{line}$



$$R_{line} = \frac{l}{\sigma A} = \frac{\rho l}{A}$$

$$- A = wt$$

-  $\rho$  = ειδική αντίσταση,  $\sigma$  = Αγωγιμότητα

- Καθορίζεται από την **αντίσταση επιφάνειας**

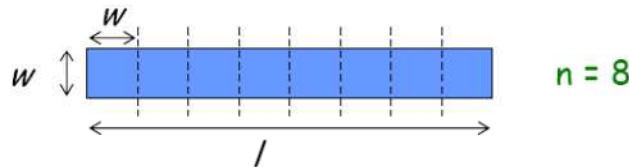
$$R_s = \frac{1}{\sigma t} = \frac{\rho}{t}, \text{ αντίσταση ανά μονάδα μήκους [ohms, } \Omega]$$

$R_{line} = R_s$   
όταν  
 $l = w$

$$R_{line} = R_s \frac{l}{w}, R_s \text{ καθορίζεται από τη διαδικασία, } l \ \& \ w \text{ από τον σχεδιαστή}$$

## Αντίσταση Μετάλλου: Μετρείται σε 'τετράγωνα'

- Από την πάνω όψη του φυσικού σχεδίου, μπορούμε να προσδιορίσουμε πόσα 'τετράγωνα' του στρώματος υπάρχουν
  - 'τετράγωνο' μια μονάδα μήκους ίση με το πλάτος

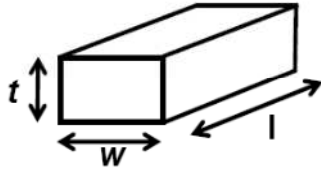


$$- R_{line} = R_s n, \text{ όπου } n = \frac{l}{w} \text{ είναι ο αριθμός των 'τετραγώνων'}$$

- Πάρε μια μονάδα αντίστασης,  $R_s$ , για κάθε τετράγωνο,  $n$ .

## Ασκήσεις

1)



Aluminum:  $\rho = 2.7 \times 10^{-8} \Omega\text{m}$ ,

Copper:  $\rho = 1.7 \times 10^{-8} \Omega\text{m}$

$w=0.25\mu\text{m}$ ,  $t=0.7\mu\text{m}$ ,  $l=5\text{mm}$

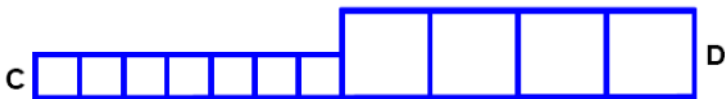
Ποια είναι η αντίσταση  $R$  του αλουμινίου & του χαλκού;

ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 73

2)



Αν  $R_s = 40 \Omega$  Ποιες είναι οι αντιστάσεις  $R_{AB}$  &  $R_{CD}$  ;

ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 74

3)

Μια γραμμή διασύνδεσης είναι φτιαγμένη από ένα υλικό το οποίο έχει ειδική αντίσταση  $\rho = 4 \mu\Omega\text{-cm}$ . Η διασύνδεση έχει πάχος  $1200 \text{ \AA}$ , όπου  $1 \text{ Angstrom (\AA)}$  είναι  $10^{-8} \text{ cm}$ . Η γραμμή έχει πλάτος  $0,6 \mu\text{m}$ .

α) Υπολογίστε την αντίσταση επιφάνειας  $R_s$  της γραμμής.

β) Βρείτε την αντίσταση της γραμμής αν η γραμμή έχει μήκος  $125 \mu\text{m}$ .

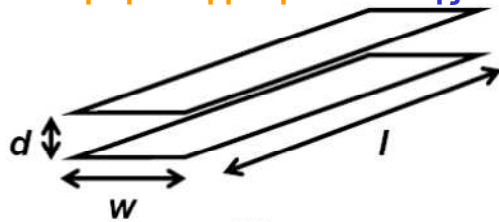
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

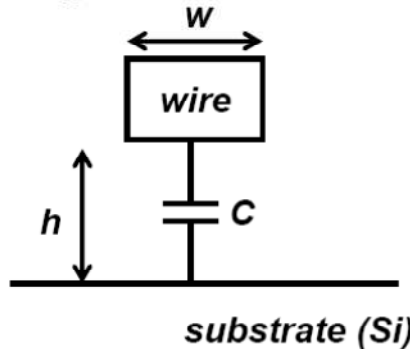
Slide 75

## Χωρητικότητα Μεταλλικής Γραμμής

Απλή Προσέγγιση: Πυκνωτής Παράλληλων Οπλισμών



$$C = \frac{\epsilon_0 \epsilon_r W l}{d}$$



$$\frac{C}{l} = \epsilon_0 \epsilon_r \frac{w}{h}$$

$$\epsilon_0 = 8.85 \text{ pF/m}$$

$$\epsilon_r = 3.9 (\text{SiO}_2)$$

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 76

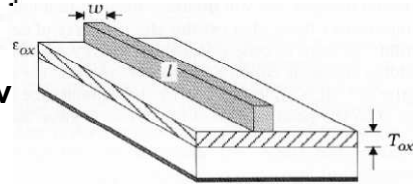
## Χωρητικότητα Μεταλλικής Γραμμής

- Πυκνωτής: βασικές αρχές

- $Q = CV$ , C σε μονάδες Farads [F]
- $I = C \, dV/dt$

- Πυκνωτής παράλληλων οπλισμών

- $C_{line} = \frac{\epsilon_{ox} w l}{t_{ox}}$  [F],  $w, l =$  επιφάνεια οπλισμού



- $\epsilon_{ox}$  = διηλεκτρική σταθερά του οξειδίου



- RC σταθερά χρόνου της γραμμής διασύνδεσης

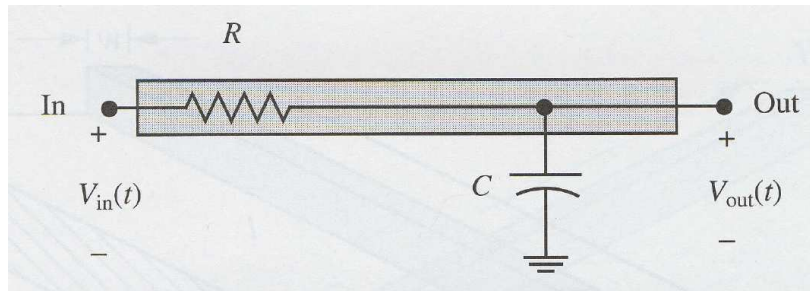
- $\tau = R_{line} C_{line}$



TL 5017

L4: Κα

## Μοντέλο RC



$$V_{in}(t) = V_1 u(t)$$

$$u(t) = \begin{cases} 0 & (t < 0) \\ 1 & (t \geq 0) \end{cases}$$

$$V_{out}(t) = V_{DD} [1 - e^{-t/\tau}]$$

$$\tau = RC$$

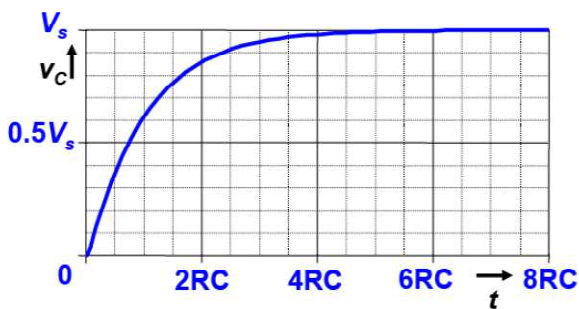
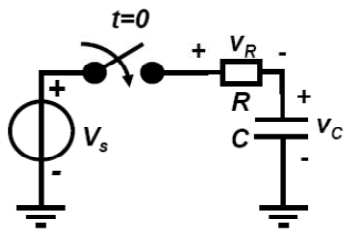
$$V_{out}(\tau) = V_{DD} \left[ 1 - \frac{1}{e} \right] \approx 0.63 V_{DD}$$

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 78

## Ανασκόπηση της καθυστέρησης RC



$$RC \frac{dv_C}{dt} = V_s - v_C$$

$$v_C = V_s(1 - e^{-\frac{t}{RC}})$$

TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 79

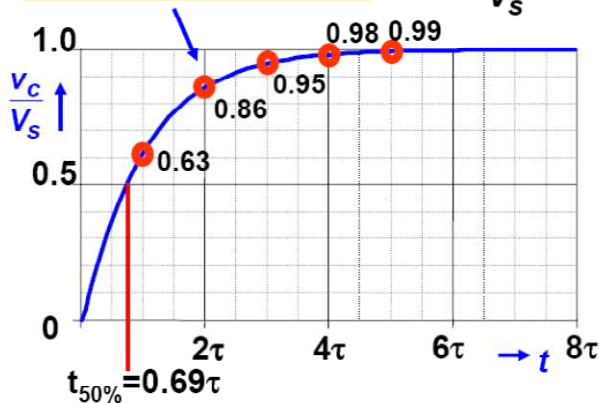
## Ανασκόπηση της σταθερής χρόνου

■ Κανονικοποίηση της απόκρισης ως προς  $\tau=RC$   
και  $V_s = v_C(t = \infty)$

$$v_C = V_s(1 - e^{-\frac{t}{RC}})$$

$$\frac{v_C}{V_s} = (1 - e^{-t/\tau})$$

Παράδειγμα:  $(1 - e^{-2}) = 0.86$



Κάθε  $\tau$ -βήμα δίνει 63% της τάσης που υπολείπεται

swing	time
0-50%	$0.69\tau$
0-63%	$1.0\tau$
10%-90%	$2.2\tau$
0-90%	$2.3\tau$

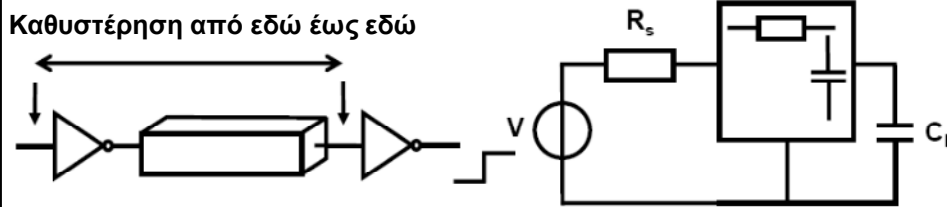
TL 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 80



## Καθυστέρηση



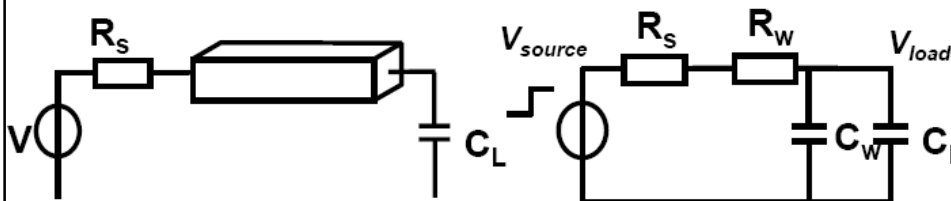
- Μοντελοποίηση του σήματος εισόδου ως γραμμική πηγή Thevenin  $V_s$ ,  $R_s$ , θεωρείστε βηματική είσοδο
- Μοντελοποίηση φορτίου ως  $C_L$
- Η διασύνδεση θεωρείται ως ένα δίκτυο RC (δίθυρο, two-port)

ΤΛ 5017

L4: Κανόνες Σχεδίασης-Βασικές Πύλες-Καλώδια

Slide 81

## Απλούστερο μοντέλο για την καθυστέρηση RC της γραμμής διασύνδεσης



$$(C_w + C_L) \frac{dV_{load}}{dt} + \frac{V_{load} - V_{source}}{R_s + R_w} = 0$$

$$V_{load} = V_{source} + (V_{load}(0) - V_{source}) e^{-t/\tau}$$

$$\tau = (R_s + R_w)(C_w + C_L)$$

Slide 82

## Άσκηση

□ Μια μεταλλική γραμμή έχει πάχος  $t = 0,6 \mu m$ , πλάτος  $w = 0,35 \mu m$  και μήκος  $l = 40 \mu m$  και βρίσκεται πάνω από ένα στρώμα οξειδίου το οποίο έχει πάχος  $1,2 \mu m$ . Η ειδική αντίσταση του μετάλλου είναι  $\rho = 1,8 \mu\Omega\text{-cm}$ . Υπολογίστε:

(α) την αντίσταση της γραμμής

(β) την χωρητικότητα της γραμμής σε Farad (F) και σε femtoFarad (fF), όπου  $1 \text{ fF} = 10^{-15} \text{ F}$

(γ) την καθυστέρηση διάδοσης ενός σήματος μέσα από τη γραμμή, για  $C_L = 0$

(δ) Αν η χωρητικότητα φόρτου (load capacitance),  $C_L = 25 \text{ fF}$  προστεθεί στην έξοδο, ποια θα είναι οι καινούρια καθυστέρηση διάδοσης του σήματος;