

Μάθημα 5: Κατασκευή

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο
Τμήμα Ηλεκτρονικών Μηχανικών
2021-2022

ΣΗΜΕΙΩΣΗ: Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

- ❑ Υλικά που χρησιμοποιούνται στα κυκλώματα VLSI
- ❑ Τεχνολογίες κατασκευής VLSI
- ❑ Γνωριμία με τις Διαδικασίες CMOS

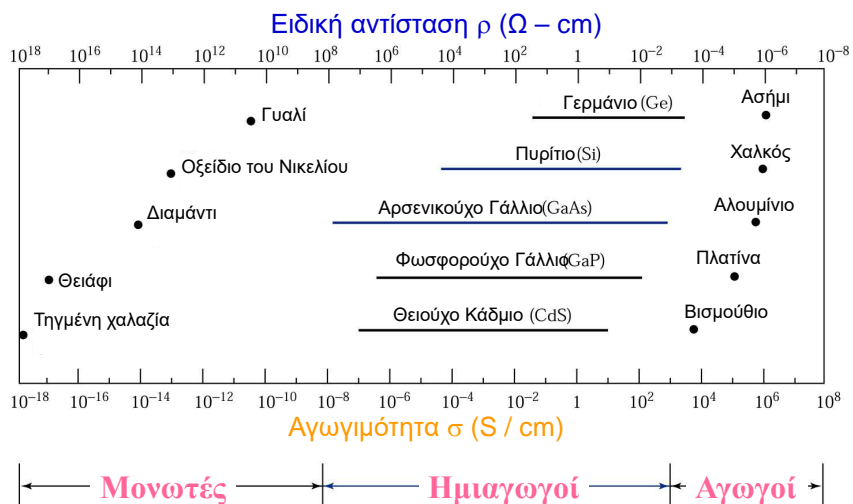
TL 50017

L5: Διαργασίες Κατασκευής

Slide 3

Σημαντικές Κατηγορίες Υλικών

Όσο αφορά την ιδιότητα της ηλεκτρικής αγωγής, τα υλικά μπορούν να ταξινομηθούν σε τρεις βασικές κατηγορίες



TL 50017

L5: Διαργασίες Κατασκευής

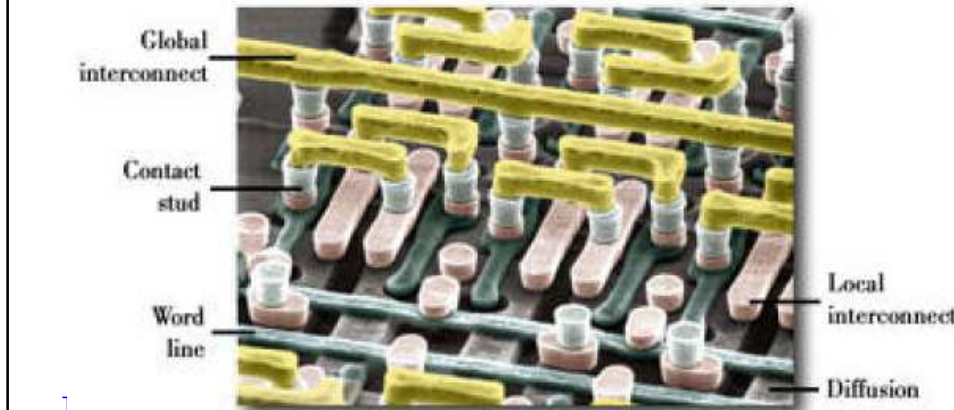
Slide 4

Αγωγοί (Μέταλλα)

Τυπικά, **Αλουμίνιο** ή **Χαλκός** για διασύνδεση

Βολφράμιο για επαφή ανάμεσα στα στρώματα

Βολφράμιο, Τιτάνιο, Λευκόχρυσο για πυριτιδίωση (**silicidation**) του πολυπυρίτιου (Poly-Si)



Μονωτές

Οι μονωτές χρησιμοποιούνται για να απομονώνουν μεταξύ τους τα αγώγιμα και/ή ημιαγώγιμα υλικά.

Η φυσική λειτουργία των διατάξεων MOS και των πυκνωτών βασίζεται σε ένα μονωτικό στρώμα.

Η επιλογή των μονωτικών (και των αγώγιμων) υλικών στο σχεδιασμό των ΟΚ εξαρτάται ισχυρά από το πώς αλληλεπιδρούν μεταξύ τους τα υλικά, και ιδιαίτερα με τους ημιαγωγούς.

Ημιαγωγοί

□ Η ηλεκτρική αγωγιμότητα των ημιαγώγιμων υλικών:

- Κυμαίνεται μεταξύ των αγωγών και των μονωτών.
- Είναι ευμετάβλητη και επηρεάζεται από τη θερμοκρασία, την πρόσπτωση φωτός & το βαθμό νόθευσης του ημιαγώγιμου υλικού.

Πορίτιο (Si):
Το κλειδί για την ανάπτυξη
των Ο.Κ.

2.33		28.086
	Si	14
5.43		
	$3s^2 3p^2$	
1683	DIA	625

ΤΛ 50017

L5: Διεργασίες Κατασκευής

Slide 7

Εποπτεία Βασικών Τεχνολογιών

Αν και υπάρχει ένας αριθμός από διαθέσιμες τεχνολογίες, λίγες χρησιμοποιούνται στην πράξη. Η πλειονότητα των ΟΚ κατασκευάζεται με την παραδοσιακή τεχνολογία CMOS, ενώ οι υπόλοιπες διαδικασίες περιορίζονται στην περιοχή όπου η CMOS δεν είναι πολύ κατάλληλη (όπως πχ σε εφαρμογές RF υψηλής ταχύτητας:

- CMOS (90%)
- BiCMOS (5%)
- Bipolar (2%)
- GaAs (2%)
- SOI (1%)

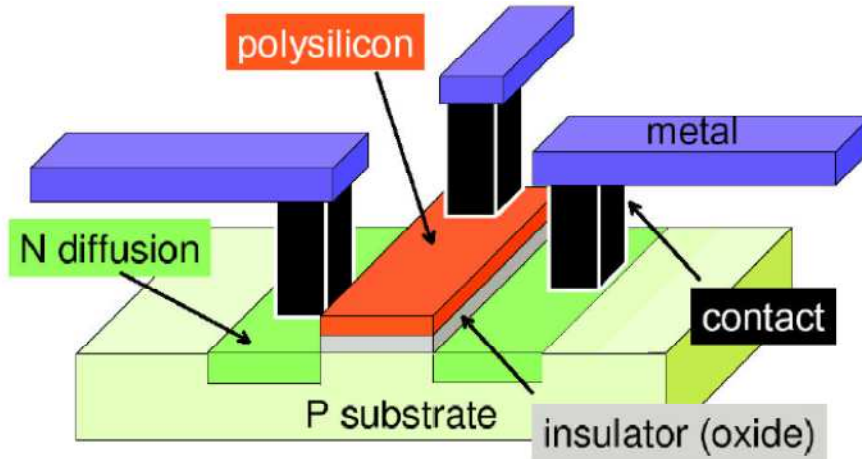
Τυπικό μοίρασμα της παγκόσμιας κατασκευής ημιαγώγιμων ΟΚ

ΤΛ 50017

L5: Διεργασίες Κατασκευής

Slide 8

Απλοποιημένη Άποψη του MOSFET



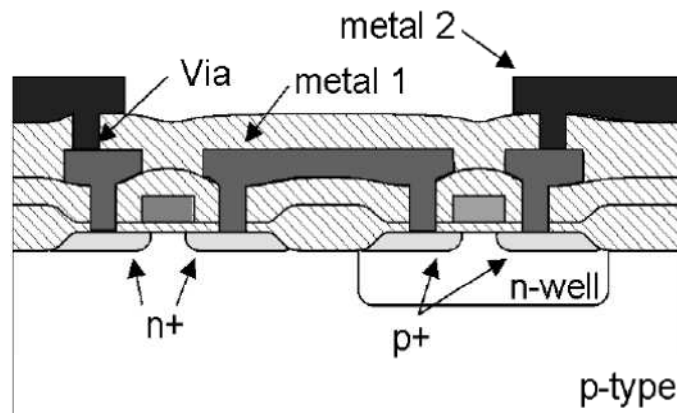
ΤΑ 50017

L5: Διαργασίες Κατασκευής

Slide 9

Η διαδικασία CMOS

Η διαδικασία CMOS επιτρέπει την κατασκευή τρανζίστορ nMOS και pMOS δίπλα-δίπλα πάνω στο ίδιο υπόστρωμα πυριτίου.

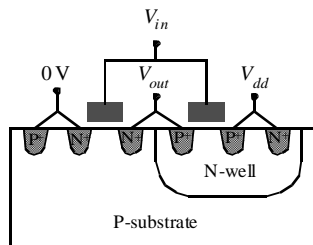


ΤΑ 50017

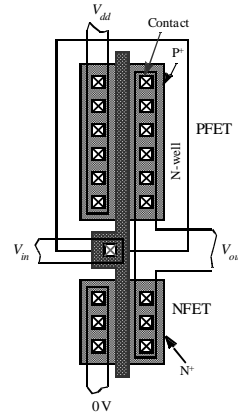
L5: Διαργασίες Κατασκευής

Slide 10

CMOS (Complementary MOS) Inverter



- NFET and PFET can be fabricated on the same chip.



- basic layout of a CMOS inverter

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 6-11

About 10^{20} transistors (or 10 billion for every person in the world) are manufactured every year.

VLSI (Very Large Scale Integration)
ULSI (Ultra Large Scale Integration)
GSI (Giga-Scale Integration)

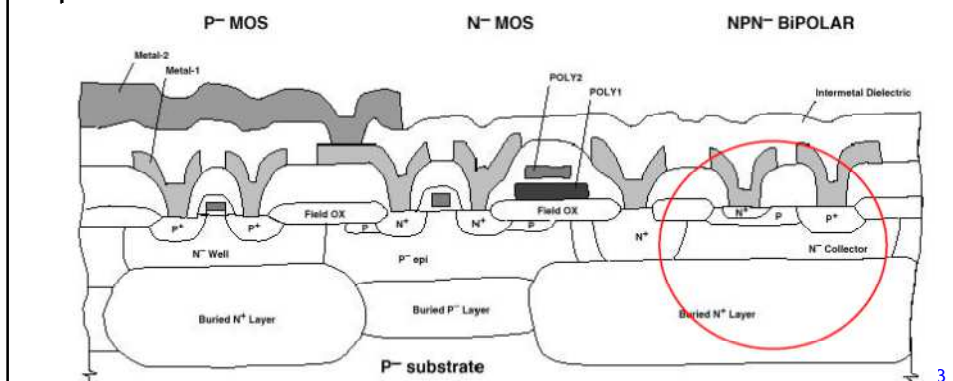
Variations of this versatile technology are used for flat-panel displays, micro-electro-mechanical systems (**MEMS**), and chips for DNA screening...

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-12

Η τεχνολογία BiCMOS

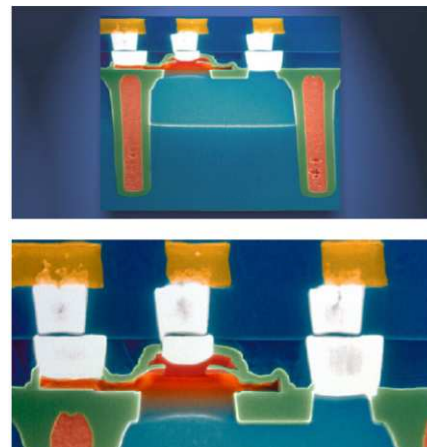
Τα διπολικά (Bipolar) τρανζίστορ έχουν καλύτερα χαρακτηριστικά οδήγησης ρεύματος σε σύγκριση με τα τρανζίστορ MOS. Η διαδικασία Bipolar-CMOS (BiCMOS) απαιτεί επιπρόσθετα στρώματα για την ενσωμάτωση των διπολικών τρανζίστορ παραπλεύρως των κανονικών δομών CMOS.



3

Πυρίτιο πάνω σε μονωτή Silicon on Insulator (SOI)

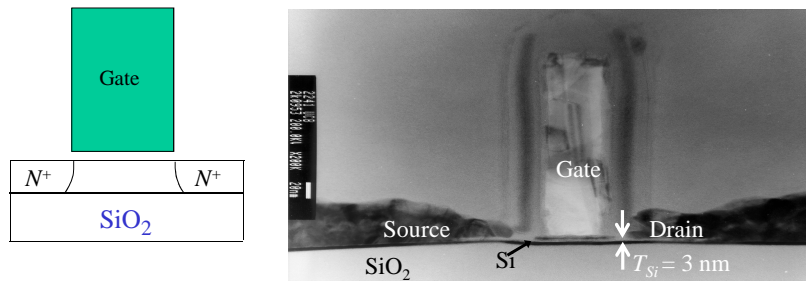
Το πλεονέκτημα της τεχνολογίας SOI είναι η κατασκευή των δομών των τρανζίστορ πάνω σε ένα **μονωτικό** υλικό αντί του συνηθισμένου υποστρώματος των CMOS. Το γεγονός αυτό ελαττώνει τις παρασιτικές χωρητικότητες και περιορίζει το θόρυβο που προέρχεται από την ηλεκτρική σύζευξη του υποστρώματος.



Ultra-Thin-Body MOSFET and SOI

- UTB MOSFET built on ultra thin silicon film on an insulator (SiO_2).
- Since the silicon film is very thin, perhaps less than 10nm, no leakage path is very far from the gate.

Electron Micrograph of UTB MOSFET

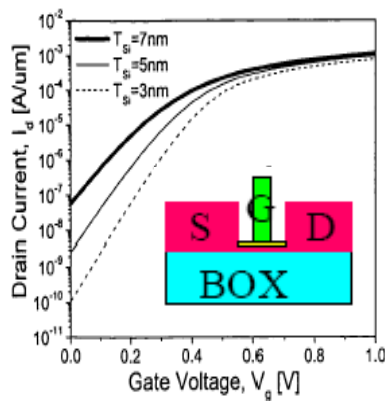


Modern Semiconductor Devices for Integrated Circuits (C. Hu)

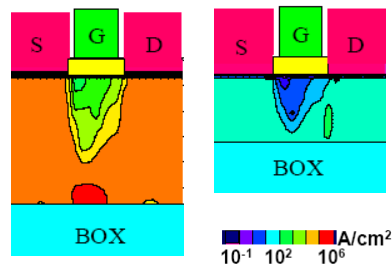
Slide 7-15

Ultra-Thin-Body MOSFET

- The subthreshold leakage is reduced as the silicon film is made thinner.



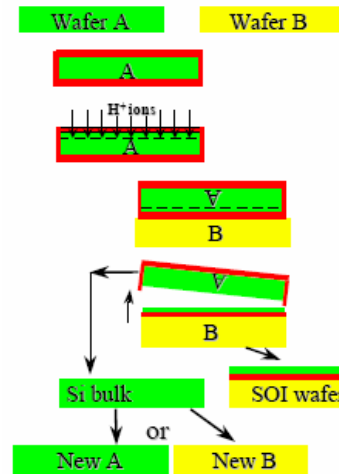
$T_{ox}=1.5\text{nm}$, $N_{sub}=1e15\text{cm}^{-3}$,
 $V_{dd}=1\text{V}$, $V_{gs}=0$



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-16

Producing Silicon-on-Insulator (SOI) Substrates

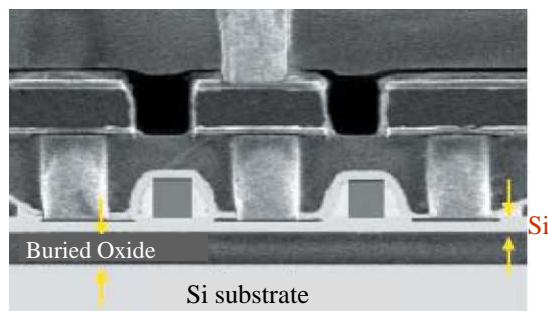


- Initial Silicon wafer A and B
- Oxidize wafer A to grow SiO₂
- Implant hydrogen into wafer A
- Place wafer A, upside down, over wafer B.
- A low temperature annealing causes the two wafers to fuse together.
- Apply another annealing step for H₂ bubbles and split wafer A.
- Polish the surface and the SOI wafer is ready for use.
- Wafer A can be reused.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-17

Cross-Section of SOI Circuits



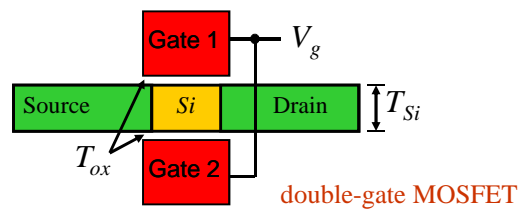
- Due to the high cost of SOI wafers, only some microprocessors, which command high prices and compete on speed, have embraced this technology.
- In order to benefit from the UTB concept, Si film thickness must be aggressively reduced to $\sim L_g/4$

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-18

Multi-gate MOSFET and FinFET

- ❑ The second way of eliminating deep leakage paths is to provide gate control from more than one side of the channel.
- ❑ The Si film is very thin so that no leakage path is far from one of the gates.
- ❑ Because there are more than one gates, the structure may be called **multi-gate MOSFET**.



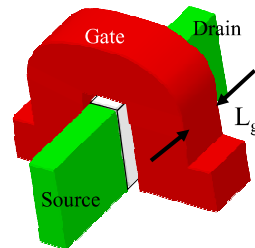
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-19

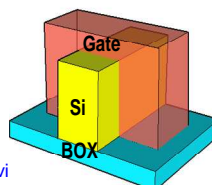
FinFET

- ❑ One multi-gate structure, called **FinFET**, is particularly attractive for its simplicity of fabrication.
- ❑ The channel consists of the two vertical surfaces and the top surface of the fin.
- ❑ Question: What is the channel width, W ?

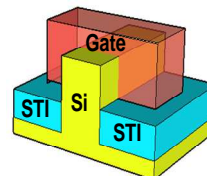
Answer: The sum of twice the fin height and the width of the fin.



SOI FinFET



Modern Semiconductor Devi

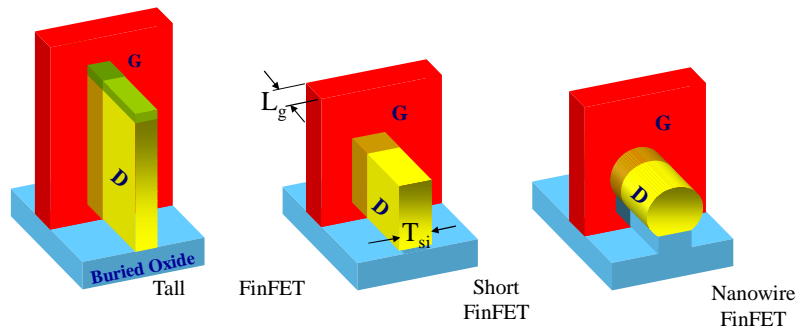


Bulk FinFET

(C. Hu)

Slide 7-20

Variations of FinFET



- ❑ **Tall FinFET** has the advantage of providing a large W and therefore large I_{on} while occupying a small footprint.
- ❑ **Short FinFET** has the advantage of less challenging lithography and etching.
- ❑ **Nanowire FinFET** gives the gate even more control over the silicon wire by surrounding it.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-21

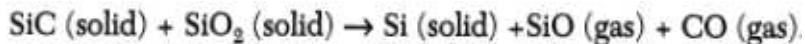
Ράβδοι μονοκρυσταλλικού Si

Βασικές τεχνικές ανάπτυξης κρυστάλλων Si

Πρώτη Ύλη: Χαλαζίας (SiO_2) - ένας σχετικά καθαρός τύπος άμμου που είναι γνωστός διεθνώς με το όνομα "Quartz".

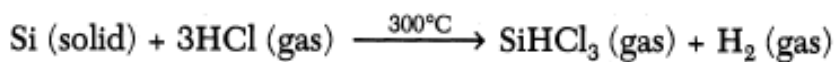
1 Παραγωγή MGS (Metallurgical-grade silicon)

Συνθέρμανση χαλαζία και μεταλλουργικού άνθρακα σε θερμοκρασία περίπου 2000°C επιτρέπει το σχηματισμό σχετικά καθαρού πυριτίου (MGS, ppm ακαθαρσίες)



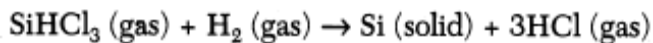
2 Παραγωγή τριχλωροσιλανίου (SiHCl_3)

Το MGS αντιδρά με υδροχλωρίο για την παρασκευή καθαρού τριχλωροσιλανίου



3 Παραγωγή EGS (Electronic Grade Silicon)

Το τριχλωροσιλάνιο διοχετεύεται μέσα σε θάλαμο με ελεγχόμενο περιβάλλον υδρογόνου όπου διασπάται σε υψηλής καθαρότητας πολυκρυσταλλικό πυρίτιο (EGS, ppm ακαθαρσίες).

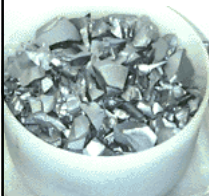


TL 50017

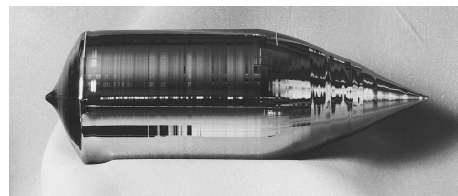
L5: Διεργασίες Κατασκευής

Slide 23

Πολυκρυσταλλικό Si EGS → Ράβδοι μονοκρυσταλλικού Si



με τη μέθοδο
Czochralski



Μήκος = 1,5 m
Βάρος ~ 275 kg
Διάμετρος = 30 cm

TL 50017

L5: Διεργασίες Κατασκευής

Slide 24

Μέθοδος Czochralski

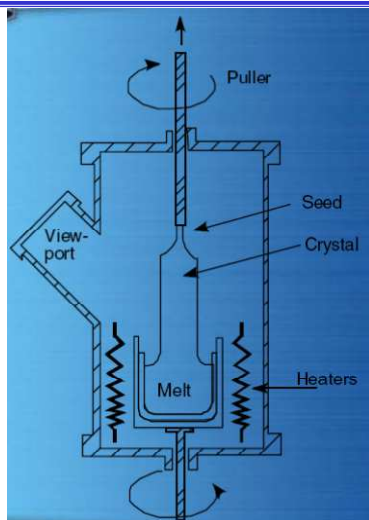
- Επιτρέπει την ανάπτυξη ράβδων Si με διάμετρο έως και 30 cm, ενώ ράβδοι με 40 cm διάμετρο αρχίζουν να εισάγονται.
- Χρησιμοποιεί κρυσταλλικό σπόρο (seed crystal)
- “Τραβά” κρυσταλλικό Si από λωμένο Si

TL 50017

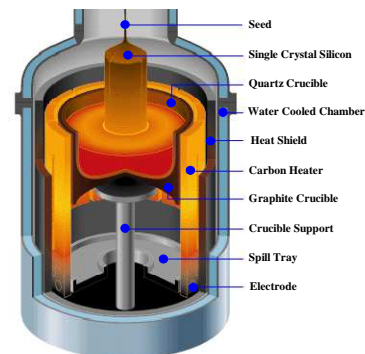
L5: Διαργασίες Κατασκευής

Slide 25

Μέθοδος Czochralski



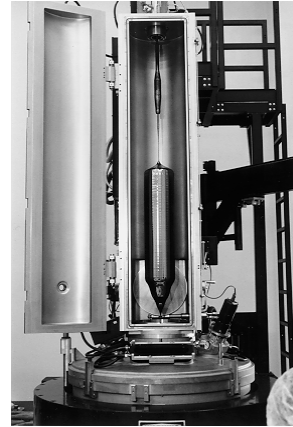
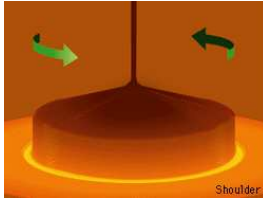
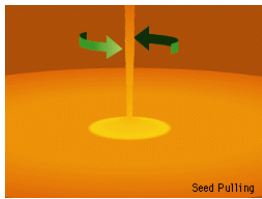
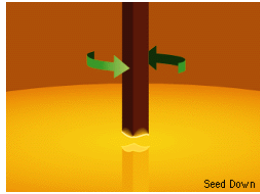
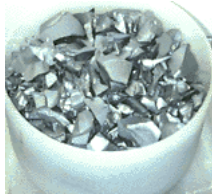
- Θέρμανση μέσω αντιστάσεων
- Το λιώσιμο του Si (Melt) γίνεται μέσα σε δοχείο χαλαζία
- Ο θάλαμος βρίσκεται υπό αδρανές περιβάλλον (Argon)
- Το Si τήκεται (λιώνει, melts) στους 1421°C



Απλοποιημένο σχηματικό διάγραμμα της διαδικασίας ανάπτυξης κρυστάλλου με τη μέθοδο Czochralski.

ργασίες Κατασκευής

Κρύσταλλος Si τραβιέται έξω από το λιωμένο πυρίτιο.



(Photo courtesy of Ruth Carranza.)

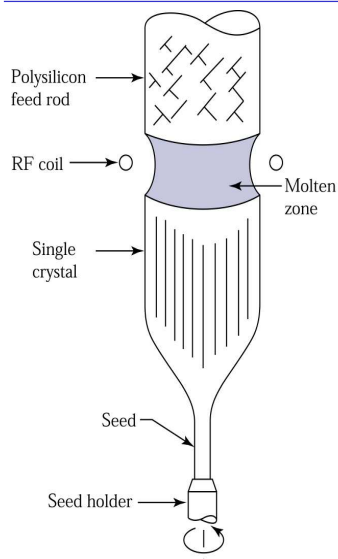
(More information on crystal growth at <http://www.memc.com/co-as-description-crystal-growth.asp>
Also, see animations of <http://www.memc.com/co-as-process-animation.asp>)

ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 27

Μέθοδος Float-Zone (FZ)



- Δε χρησιμοποιεί σκεύος τήξης υλικού.

- Επιτρέπει την ανάπτυξη ράβδων Si υψηλής καθαρότητας (δηλ. μεγάλης ειδικής αντίστασης). Ωστόσο, φαίνεται ακατάλληλη για την ανάπτυξη κρυστάλλων με διάμετρο 30 cm.

Σχηματικό διάγραμμα της διαδικασίας ανάπτυξης κρυστάλλου με τη μέθοδο FZ

ΤΛ 50017

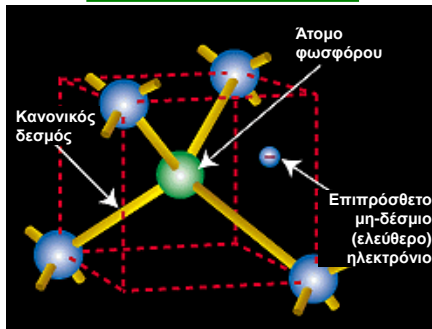
L5: Διαργασίες Κατασκευής

Slide 28

Νόθευση (Doping)

Με την αντικατάσταση ενός ατόμου Si με ειδικό άτομο πρόσμιξης (στοιχείο της **Στήλης V** ή της **Στήλης III**), δημιουργείται ένα ηλεκτρόνιο αγωγιμότητας ή μία οπή.

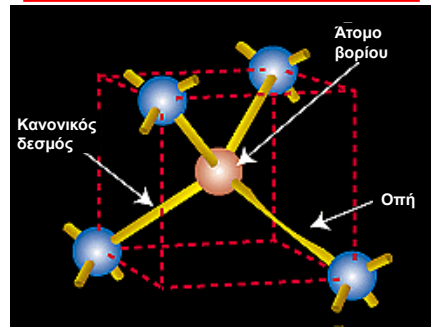
Δότες: P, As, Sb



Πυρίτιο N-τύπου:

ηλεκτρόνια >> οπές

Αποδέκτες: B, Al, Ga, In



Πυρίτιο P-τύπου:

οπές >> ηλεκτρόνια

TL 50017

L5: Διαργασίες Κατασκευής

Slide 29

N_D : συγκέντρωση δοτών (cm^{-3})

N_A : συγκέντρωση αποδεκτών (cm^{-3})

Τυπική Ορολογία (όχι επίσημος ορισμός)

N^{--} ή P^{--} \Rightarrow N_D ή $N_A < 10^{14} \text{ cm}^{-3}$

N^- ή P^- \Rightarrow $10^{14} \text{ cm}^{-3} < N_D$ ή $N_A < 10^{16} \text{ cm}^{-3}$

N ή P \Rightarrow $10^{16} \text{ cm}^{-3} < N_D$ ή $N_A < 10^{18} \text{ cm}^{-3}$

N^+ ή P^+ \Rightarrow $10^{18} \text{ cm}^{-3} < N_D$ ή $N_A < 10^{20} \text{ cm}^{-3}$

N^{++} ή P^{++} \Rightarrow N_D ή $N_A > 10^{20} \text{ cm}^{-3}$

TL 50017

L5: Διαργασίες Κατασκευής

Slide 30

Νόθευση (Doping) στο λιωμένο EGS

- Η προσθήκη εκ προθέσεως ξένων ατόμων νόθευσης (ή προσμίξεων, dopants) στο λιωμένο υλικό αλλάζει τις ηλεκτρικές του ιδιότητες.
- Στη διεπιφάνεια στερεοποίησης, η κατανομή των προσμίξεων μεταξύ της υγρής και στερεάς φάσης είναι σταθερή.
- Στην ισορροπία : Συντελεστής κατανομής = k_d

$$k_d = \frac{C_S}{C_L}$$

Π.χ., Συντελεστής κατανομής : $k_d = 0.5 \rightarrow$

συγκέντρωση προσμίξεων στο κρυσταλλικό υλικό = 1

συγκέντρωση προσμίξεων στο λιωμένο υλικό = 2

ΠΑΡΑΔΕΙΓΜΑ

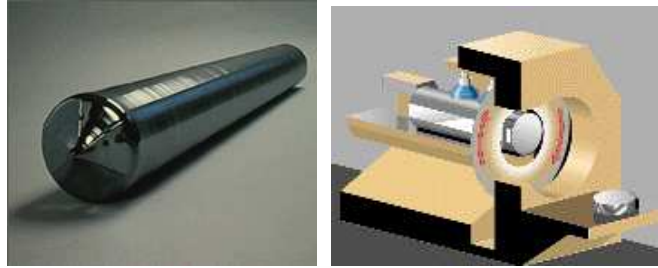
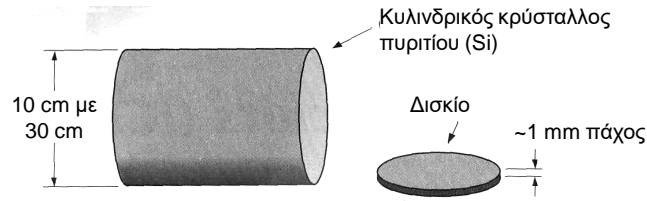
Ένας κρύσταλλος πυριτίου πρόκειται να αναπτυχθεί με τη μέθοδο Czochralski, και θέλουμε η ράβδος να περιέχει 10^{16} άτομα φωσφόρου / cm^3 . Ποια είναι η συγκέντρωση των ατόμων φωσφόρου (P) που θα πρέπει να περιέχει το λιωμένο πυρίτιο για να δώσει αυτήν τη συγκέντρωση νόθευσης στον κρύσταλλο Si; Για το P εντός Si, $k_d = 0,35$.

ΛΥΣΗ Κατά τη διάρκεια της διαδικασίας ανάπτυξης υποθέτουμε ότι ισχύει: $C_s = k_d C_L$

Οπότε, η αρχική συγκέντρωση του P μέσα στο λιωμένο Si θα πρέπει να είναι

$$10^{16} / 0,35 = 2,86 \times 10^{16} \text{ (P atoms/cm}^3\text{)}$$

Μετά την ανάπτυξη του κρυστάλλου, η ράβδος κόβεται σε δισκία (wafers) τα οποία έπειτα γυαλίζονται από την μια όψη.



(See animations of crystal polishing etc. at <http://www.memc.com/co-as-process-animation.asp>)

Όλα τα δομικά στοιχεία του κυκλώματος φτιάχνονται πάνω στην επιφάνεια του δισκίου Si.

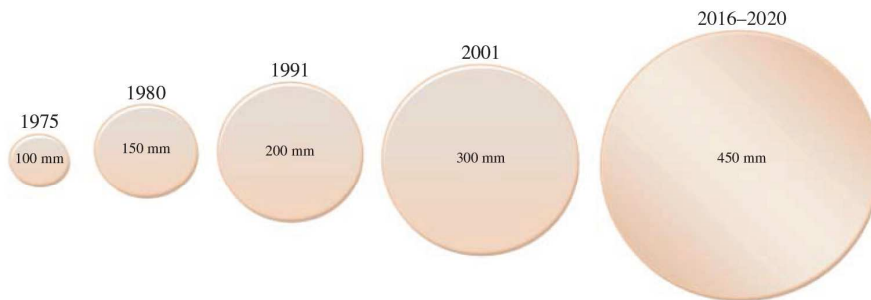
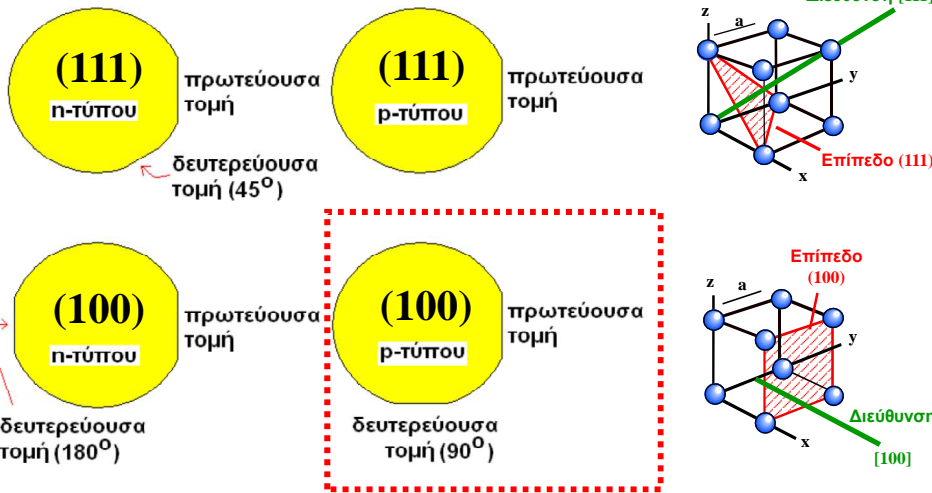


Figure 10.1 Increase in size of silicon wafers over the last about 40 years

Αναγνώριση των παραγόμενων δισκίων

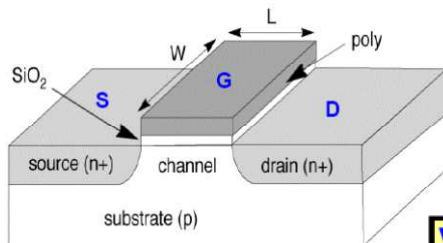


Για την κατασκευή των ολοκληρωμένων κυκλωμάτων CMOS χρησιμοποιείται, συνήθως, δισκίο τύπου-P με κρυσταλλικό επίπεδο (100)

Διαδικασία κατασκευής Ο.Κ.

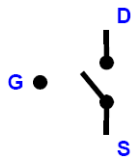
- Περιλαμβάνει μια ακολουθία από βήματα κατεργασίας:
- Διάφορα στρώματα από αγωγίμα, ημιαγωγίμα και μονωτικά υλικά κατασκευάζονται για να σχηματιστεί η κατάλληλη τρισδιάστατη δομή των διατάξεων.

Το τρανζίστορ MOS



Η θέση του διακόπτη εξαρτάται από τη διαφορά δυναμικού μεταξύ πύλης και πηγής

V_{GS}	NMOS	PMOS
hi	κλειστός	ανοιχτός
lo	ανοιχτός	κλειστός

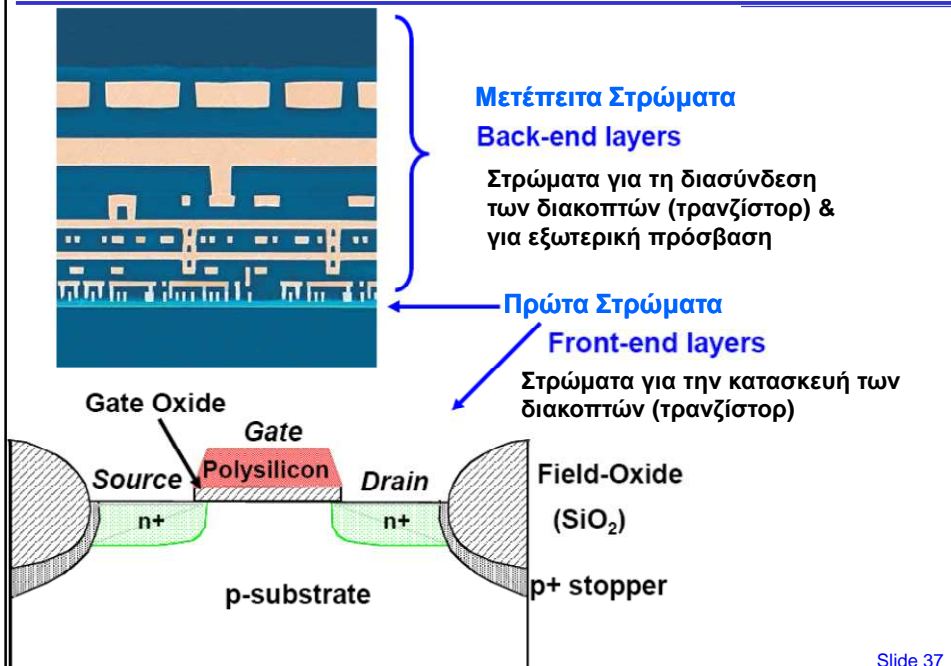


TL 50017

L5: Διαργασίες Κατασκευής

Slide 36

Ταξινόμηση Στρωμάτων



Βασικά βήματα καταργασίας

- Λιθογραφία (Lithography)
- Οξείδωση (Oxidation)
- Εναπόθεση λεπτών στρωμάτων (Thin Layer deposition)
- Εγχάραξη (Etching)
- Διάχυση (Diffusion)
- Εμφύτευση (Implantation)

Λιθογραφία

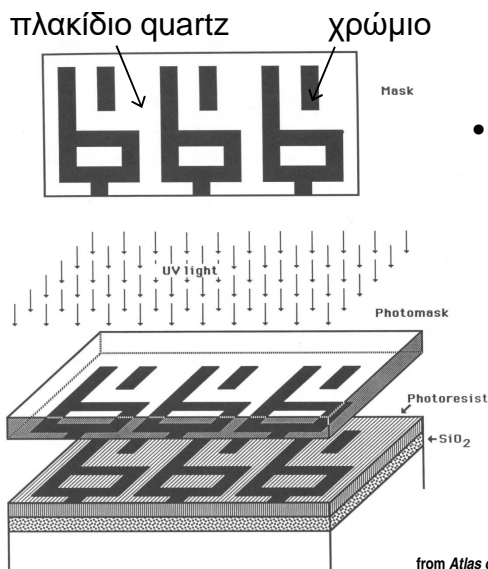
- ❑ Διαδικασία κατά την οποία μεταφέρονται τα σχήματα που είναι ορισμένα σε οπτικές μάσκες πάνω στην επιφάνεια του δισκίου.
- ❑ Διαδικασία που επιτρέπει την επιλεκτική κατεργασία ενός στρώματος (αγώγιμου, ημιαγώγιμου, μονωτικού)
- ❑ Η πιο συνηθισμένη διαδικασία που εφαρμόζεται είναι η **φωτολιθογραφία (photolithography)**.
- ❑ **Ο εξοπλισμός και τα υλικά που απαιτεί η φωτολιθογραφία είναι:**
 - Μία μάσκα (για κάθε στρώμα που πρόκειται να σχηματοποιηθεί) με το επιθυμητό σχήμα.
 - Ένα υλικό ευαίσθητο στο φως (ένα φωτοευαίσθητο πολυμερές το οποίο αναφέρεται ως **photoresist**) το οποίο καλύπτει την επιφάνεια του δισκίου για να δεχθεί τη μορφή της μάσκας.
 - Μια πηγή φωτός και μια μέθοδο προβολής της μορφής που έχει η μάσκα πάνω στο φωτοευαίσθητο υλικό
 - Μια μέθοδο "εμφάνισης" του φωτοευαίσθητου υλικού, η οποία επιτρέπει την επιλεκτική απομάκρυνση του ευαίσθητου υλικού από τις περιοχές, οι οποίες εκτέθηκαν ή όχι στο φως (ανάλογα με τον τόνο του photoresist)

TL 50017

L5: Διαργασίες Κατασκευής

Slide 39

Φωτολιθογραφία



• 2 τύποι photoresist:

- θετικού τόνου:
Τα τμήματα τα οποία είναι εκτεθειμένα στο φως θα διαλυθούν στο διάλυμα εμφάνισης.
- αρνητικού τόνου:
Τα τμήματα τα οποία είναι εκτεθειμένα στο φως ΔΕΝ θα διαλυθούν στο διάλυμα εμφάνισης.

TL 50017

L5: Διαργασίες Κατασκευής

Συστήματα Έκθεσης του Δισκίου

1:1 Συστήματα έκθεσης

Light Source
Optical System
Mask
Photoresist
Si Wafer

Σμίκρυνση, συνήθως, 4X ή 5X

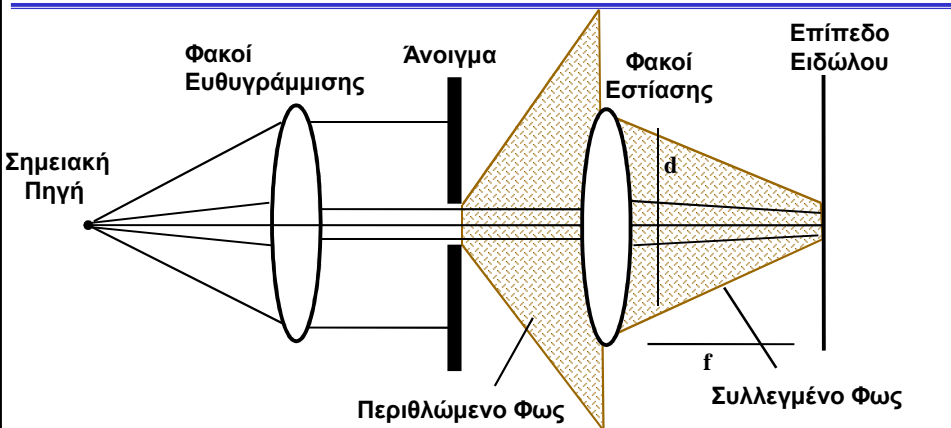
Gap

Τρεις τύποι συστημάτων έκθεσης έχουν χρησιμοποιηθεί.

εκτύπωση με επαφή μάσκας εκτύπωση με πλησίασμα μάσκας εκτύπωση με προβολή μάσκας

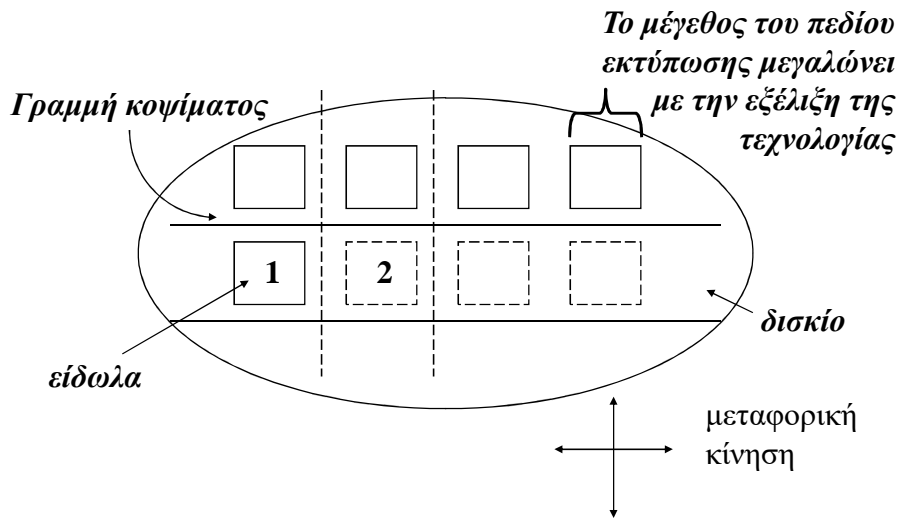
- Η εκτύπωση με επαφή της μάσκας είναι κατάλληλη για υψηλή ανάλυση, αλλά έχει μη αποδεκτές πυκνότητες ατελειών.
- Η εκτύπωση με πλησίασμα της μάσκας δεν μπορεί εύκολα να εκτυπώσει μορφές με χαρακτηριστικά κάτω από μερικά μm (εκτός από τα συστήματα με ακτίνες-x).
- Η εκτύπωση με προβολή παρέχει υψηλή ανάλυση και χαμηλή πυκνότητα ατελειών και, για τον λόγο αυτό επικρατεί σήμερα.
- Η εκτύπωση με προβολή χρησιμοποιεί ένα σύστημα οπτικών φακών το οποίο ελαττώνει το είδωλο της μάσκας, τυπικά, κατά (2X - 10X), που σημαίνει ότι μόνο ένα μικρό μέρος του δισκίου εκτυπώνεται κατά την έκθεση. Η εκτύπωση ολόκληρου του δισκίου γίνεται με βηματική προβολή και επανάληψη (step and repeat) ή με βηματική προβολή και σάρωση (step and scan). Τέτοιου είδους μηχανικά συστήματα εκτύπωσης, τα οποία ονομάζονται **steppers**, εκτυπώνουν ≈ 50 δισκία/ώρα και κοστίζουν 10 – 25 Μ \$.

Αρχή των Συστημάτων Έκθεσης με Προβολή



- Αν θέλουμε να απεικονίσουμε το άνοιγμα πάνω στο επίπεδο του ειδώλου (δηλ. πάνω στο φωτοευαίσθητο υλικό), μπορούμε να συλλέξουμε το φως χρησιμοποιώντας φακούς και να το εστιάσουμε στο επίπεδο του ειδώλου.
- Ωστόσο, επειδή οι φακοί έχουν πεπερασμένη διάμετρο κάποια πληροφορία χάνεται (οι συνιστώσες με την υψηλότερη χωρική συχνότητα).

Έκθεση με "Stepper"



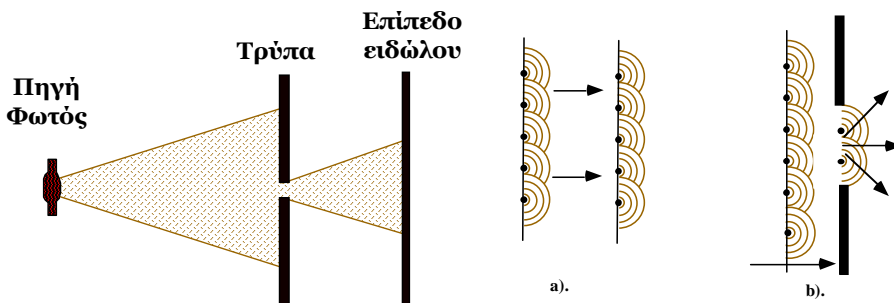
TL 50017

L5: Διαγραφές Κατασκευής

Slide 43

Οπτική-Βασικές αρχές και Περίθλαση

- Η εκτύπωση με ακτίνες (θεωρώντας ότι το φως ταξιδεύει σε ευθείες γραμμές) δουλεύει καλά εφόσον οι διαστάσεις είναι μεγάλες σε σύγκριση με το μήκος κύματος λ .
- Στις μικρές διατάξεις, τα φαινόμενα περίθλασης κυριαρχούν.



- Αν το μέγεθος της τρύπας είναι περίπου όσο και το λ , το φως απλώνεται μετά το πέρασμα από το άνοιγμα. (Όσο πιο μικρό το άνοιγμα, τόσο πιο έντονο το άπλωμα.)

TL 50017

L5: Διαγραφές Κατασκευής

Slide 44

Lithography

Photolithography Resolution Limit, R

- $R \geq k\lambda$ due to optical diffraction
- Wavelength λ needs to be minimized. (248 nm, 193 nm, 157 nm?)
- k (<1) can be reduced will
 - Large aperture, high quality lens
 - Small exposure field, step-and-repeat using “stepper”
 - Optical proximity correction
 - Phase-shift mask, etc.
- Lithography is difficult and expensive.
- There can be 40 lithography steps in an IC process.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-45

Lithography

Wafers are being loaded into a stepper in a clean room.

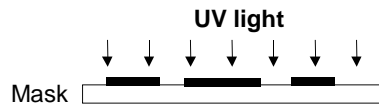


Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-46

Έκθεση Photoresist

- Μια γυάλινη μάσκα με μαύρα/καθαρά σχέδια χρησιμοποιείται για την έκθεση ενός δισκίου που είναι καλυμμένο με photoresist πάχους ~1 μm



Σύστημα οπτικών φακών

Η μορφή της μάσκας εμφανίζεται εδώ (3 σκοτεινές περιοχές, 4 φωτινές περιοχές)



Σμίκρυνση της μορφής της μάσκας κατά nX
"10X stepper"
"4X stepper"
"1X stepper"

Οι περιοχές που έχουν εκτεθεί σε φως UV είναι επιδεκτικές σε χημική διάλυση

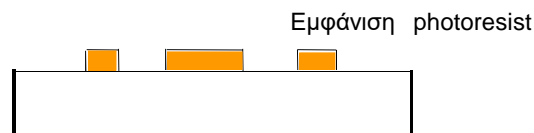
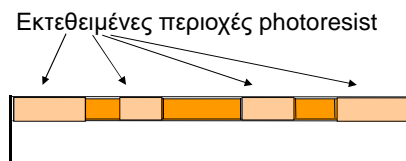
TL 50017

L5: Διαργασίες Κατασκευής

Slide 47

Εμφάνιση Photoresist θετικού τόνου

- Διαλύματα με υψηλό pH διαλύουν τις περιοχές οι οποίες εκτέθηκαν σε φως UV, ενώ οι περιοχές που δεν έχουν εκτεθεί δεν διαλύονται.



TL 50017

L5: Διαργασίες Κατασκευής

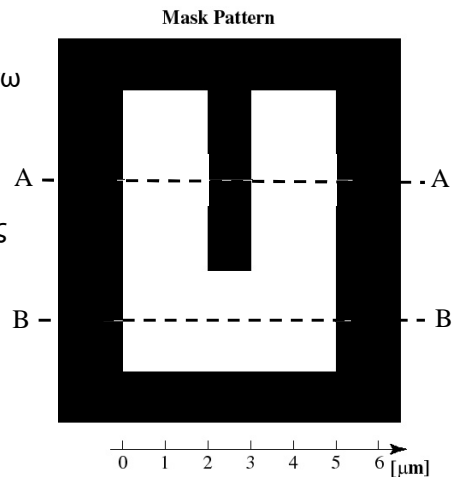
Slide 48

Παράδειγμα Λιθογραφίας

- ❑ Σχέδιο μάσκας (Mask pattern) πάνω στο γυάλινο πλακίδιο

- ❑ Προσέξτε τα κοψίματα (οριζόντιες τομές) στα διάφορα επίπεδα

(A-A και B-B)



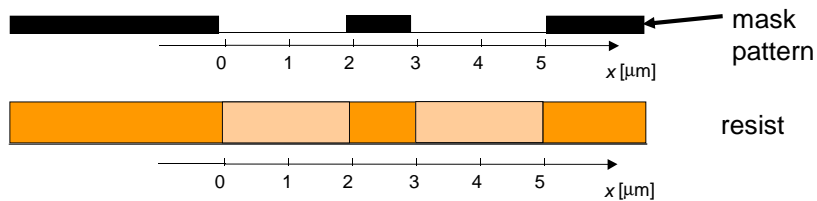
TL 50017

L5: Διεργασίες Κατασκευής

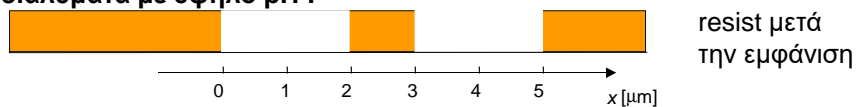
Slide 49

Οριζόντια-τομή "A-A"

Το φωτοευαίσθητο υλικό εκτίθεται στις περιοχές $0 < x < 2 \mu\text{m}$ & $3 < x < 5 \mu\text{m}$:



Το φωτοευαίσθητο υλικό όπου έχει εκτεθεί θα διαλυθεί μέσα σε διαλύματα με υψηλό pH :



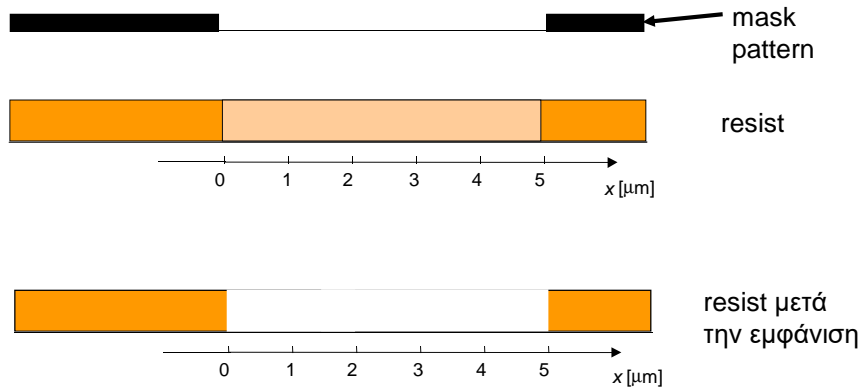
TL 50017

L5: Διεργασίες Κατασκευής

Slide 50

Οριζόντια-τομή “B-B”

Το φωτοευαίσθητο υλικό εκτίθεται στις περιοχές : $0 < x < 5 \mu\text{m}$:



TL 50017

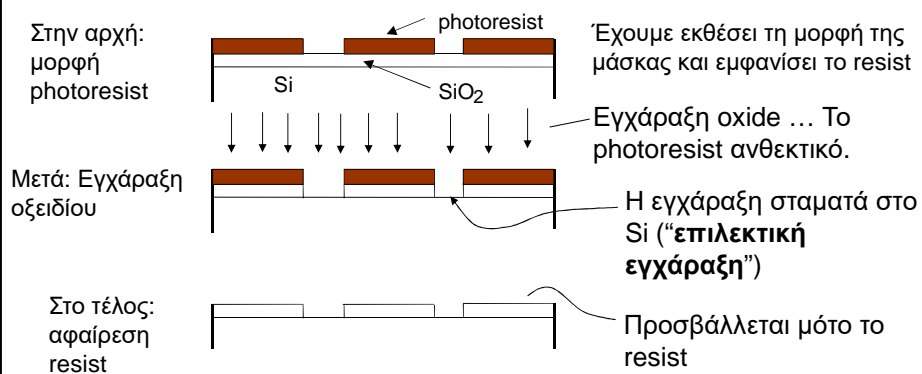
L5: Διαργασίες Κατασκευής

Slide 51

Μεταφορά του σχεδίου με Εγχάραξη

Για να μεταφέρουμε το σχέδιο του photoresist στο υποκείμενο στρώμα, χρειαζόμαστε μια “αφαιρετική” διαδικασία η οποία να απομακρύνει το στρώμα ιδανικά, δηλ. με μηδαμινή αλλαγή των χαρακτηριστικών της μορφής και με μηδαμινή απομάκρυνση των υποκείμενων υλικών.

→ Διαδικασίες επιλεκτικής εγχάραξης (με χρήση πλάσματος ή υδάτινων διαλυμάτων) έχουν αναπτυχθεί για τα πιο πολλά υλικά των Ο.Κ.

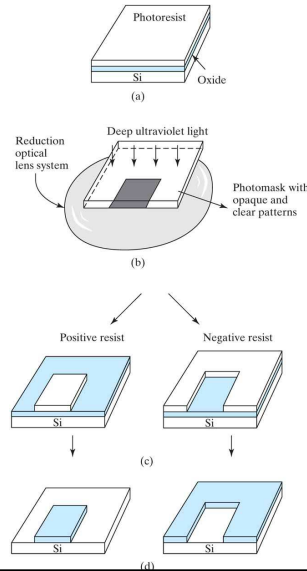


TL 50017

L5: Διαργασίες Κατασκευής

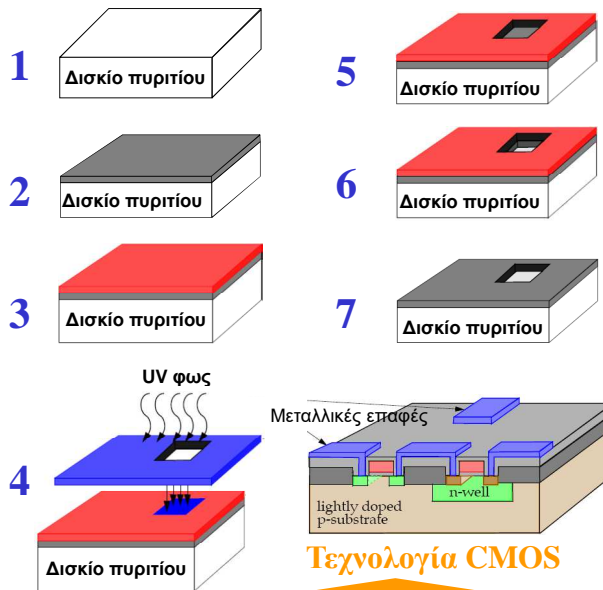
Slide 52

Major steps in the lithography process: (a) application of resist; (b) resist exposure through a mask and an optical reduction system; (c) after development of exposed photoresist; and (d) after oxide etching and resist removal.



Η διαδικασία της φωτολιθογραφία

1. Καθαρισμός δισκίου
2. Εναπόθεση υλικού (στρώμα μετάλλου, ημιαγωγού ή μονωτή)
3. Στρώση φωτοευαίσθητου φιλμ
4. Έκθεση στο UV φως
5. Εμφάνιση φιλμ
6. Εγχάραξη των μη προστατευμένων περιοχών του υλικού
7. Απομάκρυνση φωτοευαίσθητου φιλμ



ΠΟΛΛΕΣ ΦΟΡΕΣ

Τεχνολογία CMOS

Slide 54

Λιθογραφία

- Υπέρ και κατά της φωτολιθογραφίας
- Η φωτολιθογραφία επιτρέπει την μαζική κατεργασία των τσιπ
- Η ανάλυση περιορίζεται από φαινόμενα περίθλασης στα άκρα των αδιαφανών περιοχών της μάσκας
- Τεχνικές υψηλής-ανάλυσης
- Λιθογραφία με ακτίνες-Χ (X-ray lithography)
 - Απαιτεί διαφορετικές μάσκες και φωτοευαίσθητα υλικά (resists)
- Λιθογραφία με δέσμη ηλεκτρονίων (E-beam lithography)
 - Δεν απαιτεί μάσκα
 - Ευθεία απεικόνιση σχεδίων πάνω σε υλικά ευαίσθητα στα ηλεκτρόνια
- Πιο αργή διαδικασία και πολύ πιο ακριβή

ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 55

Beyond Optical Lithography

- **Electron Beam Writing** : Electron beam(s) scans and exposed electron resist on wafer. Ready technology with relatively low throughput.
- **Electron Projection Lithography** : Exposes a complex pattern using mask and electron lens similar to optical lithography.
- **Nano-imprint** : Patterns are etched into a durable material to make a “stamp.” This stamp is pressed into a liquid film over the wafer surface. Liquid is hardened with UV to create an imprint of the fine patterns.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-56

Τάσεις στην Λιθογραφία

- Η λιθογραφία καθορίζει την ελάχιστη χαρακτηριστική διάσταση (feature size) και περιορίζει την τελική απόδοση η οποία μπορεί να επιτευχθεί στην διαδικασία κατασκευής των Ο.Κ. Έτσι οι προσπάθειες για την έρευνα και την ανάπτυξη της λιθογραφίας έχουν σκοπό

1. Την επίτευξη υψηλότερης ανάλυσης

- μικρότερα μήκη κύματος
365 nm → 248 nm → 193 nm → 13 nm
“i-line” “DUV” “EUV”

2. Βελτίωση των φωτοευαίσθητων υλικών

- μεγαλύτερη ευαισθησία, για μικρότερους χρόνους έκθεσης
(ο στόχος παραγωγής είναι τα 60 δισκία/ώρα)

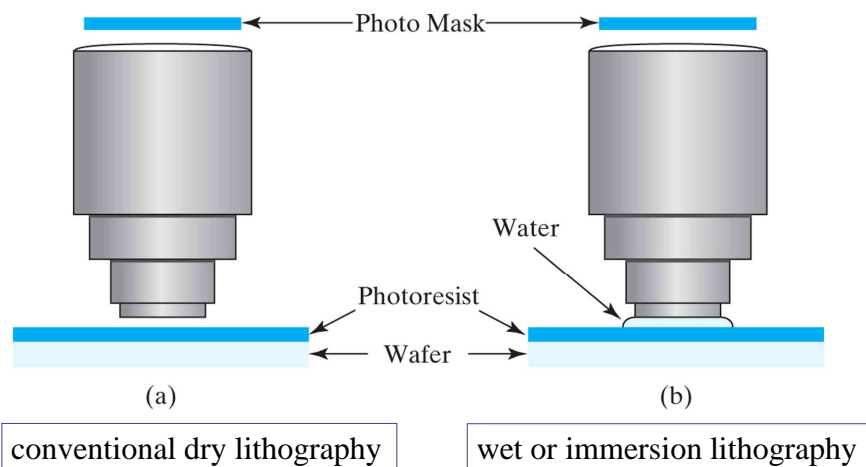
TL 50017

L5: Διαργασίες Κατασκευής

Slide 57

Wet Lithography

Figure 3.6 Schematics of (a) conventional dry lithography and (b) wet or immersion lithography. The wavelength of light source is 193 nm in both cases, but the effective wavelength in (b) is reduced by the refraction index of water, 1.43.



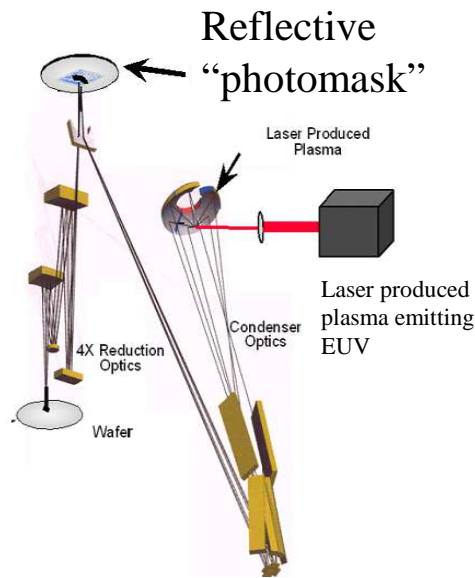
PEARSON

Modern Semiconductor Devices for Integrated Circuits
Chenming Calvin Hu

©2010 by Pearson Education, Inc.
All rights reserved.

Extreme UV Lithography (13nm wavelength)

No suitable lens material at this wavelength.
Optics is based on mirrors with nm flatness.

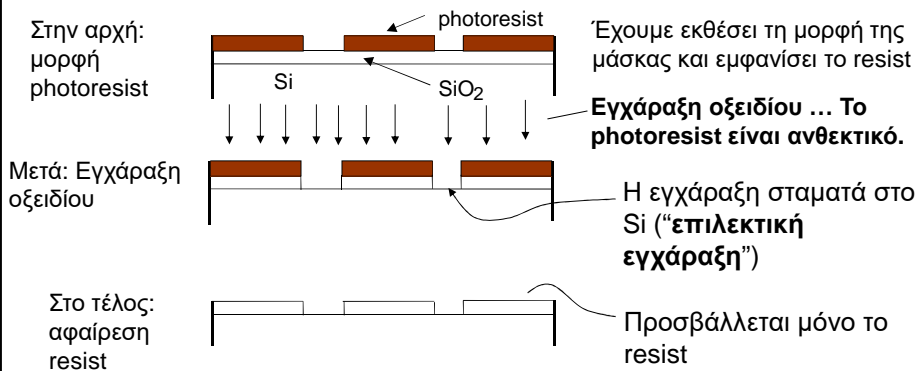


Modern Semiconductor Devices for Integrated Circuits (C. Hu)
Slide 3-59

Εγχάραξη

Για να μεταφέρουμε το σχέδιο του photoresist στο υποκείμενο στρώμα, χρειαζόμαστε μια "αφαιρετική" διαδικασία η οποία να απομακρύνει το στρώμα ιδανικά, δηλ. με μηδαμινή αλλαγή των χαρακτηριστικών της μορφής και με μηδαμινή απομάκρυνση των υποκείμενων υλικών.

→ Διαδικασίες επιλεκτικής εγχάραξης (με χρήση πλάσματος ή υδάτινων διαλυμάτων) έχουν αναπτυχθεί για τα πιο πολλά υλικά των Ο.Κ.



ΤΛ 50017

L5: Διαργασίες Κατασκευής

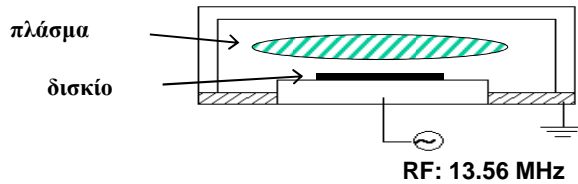
Slide 60

Εγχάραξη Πλάσματος

- Εκτός από την εναπόθεση το πλάσμα χρησιμοποιείται και στη διαδικασία της εγχάραξης:

- Εγχάραξη: Τα ιονισμένα στοιχεία εγχάραξης είναι πιο δραστικά και μπορούν να επιταχυνθούν προς το δισκίο (που πολώνεται σε αρνητικό δυναμικό DC), και να παρέχουν κατευθυνόμενη εγχάραξη για πιο ακριβή μεταφορά των μορφών που απεικονίζονται μέσω της φωτολιθογραφίας.

Μονάδα Εγχάραξης με Δραστικά Ιόντα (Reactive Ion Etcher, RIE)

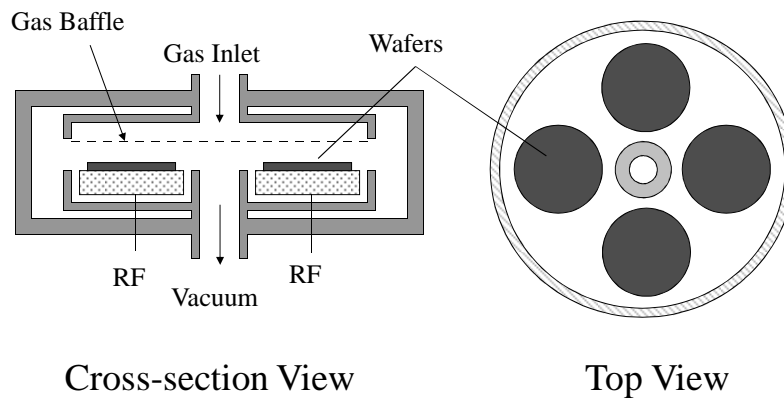


- Τι συμβαίνει μέσα στο πλάσμα . . .

- Τυπικά αέρια για την εγχάραξη του SiO_2 είναι τα μίγματα $\text{C}_2\text{F}_4\text{H}_2$, πχ CF_4
 - Σχηματισμός ριζών φθορίου με ιονισμό λόγω σύγκρουσης: $e^- + \text{CF}_4 \rightarrow \text{CF}_3 + \text{F} + e^-$
 - Σχηματισμός πτητικών ενώσεων πυριτίου: $\text{SiO}_2 + 4\text{F} \rightarrow \text{SiF}_4 + \text{O}_2$
- Τυπικά αέρια για την εγχάραξη Si είναι τα μίγματα $\text{C}_2\text{F}_4\text{H}_2$, πχ CF_4
 - Σχηματισμός ριζών φθορίου με ιονισμό λόγω σύγκρουσης: $e^- + \text{CF}_4 \rightarrow \text{CF}_3 + \text{F} + e^-$
 - Σχηματισμός πτητικών ενώσεων πυριτίου: $\text{Si} + 4\text{F} \rightarrow \text{SiF}_4$

Pattern Transfer–Etching

Reactive-Ion Etching Systems

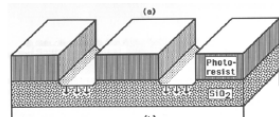


Modern Semiconductor Devices for Integrated Circuits (C. Hu)

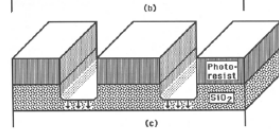
Slide 3-62

Ξηρή Εγχάραξη και Υγρή Εγχάραξη

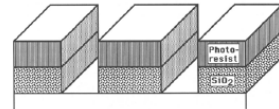
from Atlas of IC Technologies by W. Malv



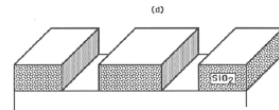
Σχέδιο resist



Εγχάραξη λεπτού στρώματος



Ολοκλήρωση εγχάραξης

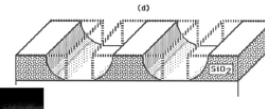
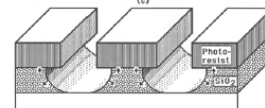
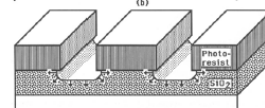
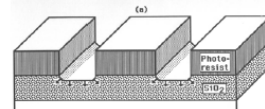


Ανισοτροπική Εγχάραξη
(π.χ., RIE)

✓ καλύτερος έλεγχος στο μέγεθος των δομών εγχάραξης

TL 50017

L5: Διεργασίες Κατασκευής



Ισοτροπική Εγχάραξη
(π.χ., υγρή)

✓ καλύτερη επιλεκτικότητα εγχάραξης

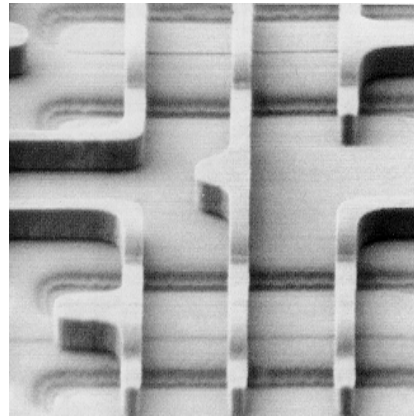
Slide 63

Pattern Transfer–Etching

Dry Etching (also known as Plasma Etching, or Reactive-Ion Etching) is anisotropic.

- Silicon and its compounds can be etched by plasmas containing F.
- Aluminum can be etched by Cl.
- Some concerns :
 - Selectivity and End-Point Detection
 - Plasma Process-Induced Damage or Wafer Charging Damage and Antenna Effect

Scanning electron microscope view of a plasma-etched 0.16 μm pattern in polycrystalline silicon film.

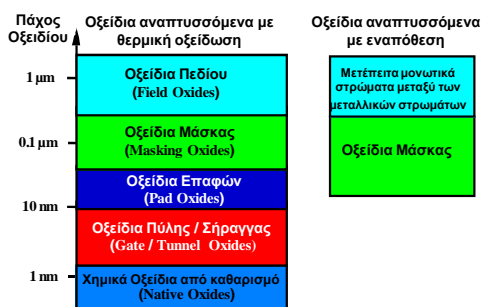


Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-65

Οξειδωση – Βασικές Έννοιες

• Το SiO_2 και η διεπιφάνεια Si/SiO_2 είναι οι βασικές αιτίες της κυριαρχίας του πυριτίου στη βιομηχανία των IC.



• Κανείς άλλος γνωστός συνδυασμός ημιαγωγού/μονωτή δεν προσεγγίζει τις ιδιότητες που επιδεικνύει η διεπιφάνεια Si/SiO_2 .

οξείδιο του πυριτίου SiO_2 :

• Εύκολη επιλεκτική εγχάραξη με χρήση λιθογραφίας.

• Είναι μάσκα στις πιο κοινές προσμίξεις (B, P, As, Sb).

• Υπέροχος μονωτής

$$\rho > 10^{16} \Omega\text{cm}, E_g > 9 \text{ eV}$$

• Υψηλό πεδίο κατάρευσης

$$10^7 \text{ Vcm}^{-1}$$

• Υπέροχη απομόνωση επαφών

• Σταθερές ηλεκτρικές ιδιότητες

• Σταθερή και επαναλαμβανόμενη διεπεφάνεια με το Si.

5

Slide 66

Examples of furnace systems that may be used for oxidation and other processes. (a) is a horizontal furnace and (b) is a close-up photo showing silicon wafers waiting to be pushed into the furnace. (© Steed Technology, Inc. Used by permission.) (c) shows a newer vertical furnace. (Copyright © ASM International N.V. Used by permission.) The vertical furnaces occupy less floor space.



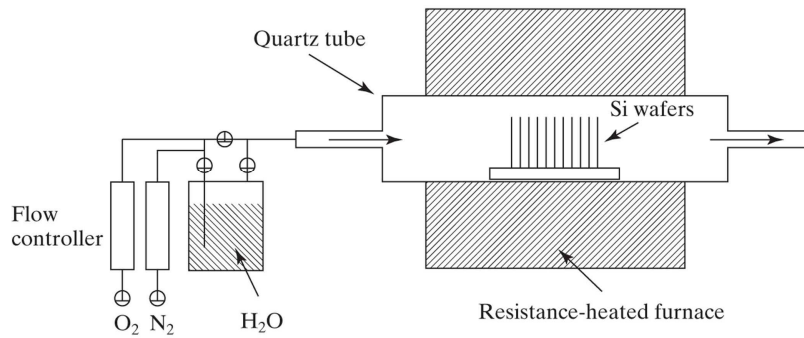
(a) (b)



(c)

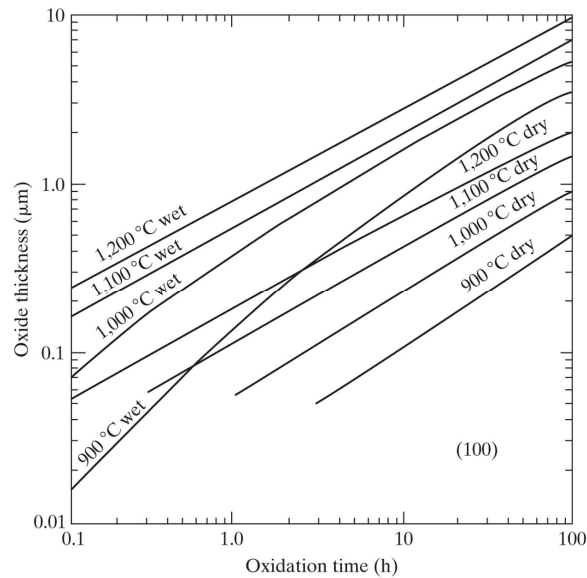
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Schematic drawing of an oxidation system.



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

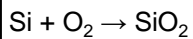
The SiO₂ thickness formed on (100) silicon surfaces as a function of time.



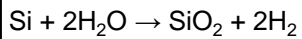
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Σχηματισμός SiO₂ με Οξείδωση

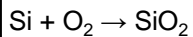
■ φυσικό (native) διοξείδιο πυριτίου: Ξηρή οξείδωση: θέρμανση με καθαρό οξυγόνο



■ Υγρή οξείδωση: θέρμανση με νερό



■ Ξηρή οξείδωση: θέρμανση με καθαρό οξυγόνο



■ **Μειονέκτημα:** Η γρήγορη ανάπτυξη απαιτεί υψηλή θερμοκρασία (900°C - 1200 °C)

Oxidation of Silicon

EXAMPLE : Two-step Oxidation

- (a) How long does it take to grow $0.1\mu\text{m}$ of dry oxide at 1000°C ?
- (b) After step (a), how long will it take to grow an additional $0.2\mu\text{m}$ of oxide at 900°C in a wet ambient ?

Solution:

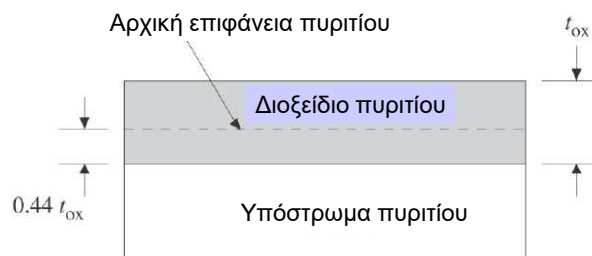
- (a) From the “ 1000°C dry” curve in Slide 3-3, it takes 2.5 hr to grow $0.1\mu\text{m}$ of oxide.
- (b) Use the “ 900°C wet” curve only. It would have taken 0.7hr to grow the $0.1\mu\text{m}$ oxide and 2.4hr to grow $0.3\mu\text{m}$ oxide from bare silicon. The answer is $2.4\text{hr} - 0.7\text{hr} = 1.7\text{hr}$.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-71

Σχηματισμός SiO_2 με Οξείδωση

- Κατά την ανάπτυξη του θερμικού SiO_2 καταναλώνεται Si σε ποσοστό 44% του πάχους του



ΤΑ 50017

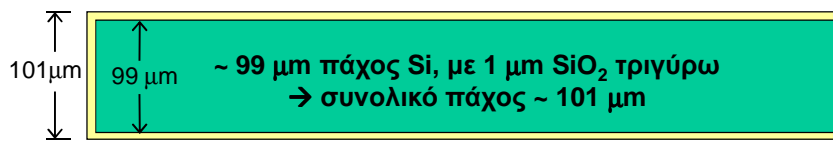
L5: Διαργασίες Κατασκευής

Slide 72

Παράδειγμα: Θερμική οξείδωση του Πυριτίου

Δισκίο Silicon, 100 μm πάχος

Θεωρείστε ότι φτιάχνουμε οξείδιο με πάχος 1 μm :



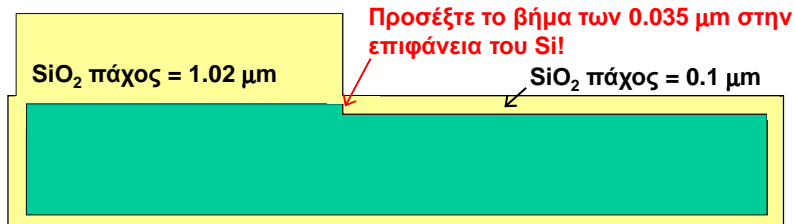
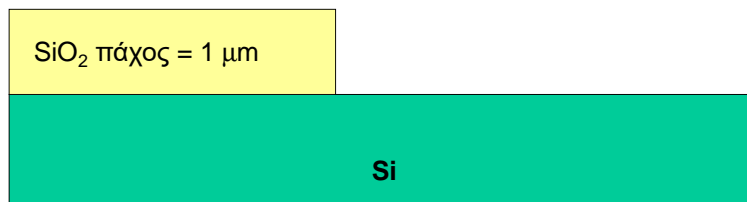
TL 50017

L5: Διαργασίες Κατασκευής

Slide 73

Επίδραση της εξάρτησης του ρυθμού οξείδωσης από το πάχος

- Ο ρυθμός θερμικής οξείδωσης επιβραδύνεται με το πάχος του οξειδίου.
Θεωρείστε ένα δισκίο Si με ένα στρώμα οξειδίου της μορφής :



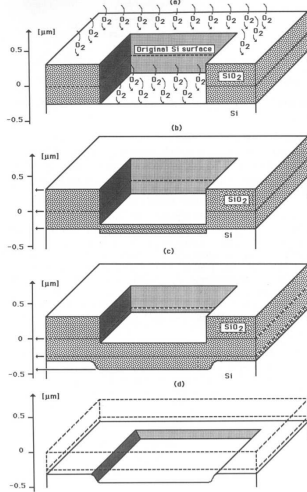
TL 50017

L5: Διαργασίες Κατασκευής

Slide 74

Τεχνικές Επιλεκτικής Οξειδωσης

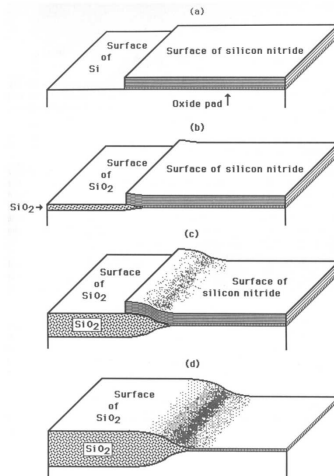
Παράθυρο Οξειδωσης



ΤΛ 50017

L5: Διεργασίες Κατασκευής

Τοπική Οξειδωση (LOCOS)



Η πλευρική εξάπλωση του οξειδίου προκαλεί ένα 'ράμφος πουλιού' ('Bird's Beak')

Slide 75

Οξειδίο Πεδίου (Field Oxide)

Οι περιοχές του τσιπ χωρίζονται σε δύο κατηγορίες, ανάλογα με τη χρήση τους. Οι περιοχές που είναι τα τρανζίστορ λέγονται ενεργές περιοχές (active areas), επειδή περιέχουν ενεργές ηλεκτρονικές διατάξεις. Το διάστημα μεταξύ των ενεργών περιοχών αποκαλείται πεδίο απομόνωσης (field). Συμβολικά μπορούμε να γράψουμε

ΕΝΕΡΓΗ ΠΕΡΙΟΧΗ + ΠΕΡΙΟΧΗ ΠΕΔΙΟΥ = ΕΠΙΦΑΝΕΙΑ ΤΣΙΠ

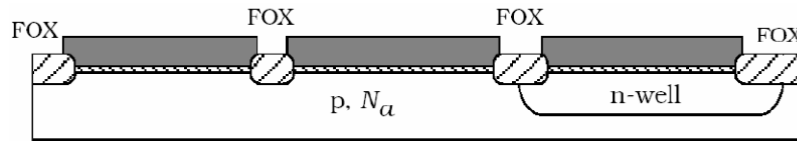
Το οξειδίο πεδίου (field oxide FOX) σχηματίζεται για την ηλεκτρική απομόνωση της διάταξης

ΤΛ 50017

L5: Διεργασίες Κατασκευής

Slide 76

LOCOS – Local Oxidation of Silicon



- Ιστορικά, το οξειδίο πεδίου σχηματίζονταν με οξείδωση, όχι με εναπόθεση
- Τοπική οξείδωση (Local Oxidation), με νιτρίδιο (Nitride) σαν μάσκα
- Η οξείδωση καταναλώνει πυρίτιο, περίπου 50%, το άνοιγμα του χαντακιού με εγχάραξη θα μπορούσε να αποφευχθεί
- ‘Απλή’ επίπεδη τεχνική με καλή απομόνωση και πυκνότητα
- Καινοτόμο βήμα για την κατασκευή των ΟΚ, συνηθισμένο βήμα κατεργασίας για όλες σχεδόν τις διαδικασίες έως την τεχνολογική γενιά των ,35 nm.
- Τοπική οξείδωση (Local Oxidation), με νιτρίδιο (Nitride) σαν μάσκα
- Πολύ σημαντική πατέντα (δίπλωμα ευρεσιτεχνίας!) για τη Philips

TL 50017

L5: Διαργασίες Κατασκευής

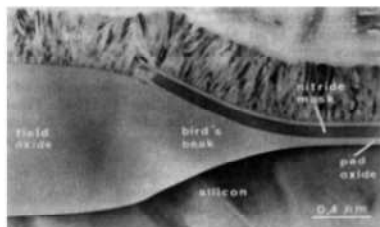
Slide 77

Οξειδίο Πεδίου (Field Oxide)

▶ Local oxidation of silicon (LOCOS)

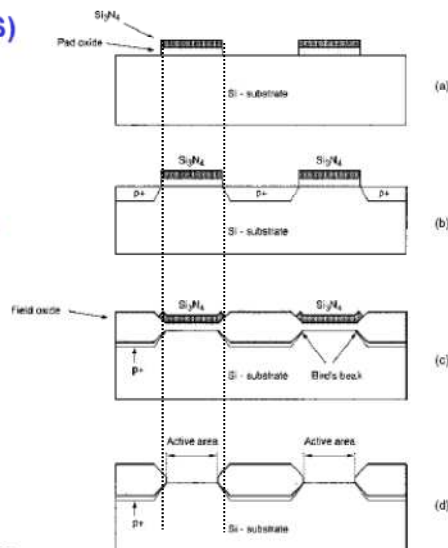
- Ανάπτυξη του οξειδίου μόνο στις περιοχές που απαιτείται
- Το φαινόμενο Bird's Beak'

ελαττώνει την επιφάνεια των ενεργών περιοχών



Wet oxygen at 950°C for 10 hours

(from: C. Claeys, VLSI Science and Technology)



TL 50017

L5: Διαργασίες Κατασκευής

Slide 78

• **Νόθευση**: προσθήκη προσμίξεων στο Si για την αλλαγή των ηλεκτρικών ιδιοτήτων του υποστρώματος μέσω της προσθήκης οπών/ηλεκτρονίων.

- Αποδέκτης: Βόριο (B) --- περιοχές p-τύπου
- Δότης : Φώσφορο (P), Αρσενικό (As) --- περιοχές n-τύπου

• **Διάχυση**: κίνηση σωματιδίων από μια περιοχή μεγάλης συγκέντρωσης σε μια περιοχή χαμηλής συγκέντρωσης

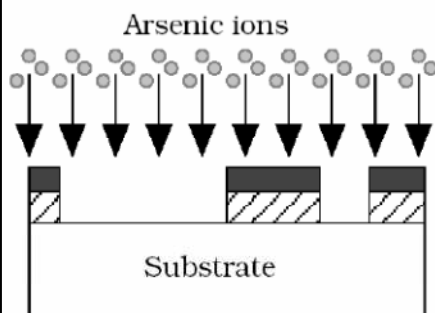
- Χρησιμοποιείται για τον σχηματισμό των περιοχών νόθευσης

TL 50017

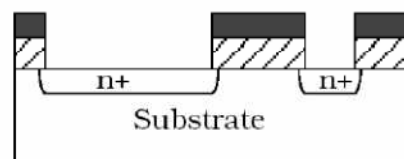
L5: Διεργασίες Κατασκευής

Slide 79

Ιοντική Εμφύτευση



(α) πρόσπτωση ιοντικής δέσμης



(β) Νοθευμένες περιοχές n-τύπου

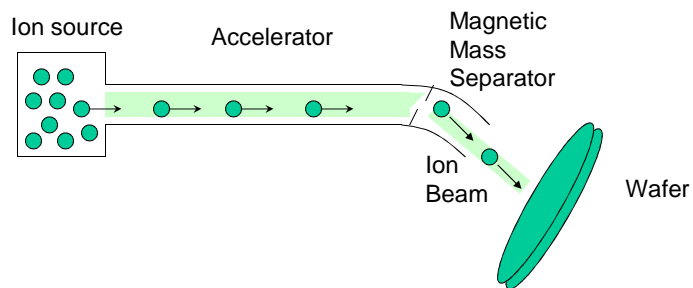
- The dominant doping method.
- Excellent control of **dose** (cm^{-2}).
- Good control of implant depth with energy (KeV to MeV)
- Repairing crystal damage and dopant activation requires annealing, which can cause dopant diffusion and loss of depth control.

TL 50017

L5: Διεργασίες Κατασκευής

Slide 80

Ιοντική Εμφύτευση – Βασικές Αρχές



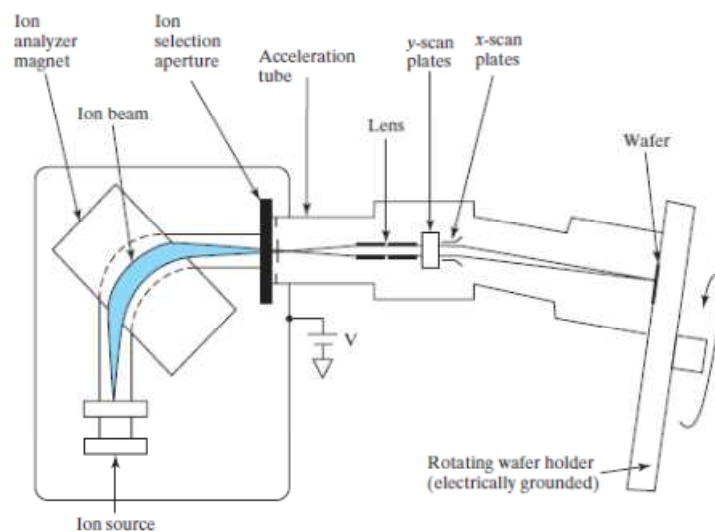
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 81

Ion Implantation

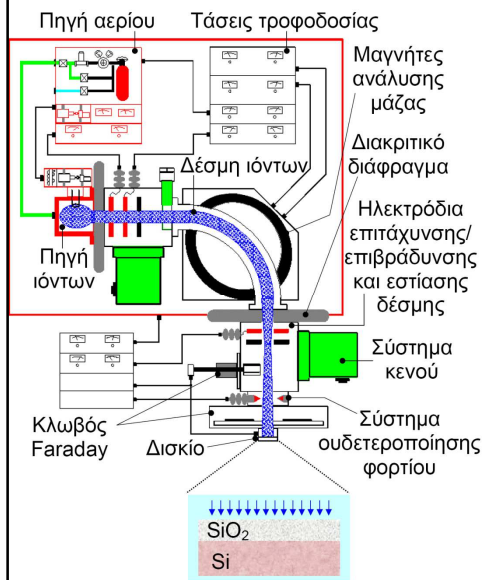
Schematic of an Ion Implanter



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-82

Ιοντική Εμφύτευση – Βασικές Αρχές



• Η ιοντική εμφύτευση είναι η βασική μέθοδος νόθευσης που χρησιμοποιείται σήμερα. Αν και δημιουργεί τεράστια ζημιά στο κρυσταλλικό πλέγμα προτιμάται γιατί επιτρέπει :

- Εισαγωγή προσμίξεων σε μια μεγάλη περιοχή δόσεων - 10^{11} έως 10^{16} /cm² .
- Εξαιρετικά ακριβή έλεγχο δόσης .
- Ουσιαστικό έλεγχο της τάσης κατωφλίου του τρανζίστορ MOS.
- Δυνατότητα σχηματισμού θαμμένων (ανάστροφων) προφίλ νόθευσης.
- Διαδικασία χαμηλής θερμοκρασίας.
- Μεγάλη επιλογή υλικών μάσκας.

• Υπάρχουν όμως και μερικά σημαντικά μειονεκτήματα:

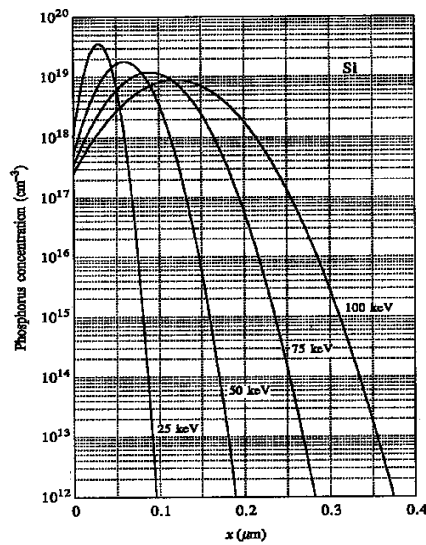
- Ζημιά στον κρύσταλλο.
- Φόρτιση μονωτικών στρωμάτων.

ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 83

Ion implantation



Phosphorous density profile after implantation

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-84

Ion Implantation

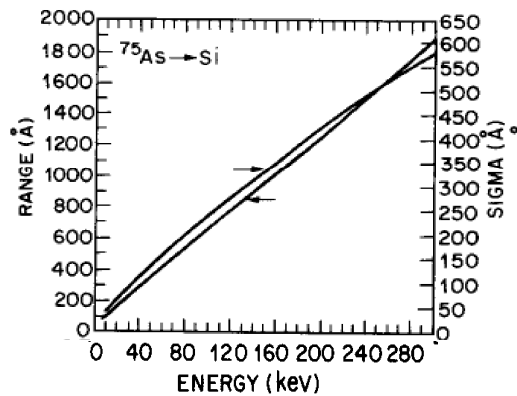
Model of Implantation Doping Profile (Gaussian)

$$N(x) = \frac{N_i}{\sqrt{2\pi} \cdot (\Delta R)} \cdot e^{-(x-R)^2/2\Delta R^2}$$

N_i : dose (cm^{-2})

R : range or depth

ΔR : spread or sigma



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-85

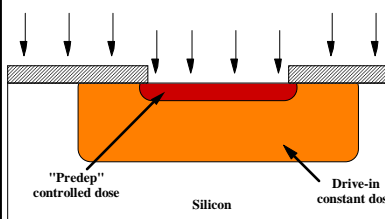
Other Doping Methods

- **Gas-Source Doping** : For example, dope Si with P using POCl_3 .
- **Solid-Source Doping** : Dopant diffuses from a doped solid film (SiGe or oxide) into Si.
- **In-Situ Doping** : Dopant is introduced while a Si film is being deposited.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-86

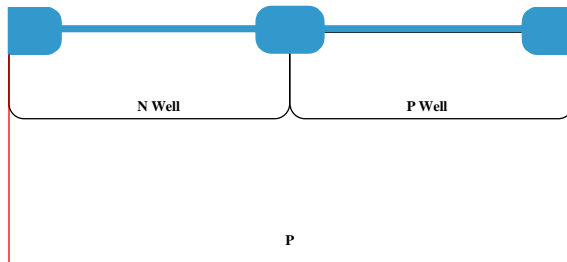
Διάχυση



• Η διάχυση συμβαίνει σε όλες τις θερμοκρασίες, αλλά ο συντελεστής διάχυσης έχει εκθετική εξάρτηση με τη θερμοκρασία T .

• Η νόθευση, συνήθως, περιλαμβάνει ένα αρχικό βήμα εισαγωγής της επιθυμητής δόσης προσμίξεων μέσα στο υπόστρωμα.

• Μία επακόλουθη θερμική διαδικασία (drive-in anneal) προκαλεί ανακατανομή των ατόμων νόθευσης και παρέχει το ζητούμενο βάθος επαφής x_j και την αντίστοιχη συγκέντρωση νόθευσης.



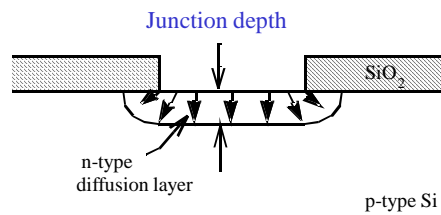
Περιοχές πηγαδιού
διάχυσης στη διαδικασία
CMOS

ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 87

Dopant Diffusion



$$N(x, t) = \frac{N_o}{\sqrt{\pi \cdot Dt}} e^{-x^2/4Dt}$$

N : N_d or N_a (cm^{-3})

N_o : dopant atoms per cm^2

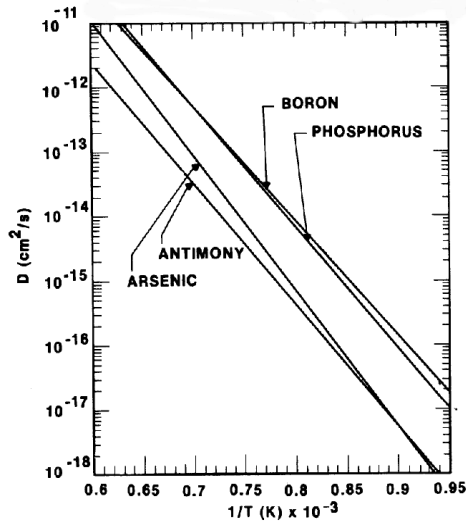
t : diffusion time

D : diffusivity, \sqrt{Dt} is the approximate distance of dopant diffusion

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-88

Dopant Diffusion



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

- D increases with increasing temperature.

- Some applications need very deep junctions (high T , long t). Others need very shallow junctions (low T , short t).

Slide 3-89

Αστραπιαία Θερμική Κατεργασία (RTA)

Τα MOSFETs υπο-μικρομετρικών διαστάσεων απαιτείται να έχουν εξαιρετικά πηχές επαφές ($\chi < 50$ nm)

→ Η διάχυση των ατόμων νόθευσης κατά τη διαδικασία “ενεργοποίησης” μέσω θερμικής κατεργασίας πρέπει να ελαχιστοποιηθεί

→ Απαιτείται βραχύς χρόνος θερμικής κατεργασίας (<1 min.) σε υψηλή θερμοκρασία

- Οι συμβατικοί φούρνοι (π.χ. που χρησιμοποιούνται για θερμική οξειδωση και CVD) θερμαίνουν και κρυώνουν τα δισκία σε αργούς ρυθμούς (<50°C ανά λεπτό)
- Ειδικά εργαλεία θερμικής κατεργασίας έχουν αναπτυχθεί για πολύ γρήγορη κλιμάκωση της θερμοκρασίας, και επακριβή έλεγχο του χρόνου θερμικής κατεργασίας
 - Ρυθμοί κλιμάκωσης τόσο γρήγοροι όσο 200°C/second
 - Χρόνοι θερμικής κατεργασίας τόσο σύντομοι όσο 0.5 second
 - Τυπικά, η διαδικασία RTA χρησιμοποιεί θάλαμο απλού-δισκίου



TA 50017

L5: Διαργασίες Κατασκευής

Slide 90

Dopant Diffusion

Shallow Junction and Rapid Thermal Annealing

- After ion implantation, thermal annealing is required. **Furnace annealing** takes minutes and causes too much diffusion of dopants for some applications.
- In **rapid thermal annealing (RTA)**, the wafer is heated to high temperature in seconds by a bank of heat lamps.
- In flash annealing (100ms) and laser annealing ($<1\mu\text{s}$), dopant diffusion is practically eliminated.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-91

Εναπόθεση λεπτών στρωμάτων

Εναπόθεση: προσθήκη ενός υλικού πάνω από την επιφάνεια του δισκίου.

Διηλεκτρικά:

- Προσφέρεται για μια ποικιλία από διηλεκτρικά υλικά συμπεριλαμβανομένου του SiO_2 και του Si_3N_4 .
- Επιτρέπει την εναπόθεση πάνω σε όλα τα άλλα υλικά που χρησιμοποιούνται στην κατασκευή των Ο.Κ.
- Επιτρέπει την εναπόθεση παχέων στρωμάτων (~1-2 μm).

Πολυπυρίτιο:

- Πολυκρυσταλλικό Si με παρόμοιες ιδιότητες με αυτές του μονο-κρυσταλλικού Si και του SiO_2 .
- Χρησιμοποιείται για το σχηματισμό της πύλης στα τρανζίστορ MOS, καθώς και την κατασκευή αντιστάσεων, πυκνωτών, και κυτάρων μνήμης.
- Φυσικό (native) θερμικό οξειδίο, SiO_2 , μπορεί να αναπτυχθεί πάνω στο πολυπυρίτιο (δηλ. έχει καλή προσκόλληση με το SiO_2).
- Μπορεί να αντέξει μετέπειτα βήματα υψηλής θερμοκρασίας (σε αντίθεση με τα μέταλλα)
- Μπορεί να νοθευτεί για τον καθορισμό της αντίστασης (χαμηλή για τις διασυνδέσεις, υψηλή για αντιστάτες). Επίσης, μπορεί να επικαλυφθεί με μέταλλα για παραπέρα ελάττωση της αντίστασης.

Μέταλλα:

- Σχηματίζουν χαμηλής αντίστασης διασυνδέσεις.
- Δεν μπορούν να αντέξουν βήματα κατεργασίας υψηλής θερμοκρασίας.
- Μπορούν να χρησιμοποιηθούν αρκετά μεταλλικά στρώματα διασύνδεσης, τα οποία απομονώνονται με διηλεκτρικά.

TL 50017

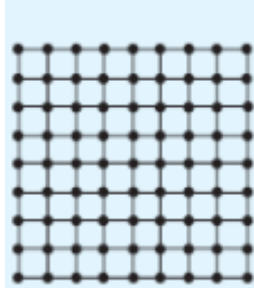
L5: Διεργασίες Κατασκευής

Slide 92

Thin-Film Deposition

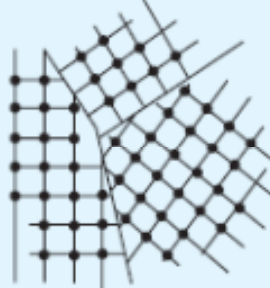
Three Kinds of Solid

Crystalline



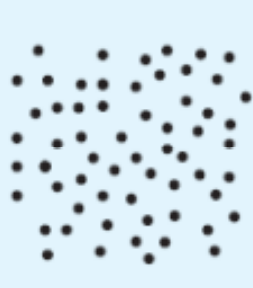
Example:
Silicon wafer

Polycrystalline



Thin film of Si or metal.

Amorphous



Thin film of
 SiO_2 or Si_3N_4 .

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-93

Thin-Film Deposition

Examples of thin films in integrated circuits

- Advanced MOSFET gate dielectric
- Poly-Si film for transistor gates
- Metal layers for interconnects
- Dielectric between metal layers
- Encapsulation of IC

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-94

Η εναπόθεση επιτυγχάνεται διαμέσου μιας φάσης ατμών (vapor phase)

■ Χημική Εναπόθεση Ατμών

(*Chemical vapor deposition, CVD*)

- Αναπτύσσει χημικές αντιδράσεις
- Χρησιμοποιείται για την εναπόθεση SiO_2 , Si_3N_4 , Si

■ Φυσική Εναπόθεση Ατμών

(*Physical vapor deposition, PVD*)

- Απουσία χημικών αντιδράσεων
- Χρησιμοποιείται για την εναπόθεση μετάλλων

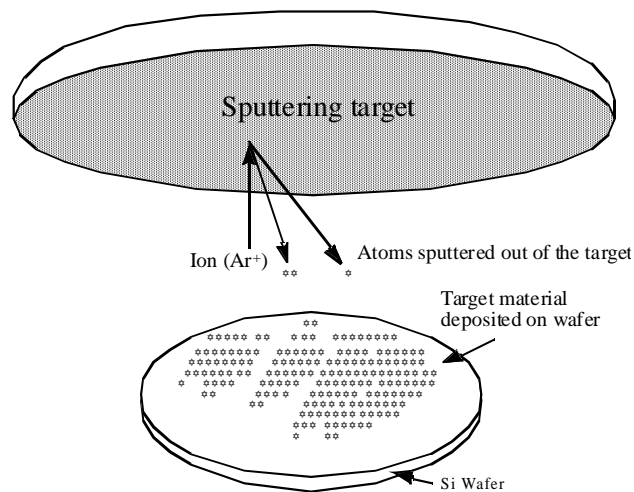
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 95

Φυσική Εναπόθεση Ατμών (“Sputtering”) μετάλλων

Schematic Illustration of Sputtering Process



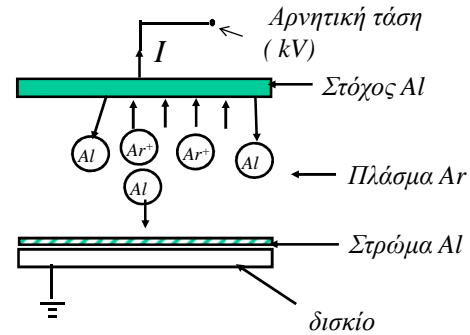
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-96

Φυσική Εναπόθεση Ατμών (“Sputtering”) μετάλλων

Εναπόθεση μεταλλικού στρώματος, πχ, Αλουμινίου Al

Ιόντα αργού υψηλής ενέργειας βομβαρδίζουν την επιφάνεια του μεταλλικού στόχου, και προκαλούν την εξαγωγή ατόμων, τα οποία στη συνέχεια εναποτίθενται στην επιφάνεια του δισκίου



Μερικές φορές το υπόστρωμα θερμαίνεται στους, $\sim 300^{\circ}\text{C}$

Πίεση αερίου: 1 με 10 mTorr

Ρυθμός εναπόθεσης $\propto I \cdot S$

↖ Ρεύμα ιόντων

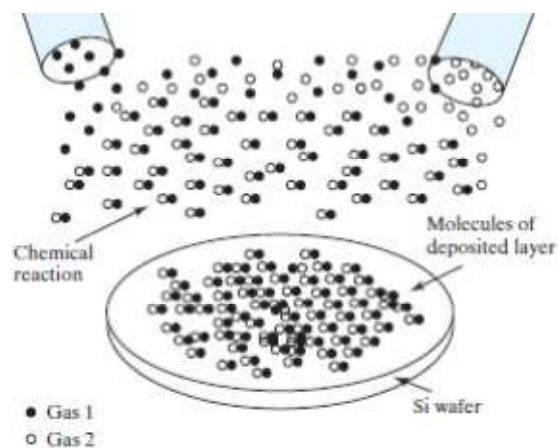
↖ Απόδοση εξαγωγής ατόμων

TL 50017

L5: Διεργασίες Κατασκευής

Slide 97

Chemical Vapor Deposition (CVD)

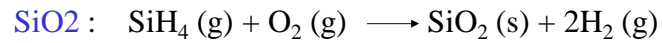
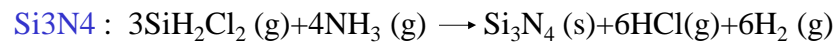
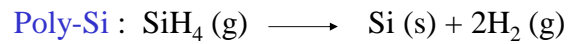


Thin film is formed from gas phase components.

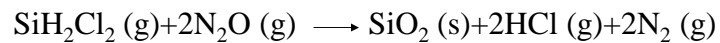
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-98

Some Chemical Reactions of CVD



or



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-99

Chemical Vapor Deposition (CVD)

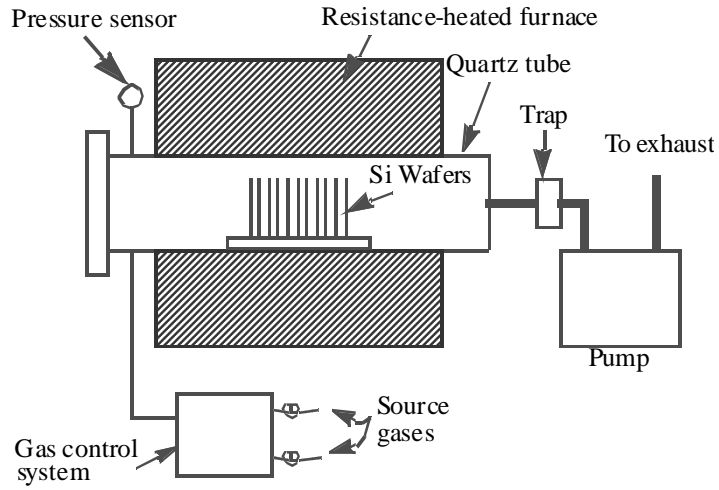
Two types of CVD equipment:

- **LPCVD (Low Pressure CVD)** : Good uniformity. Used for poly-Si, oxide, nitride.
- **PECVD (Plasma Enhanced CVD)** : Low temperature process and high deposition rate. Used for oxide, nitride, etc.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-100

Chemical Vapor Deposition (CVD)

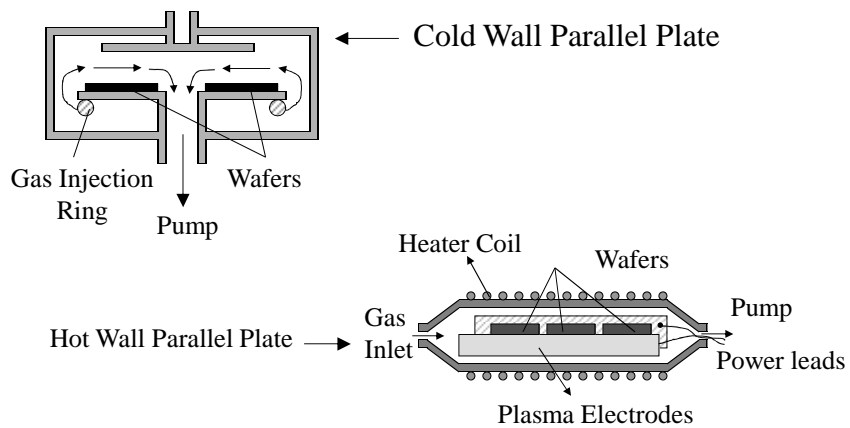


LPCVD Systems

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-101

Chemical Vapor Deposition (CVD)

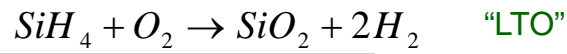


PECVD Systems

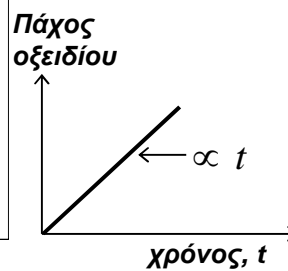
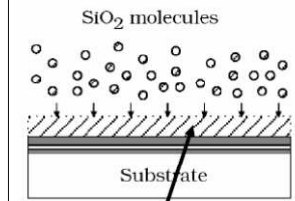
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-102

Χημική Εναπόθεση Ατμών (CVD) του SiO₂



- ❑ **Περιοχή Θερμοκρασίας:**
 - 350°C έως 450°C για σιλάνιο (SiH₄)
- ❑ **Διαδικασία:**
 - Τα προπορευμένα αέρια διασπώνται στην επιφάνεια του δισκίου και σχηματίζουν SiO₂
 - Δεν καταναλώνεται καμιά ποσότητα Si πάνω στο δισκίο
- ❑ **Το πάχος του στρώματος ελέγχεται από το χρόνο εναπόθεσης**

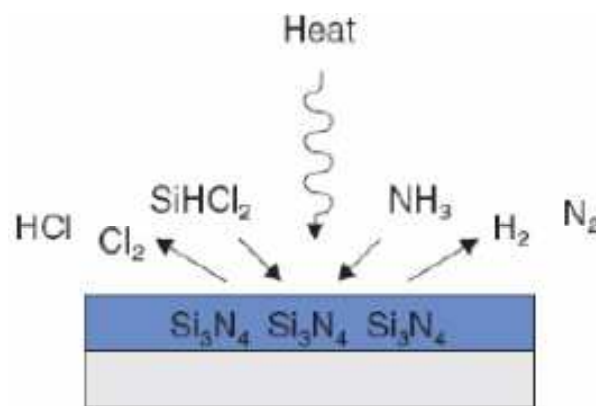
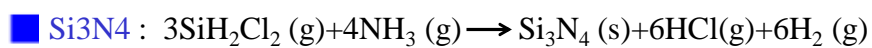


ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 103

Χημική Εναπόθεση Ατμών (CVD) του Si₃N₄



ΤΛ 50017

L5: Διαργασίες Κατασκευής

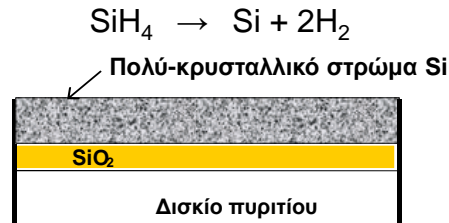
Slide 104

Χημική Εναπόθεση Ατμών (CVD) του Si

Πολυκρυσταλλικό πυρίτιο (πολυπυρίτιο, "poly-Si"):

Όμοια με το SiO_2 , το Si μπορεί να εναποτεθεί με **CVD**:

- Το δισκίο θερμαίνεται στους $\sim 600^\circ\text{C}$
- Πυρίτιο που περιέχεται σε αέριο (SiH_4) εγχέεται μέσα στο φούρνο:



Ιδιότητες:

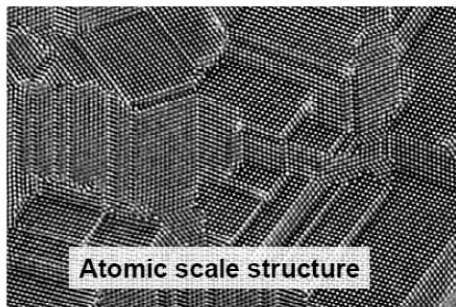
- Επιφανειακή αντίσταση (ισχυρή νόθευση, πάχος $0.5 \mu\text{m}$) = $20 \Omega/\square$
- μπορεί να αντέξει κατεργασίες υψηλής θερμοκρασίας → **βασικό πλεονέκτημα**

TL 50017

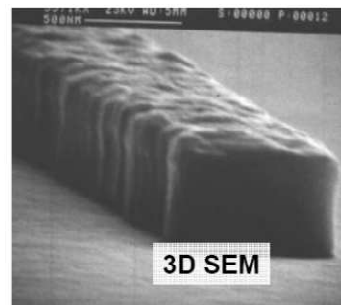
L5: Διαργασίες Κατασκευής

Slide 105

Πολυπυρίτιο



Atomic resolution micrograph of multiply-twinned nanocrystalline film of Si. (C. Song)



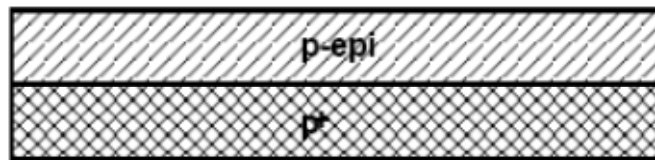
TL 50017

L5: Διαργασίες Κατασκευής

Slide 106

Επιταξία (Epitaxy)

- Εναπόθεση μονό-κρυσταλλικού στρώματος πυριτίου πάνω σε μονό-κρυσταλλικό υπόστρωμα πυριτίου
- Μια ειδική περίπτωση CVD
- Το εναποτιθέμενο στρώμα συνεχίζει την κρυσταλλική δομή του υποστρώματος
- Χρησιμοποιείται για τον σχηματισμό σάντουιτς στρωμάτων με διαφορετική νόθευση στα διπολικά τρανζίστορ και στα τρανζίστορ MOS

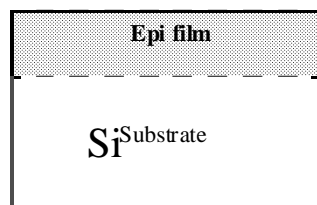
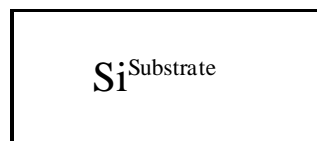


TA 50017

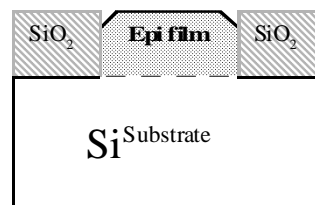
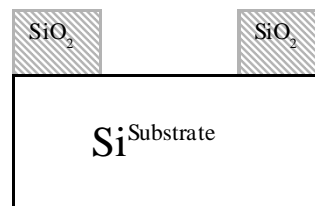
Slide 107

Epitaxy (*Deposition of Single-Crystalline Film*)

Epitaxy



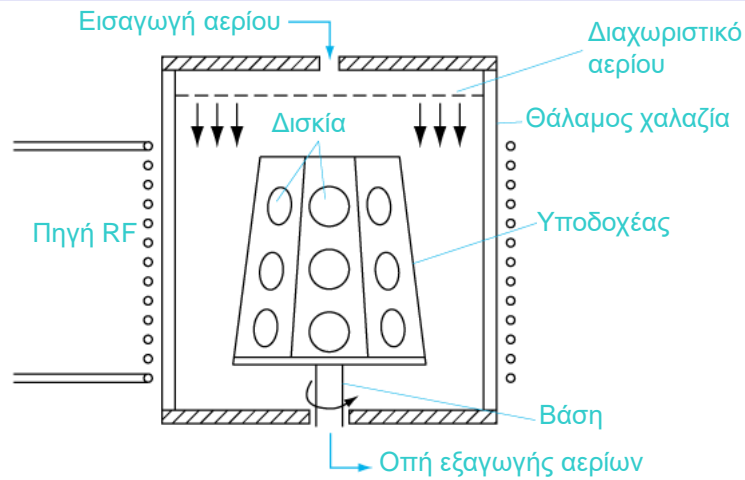
Selective Epitaxy



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 3-108

Επιταξιακή ανάπτυξη Πυριτίου



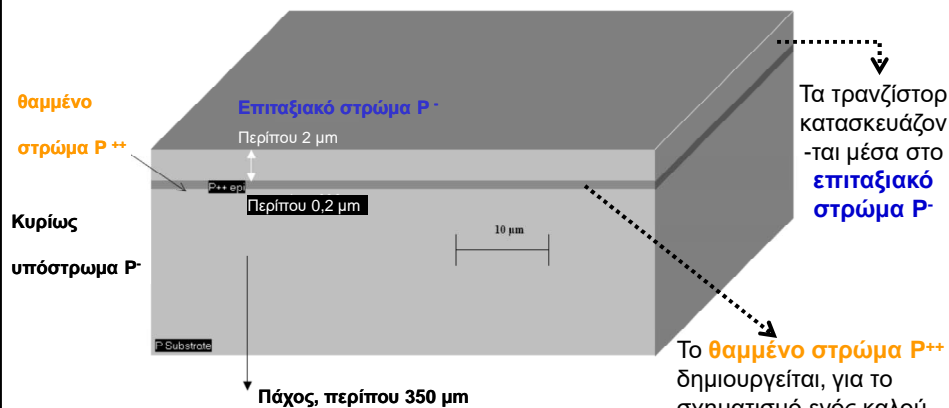
CVD αντιδραστήρας τύπου-βαρελιού για την ανάπτυξη επιταξιακού στρώματος Si.

ΤΛ 50017

L5: Διεργασίες Κατασκευής

Slide 109

Τρισδιάστατη άποψη ενός τμήματος του υποστρώματος πυριτίου που χρησιμοποιείται για την κατασκευή των ολοκληρωμένων κυκλωμάτων CMOS. Το κυρίως υπόστρωμα είναι **υπόστρωμα P⁻** με ένα **θαμμένο στρώμα P⁺⁺** και ένα **επιταξιακό στρώμα P⁻**.



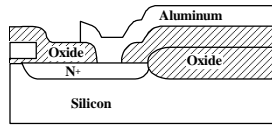
ΤΛ 50017

L5: Διεργασίες Κατασκευής

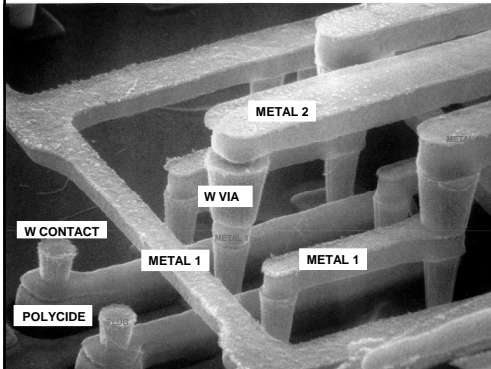
Slide 110

Τεχνολογία απομακρυσμένων στρωμάτων

BACKEND TECHNOLOGY - Εισαγωγή



- Τεχνολογία Backend : κατασκευή των διασυνδέσεων και των διηλεκτρικών που τις απομονώνουν ηλεκτρικά.
- Οι πρώτες δομές ήταν απλές σε σχέση με τις σημερινές προδιαγραφές.



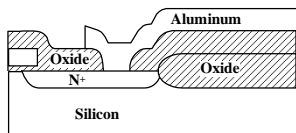
- περισσότερα μεταλλικά επίπεδα διασύνδεσης αυξάνουν τη λειτουργικότητα του κυκλώματος και την ταχύτητα.
- Οι διασυνδέσεις ταξινομούνται σε τοπικές διασυνδέσεις (polysilicon, silicides, TiN) και ενδιάμεσες/καθολικές διασυνδέσεις (Cu or Al).
- Οι διαδικασίες Backend αρχίζουν να γίνονται σημαντικές.
- Καταλαμβάνουν το μεγαλύτερο μέρος κατασκευής της συνολικής δομής.
- Αρχίζουν να κυριαρχούν πάνω στη συνολική ταχύτητα του κυκλώματος.

TL 50017

L5: Διαργασίες Κατασκευής

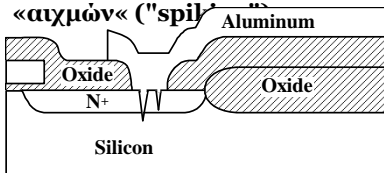
Slide 111

Επαφές- Βασικές Έννοιες

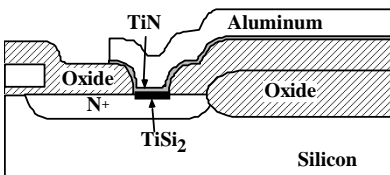


- Οι πρώτες δομές χρησιμοποιούσαν απλές επαφές Al/Si.
- Περιοχές πυριτίου έντονα νοθευμένες είναι απαραίτητες για τον σχηματισμό ωμικών επαφών, χαμηλής αντίστασης.
- Στην πράξη, $N_D, N_A > 10^{20}$ είναι απαραίτητες.

• ένα ακόμα πρακτικό πρόβλημα είναι ότι το Si είναι διαλυτό στο Al ($\approx 0.5\%$ στους 450°C). Το γεγονός αυτό μπορεί να οδηγήσει σε προβλήματα «αιχμών» ("spike")



- το Si διαχέεται μέσα στο Al, δημιουργούνται κενά, το Al γεμίζει τα κενά \Rightarrow βραχυκύκλωμα!
- 1^η λύση - προσθήκη 1-2% Si στο Al για να ικανοποιηθεί η διαλυτότητα.



- Καλύτερη λύση: χρήση στρώματος (-ων) φραγμού. Ti ή TiSi_2 για καλή επαφή και πρόσφυση, TiN για φραγμό.

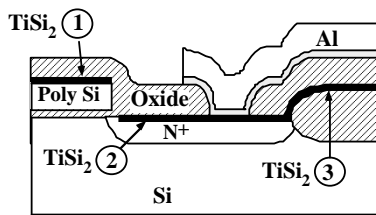
TL 50017

L5: Διαργασίες Κατασκευής

Slide 112

Διασυνδέσεις και ανοίγματα (Vias)

- Το Al έχει παραδοσιακά επικρατήσει σαν υλικό διασύνδεσης.
 - χαμηλή ειδική αντίσταση
 - προσκολλάται καλά στο Si και το SiO₂
 - μπορεί να προκαλεί αναγωγή σε άλλα οξείδια
 - μπορεί εύκολα να εγχαραχθεί και να εναποτεθεί
 - Προβλήματα:
 - σχετικά χαμηλό σημείο τήξης και μαλακό υλικό.
 - Απαιτηση για υλικό με μεγαλύτερο σημείο τήξης για το ηλεκτρόδιο της πύλης και τις τοπικές διασυνδέσεις ⇒ **πολυπυρίτιο**.
 - βουναλάκια και διάκενα σχηματίζονται εύκολα στο Al.
- Για τους λόγους αυτούς το Al, συνήθως, εναποτίθεται προσθέτωντας 1-2 wt % Si και 0.5-4 wt % Cu.



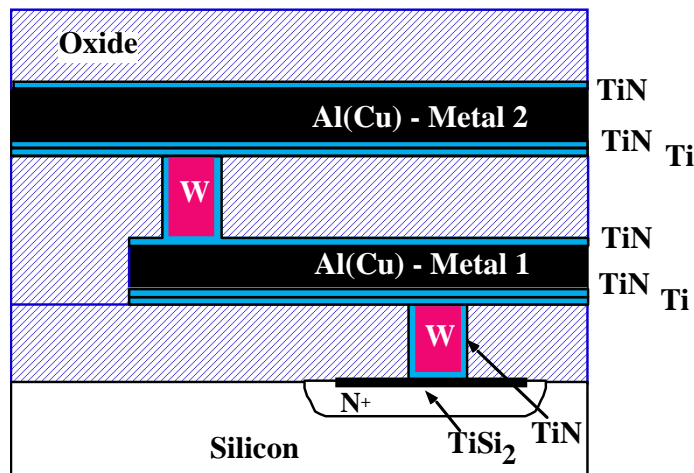
- Η επόμενη εξέλιξη ήταν η χρήση άλλων υλικών με χαμηλότερη ειδική αντίσταση για τις τοπικές διασυνδέσεις, όπως TiN και πυριτίδια (silicides).
- Χρήση Silicides για 1. κάλυψη polysilicon, 2. κάλυψη επαφών διάχυσης, 3. για τοπική διασύνδεση.

TL 50017

L5: Διεργασίες Κατασκευής

Slide 113

Σύγχρονη, τυπική, δομή διασύνδεσης η οποία ενσωματώνει όλα τα νέα χαρακτηριστικά

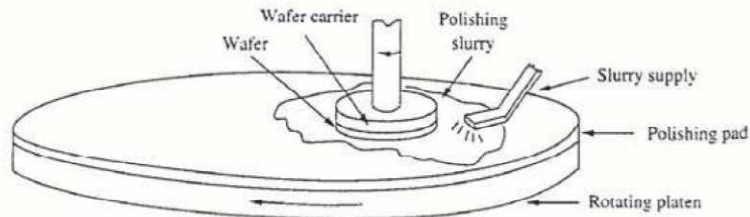


TL 50017

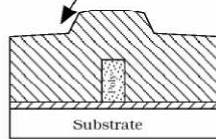
L5: Διεργασίες Κατασκευής

Slide 114

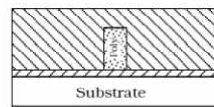
Χημική Μηχανική Λείανση (CMP)



Deposited Oxide



Μετά την εναπόθεση οξειδίου



Μετά την CMP

ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 115

Καπνός Τσιγάρου

... περιέχει 10.000.000 σωματίδια σκόνης ανά κυβικό πόδι (~ 27 λίτρα)

Ο καθαρός αέρας περιέχει μόνο 100.000

Ένα δωμάτιο εγχείρησης λιγότερα από 1000

Ερ: Πόσα σωματίδια σκόνης υπάρχουν σε ένα κυβικό πόδι μέσα σε ένα εργοστάσιο κατασκευής (foundry) ολοκληρωμένων κυκλωμάτων;

Απ: Λιγότερα από 1!



ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 116

Καθαρός Χώρος (Clean Room)



- Συνεχή ροή από πάνω προς τα κάτω φιλτραρισμένου αέρα
- Όλος ο αέρας αντικαθίσταται αρκετές φορές το λεπτό
- Ειδικό ντύσιμο συνέχεια



σκευής

Slide 117

Βήματα Διαδικασίας CMOS

- ❑ Οι κατασκευαστικές εταιρείες ημιαγωγού αναπτύσσουν **εξαιρετικά προηγμένες** τεχνικές επεξεργασίας
- ❑ Λεπτομέρειες της ροής των βημάτων διαδικασίας είναι ιδιαίτερα **ιδιόκτητα** και ως εκ τούτου **μυστικό**

ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 118

Απλοποιημένη Σειρά Βημάτων Κατεργασίας CMOS

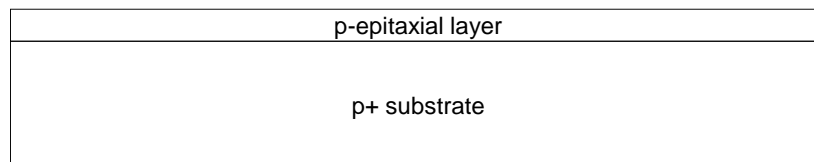
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 119

Ξεκίνημα με ένα επιταξιακό δισκίο

- ❑ Το σημείο εκκίνησης είναι ένα p + δισκίο με ένα λεπτό p-τύπου **επιταξιακό στρώμα** πυριτίου που έχει αναπτυχθεί στο επάνω μέρος του δισκίου.
- ❑ Το επιταξιακό στρώμα δημιουργείται με τη ρίψη ατόμων πυριτίου πάνω σε ένα θερμαινόμενο δισκίο για να σχηματιστεί ένα **υψηλής ποιότητας στρώμα κρυστάλλου** για τρανζίστορ.



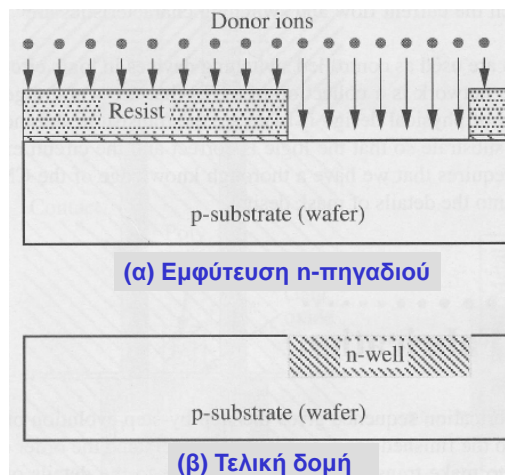
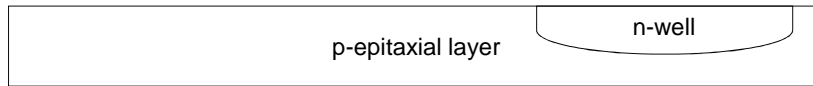
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 120

Δημιουργία n-πηγαδιού με τη χρήση μάσκας

- ❑ Αυτό καθορίζει τη θέση των PMOS

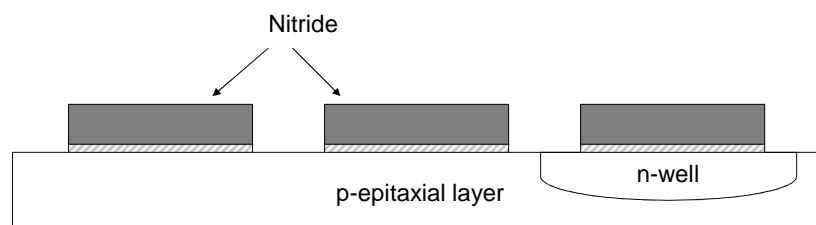


ΤΛ 50017

Slide 121

Ορισμός ενεργή περιοχής χρησιμοποιώντας Νιτρίδιο / Οξείδιο

- ❑ Κάθε τρανζίστορ είναι χτισμένο σε μια ενεργή περιοχή.
- ❑ Οι ενεργές περιοχές καθορίζονται με τη χρήση μάσκας, όπου ένα στρώμα νιτρίδιου του πυριτίου στηρίζεται σε ένα λεπτό στρώμα θερμικού οξειδίου.



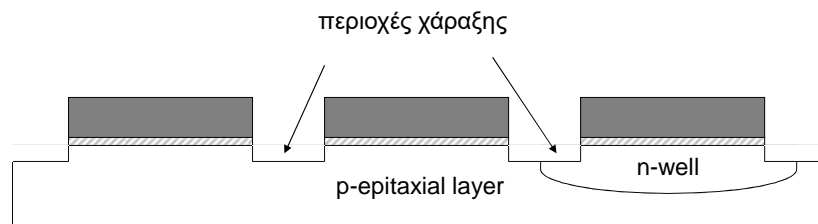
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 122

Ηλεκτρική απομόνωση

- ❑ Το μοτίβο νιτριδίου χρησιμοποιείται για τον καθορισμό της περιοχής χάραξης του πυριτίου.
- ❑ Σχηματισμός οξειδίου με οξειδωση ή εναπόθεση στις χαραγμένες περιοχές πυριτίου.

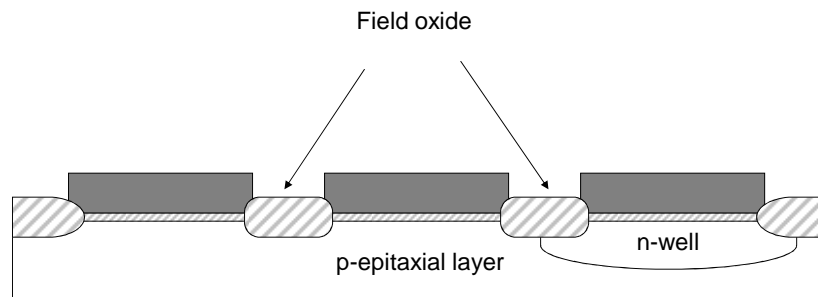


ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 123

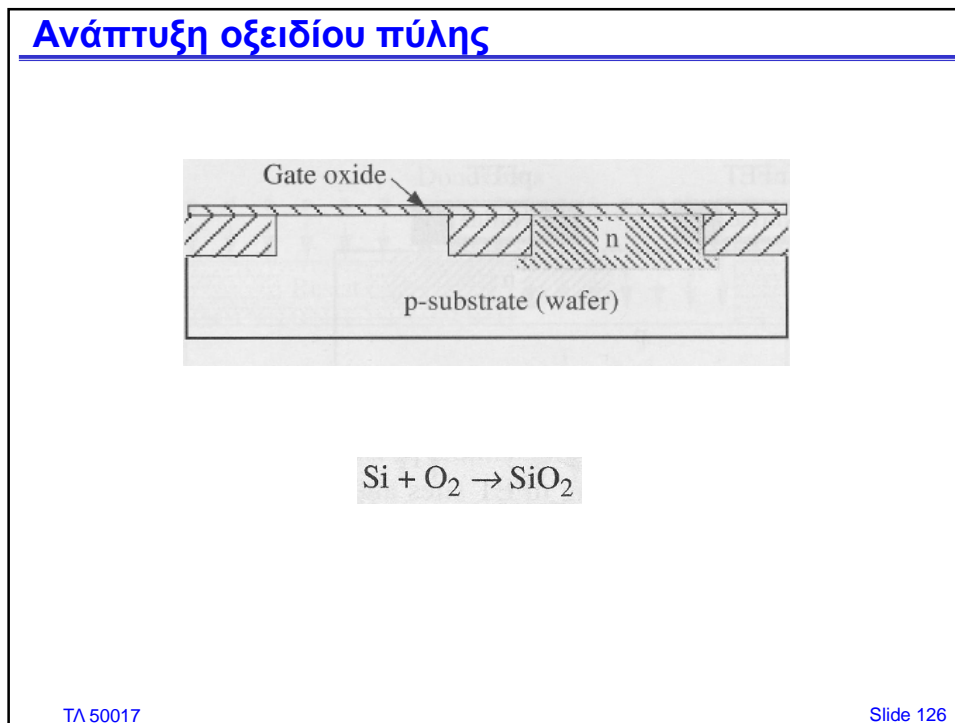
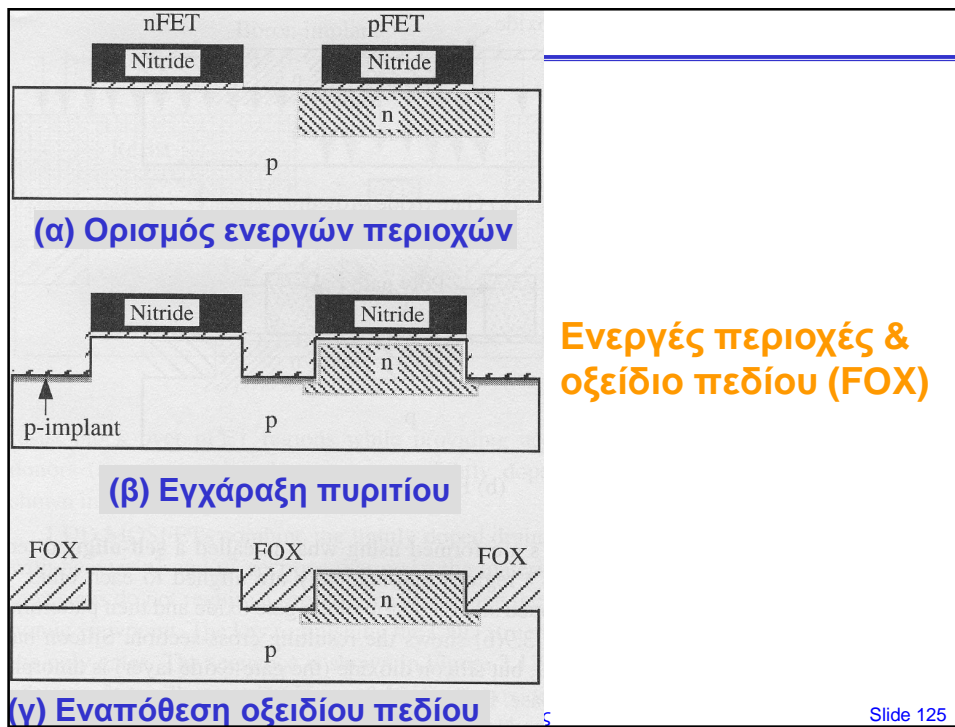
Ανάπτυξη Οξειδίου Πεδίου



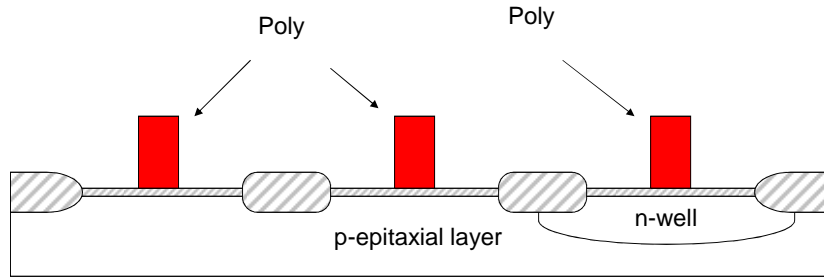
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 124



Σχηματισμός πολυκρυσταλλικής πύλης Si (Poly gate) με εναπόθεση, λιθογραφία και εγχάραξη στρώματος Poly-Si

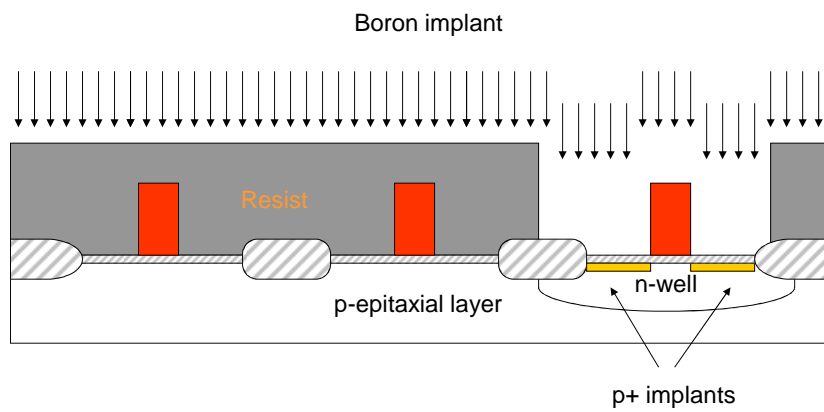


ΤΑ 50017

L5: Διαργασίες Κατασκευής

Slide 127

Μάσκα P Select και Εμφύτευση

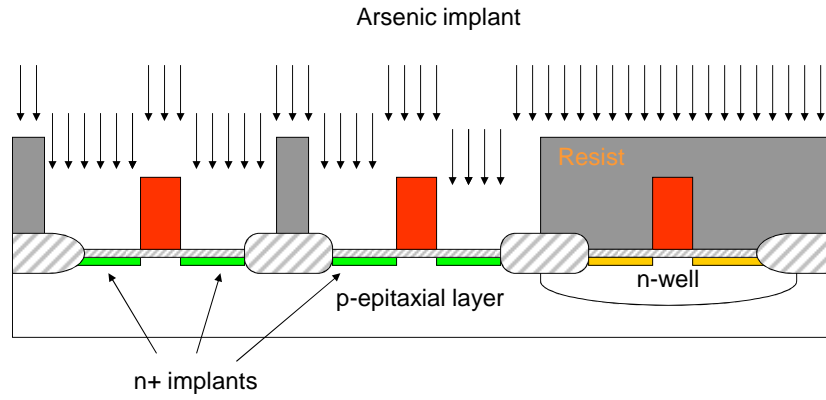


ΤΑ 50017

L5: Διαργασίες Κατασκευής

Slide 128

Μάσκα N Select και Εμφύτευση

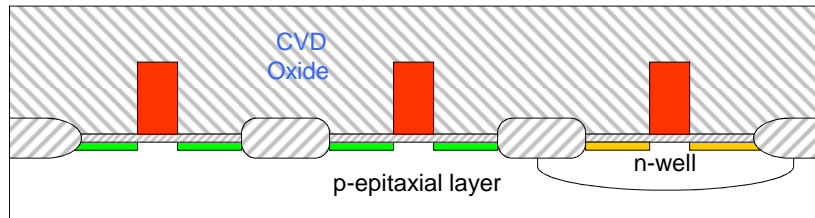


ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 129

Ανάπτυξη CVD οξειδίου



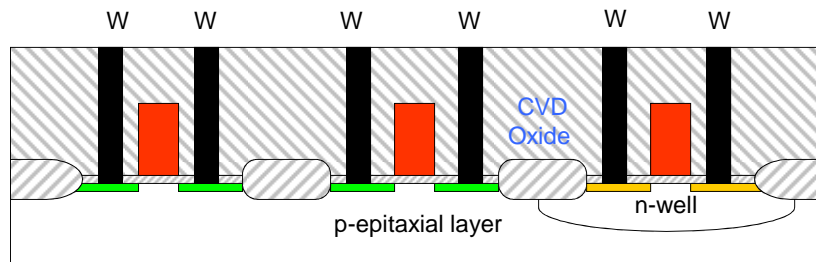
ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 130

Επαφές διαμέσου στρώματος οξειδίου

- Ενεργή επαφή, μετά από το CVD οξείδιο, γέμισμα οπών με βολφράμιο (W).

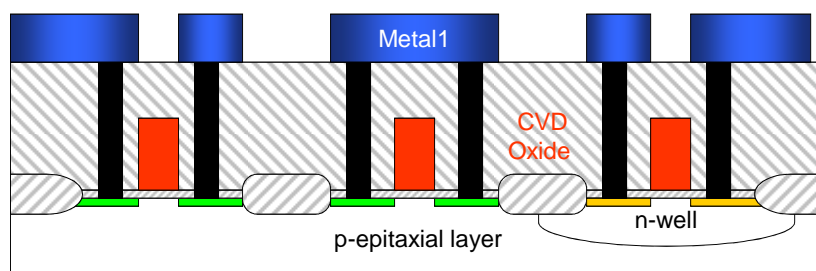


ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 131

Εναπόθεση μετάλλου 1 και μορφοποίηση



ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 132

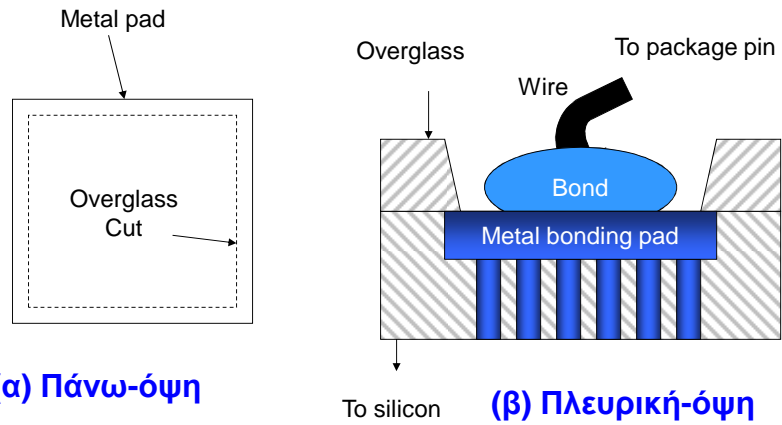
Απομακρυσμένα μεταλλικά στρώματα και ανοίγματα για τη διασύνδεση των διαφορετικών μεταλλικών στρώσεων (vias)

ΤΑ 50017 L5: Διεργασίες Κατασκευής Slide 133

Τελικές Μάσκες : Ανώτατο Μέταλλο και επικάλυψη για την προστασία του κυκλώματος (passivation)

ΤΑ 50017 L5: Διεργασίες Κατασκευής Slide 134

Δομή ανώτατου μετάλλου για επαφή εξωτερικής πρόσβασης (metal pad)

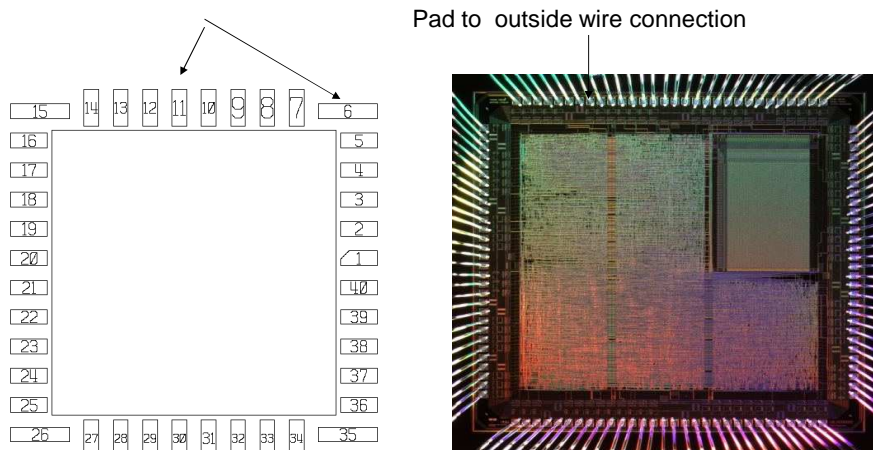


ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 135

Bonding Pad

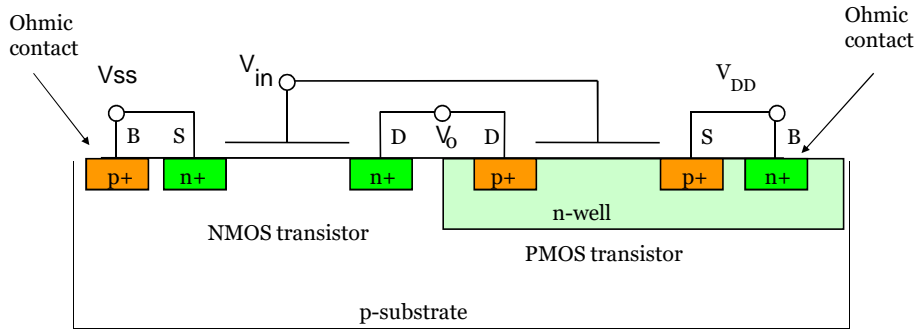


ΤΛ 50017

L5: Διαργασίες Κατασκευής

Slide 136

Ohmic Contact of CMOS

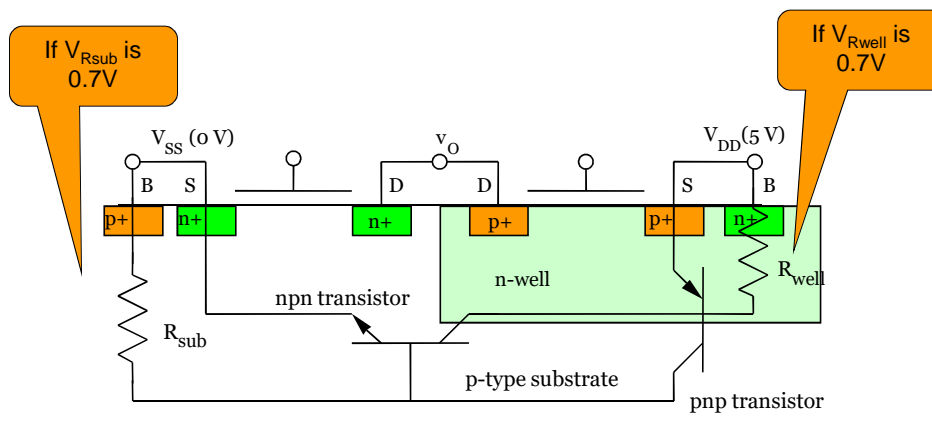


TA 50017

L5: Διαργασίες Κατασκευής

Slide 137

CMOS Latchup



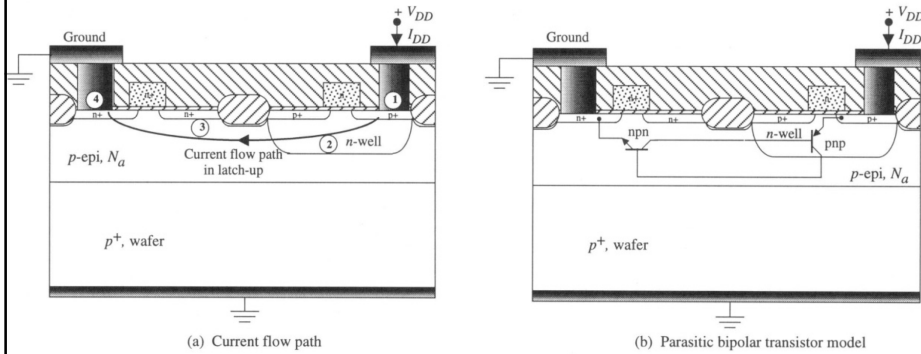
TA 50017

L5: Διαργασίες Κατασκευής

Slide 138

CMOS Latchup

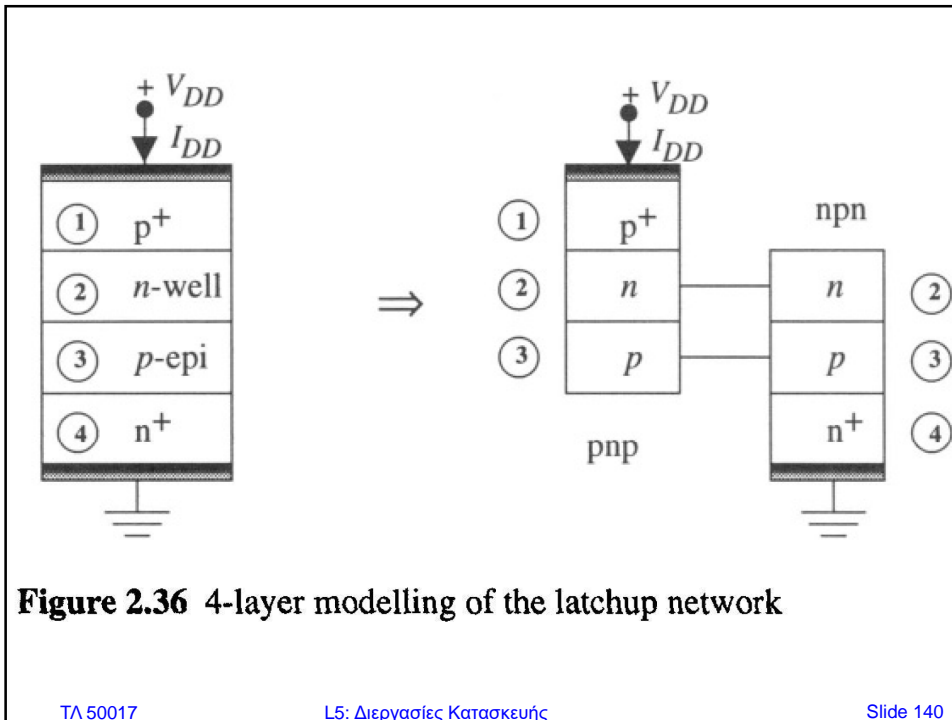
- ❑ Latchup is the condition in which the **paracitic** components give rise to the establishment of low resistance conducting paths between VDD and Ground.
- ❑ The CMOS structure contains **parasitic bipolar transistors** that have the potential to destroy the CMOS circuitry.



TA 50017

L5: Διαργασίες Κατασκευής

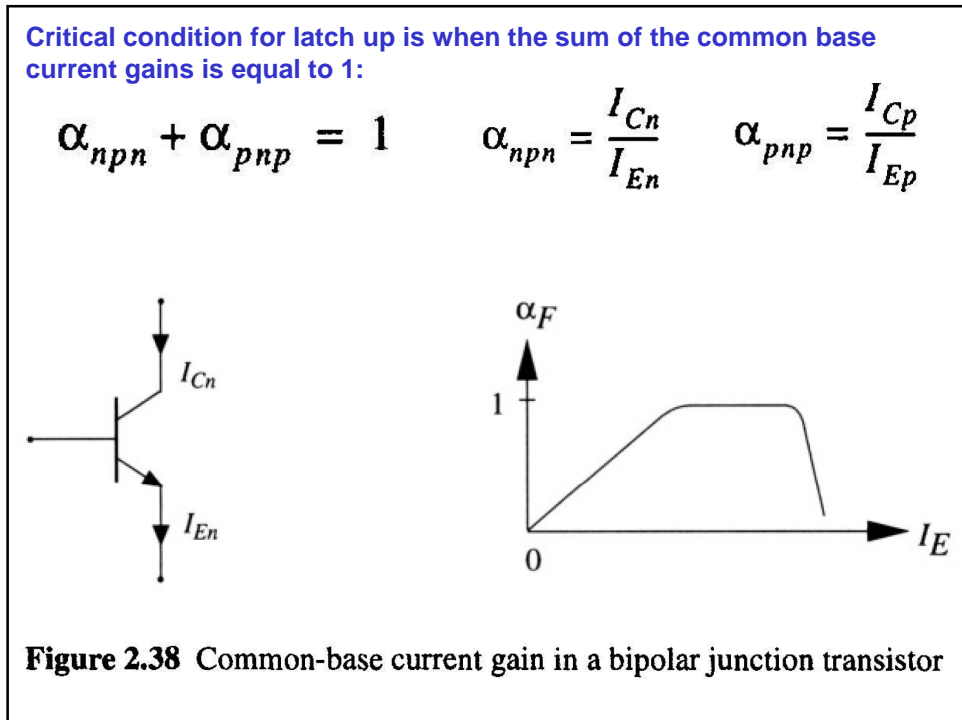
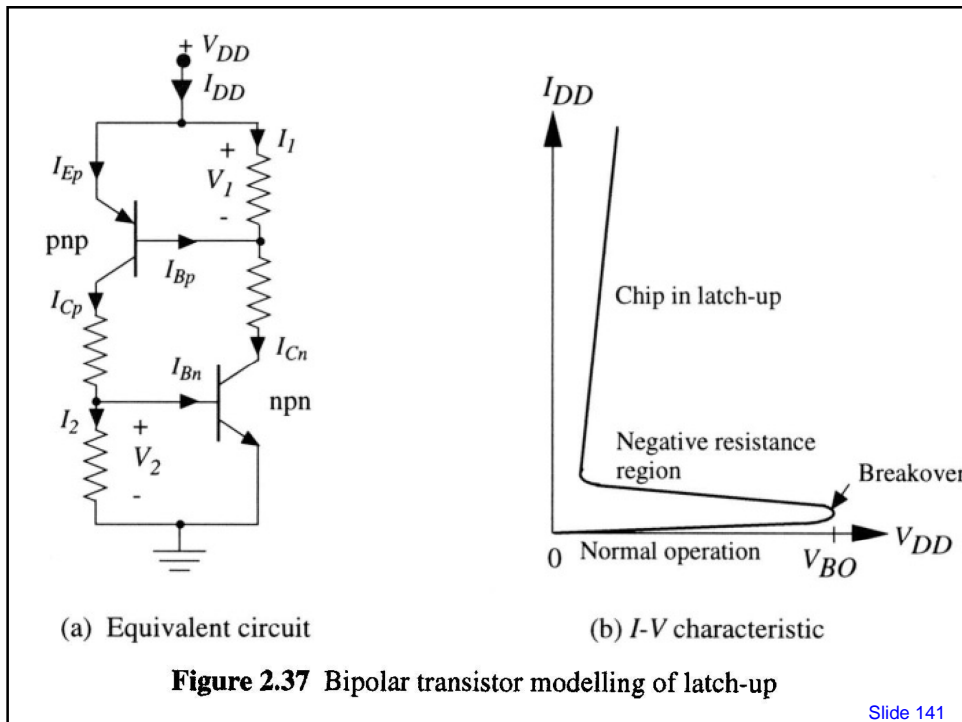
Slide 139



TA 50017

L5: Διαργασίες Κατασκευής

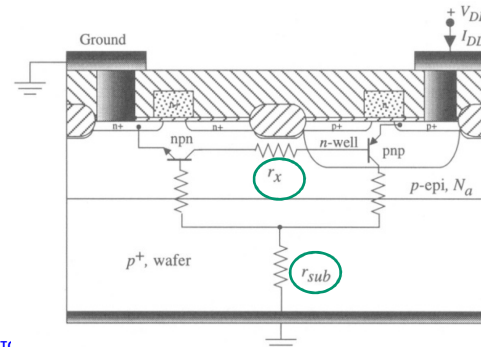
Slide 140



Preventing latch-up

- ❑ An increase in the substrate doping levels with consequent **drop** in the value of R_{sub}
- ❑ **Reducing** R_{well} by control fabrication parameters by ensuring a low contact resistance to V_{ss}
- ❑ **Guard Ring** around devices or groups of same-polarity devices

A guard ring is a doped region that surrounds the MOSFET(s) and is biased by the power supply (if it is an n-type ring) or ground (for the case of a p-type ring). The physical extent of the guard ring increases the BJT base widths, while the bias helps maintain well-defined potentials. Rings help avoid latchup, but do consume chip real estate.



An increase in the effective resistance r_x can be achieved by using trench isolation (instead of LOCOS) to provide a glass block between the two parasitic devices.

TA 50017

L5: Διαργασίες Κατ

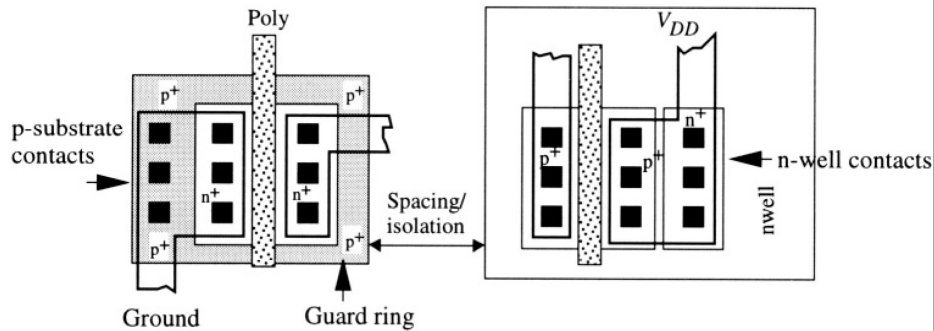


Figure 2.40 Layout for latchup prevention

TA 50017

L5: Διαργασίες Κατασκευής

Slide 144

Variations

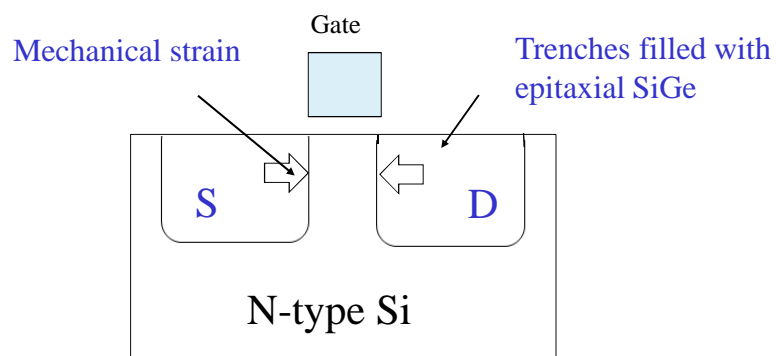
- ❑ Strained Silicon
- ❑ Slicides (Si + Pt)
- ❑ The use of copper as an interconnect material
- ❑ Lightly doped drain and source

ΤΑ 50017

L5: Διεργασίες Κατασκευής

Slide 145

Strained Silicon: example of innovations

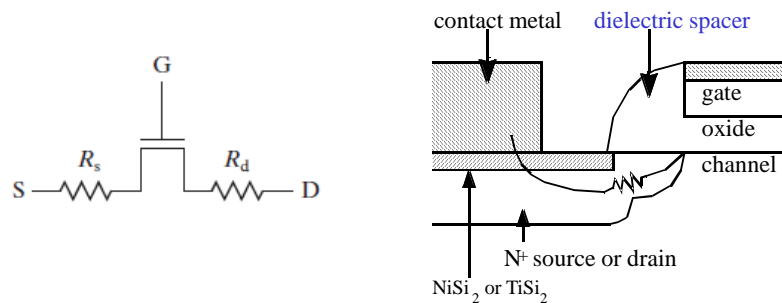


The electron and hole mobility can be raised by carefully designed mechanical strain.

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-146

SALICIDE (Self-Aligned Silicide) Source/Drain



After the spacer is formed, a Ti or Mo film is deposited. Annealing causes the silicide to be formed over the source, drain, and gate. Unreacted metal (over the spacer) is removed by wet etching.

Question:

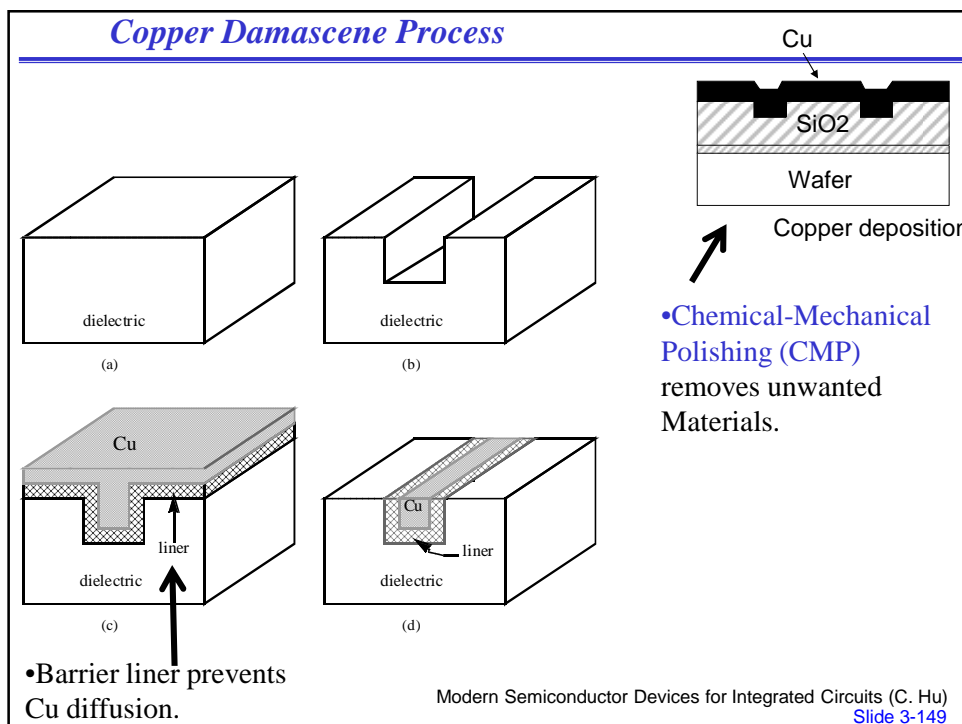
- What is the purpose of siliciding the source/drain/gate?
- What is self-aligned to what?

Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 4-147

Copper As Interconnection

- The **resistivity** of copper is one-half of aluminum
- It cannot be **patterned** using standard technique
- It is very difficult to **etch**
- It **diffuses** very rapidly through silicon and can alter the electrical characteristics



Οι περιοχές πλευρικής νόθευσης ελαττώνουν το φαινόμενο θερμών ηλεκτρονίων

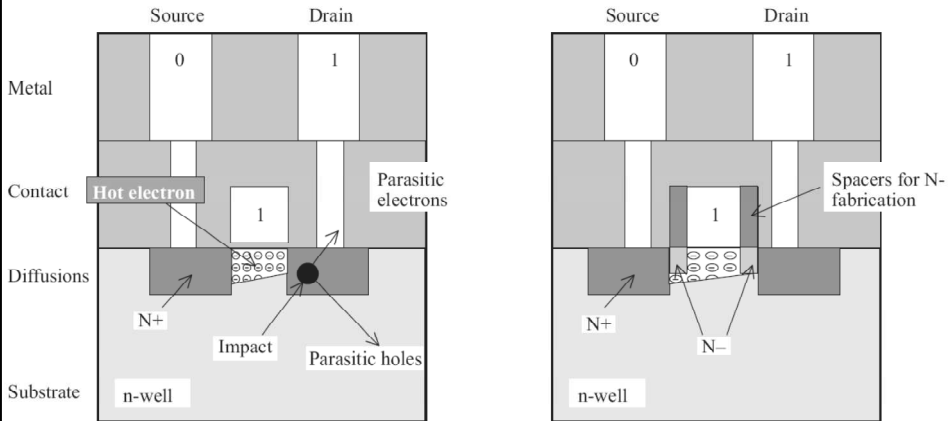
- ❑ Η περιοχή πλευρικής διάχυσης (LDD) είναι μια μικρή περιοχή διάχυσης χαμηλής νόθευσης, στη διεπιφάνεια μεταξύ της υποδοχής/πηγής και του καναλιού. Μια ελαφριά νόθευση ελαττώνει το τοπικό ηλεκτρικό πεδίο στα όρια της υποδοχής/πηγής και της πύλης. Τα ηλεκτρόνια τα οποία επιταχύνονται κάτω από την πύλη υπό το μέγιστο ηλεκτρικό πεδίο, όπως δείχνεται στο επόμενο σχήμα, αποκτούν ενέργεια επαρκή για να δημιουργηθούν ζεύγη ηλεκτρονίων-οπών στην περιοχή της υποδοχής. Τέτοιου είδους ηλεκτρόνια καλούνται **“θερμά ηλεκτρόνια”**.
- ❑ Αυτό έχει ως συνέπεια τη δημιουργία παρασιτικών ρευμάτων στην περιοχή της υποδοχής. Ένα μέρος του ρεύματος ρέει προς τα κάτω, προς το υπόστρωμα, ενώ το άλλο μέρος συλλέγεται στην επαφή της υποδοχής. **Η περιοχές πλευρικής διάχυσης ελαττώνουν αποτελεσματικά αυτό το παρασιτικό φαινόμενο.** Αυτή η τεχνική άρχισε να εφαρμόζεται από την τεχνολογία των 0.5 μm και μετά.

ΤΑ 50017

L5: Διαργασίες Κατασκευής

Slide 150

Οι περιοχές πλευρικής νόθευσης ελαττώνουν το φαινόμενο θερμών ηλεκτρονίων



Απουσία περιοχής πλευρικής διάχυσης, φαινόμενα θερμών ηλεκτρονίων

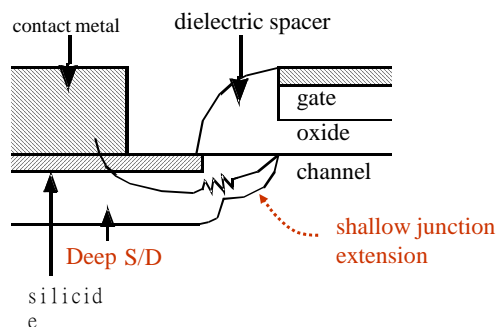
Περιοχές πλευρικής διάχυσης, **όχι** φαινόμενα θερμών ηλεκτρονίων

TA 50017

L5: Διεργασίες Κατασκευής

Slide 151

Shallow Junction and Metal Source/Drain



- The shallow junction extension helps to control V_t roll-off.
- Shallow junction and light doping combine to produce an undesirable parasitic resistance that reduces the precious I_{on} .
- Theoretically, metal S/D can be used as a very shallow "junction".

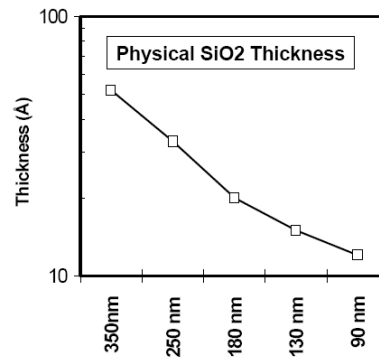
Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-152

• **Vertical dimensions (T_{ox} , W_{dep} , X_j) must be scaled to support L reduction.**

$$V_t = V_{t-long} - (V_{ds} + 0.4) \cdot e^{-L/l_d}$$

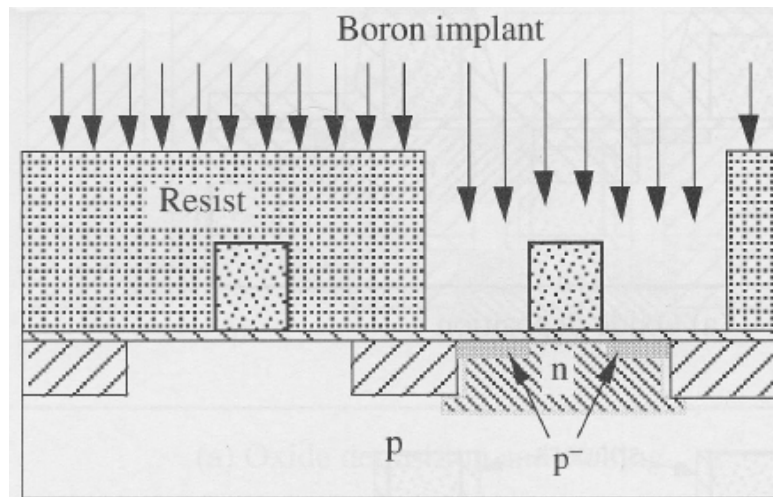
where $l_d \approx \sqrt[3]{T_{ox} W_{dep} X_j}$



Modern Semiconductor Devices for Integrated Circuits (C. Hu)

Slide 7-153

Μάσκες 4 και 5: Περιοχές διάχυσης

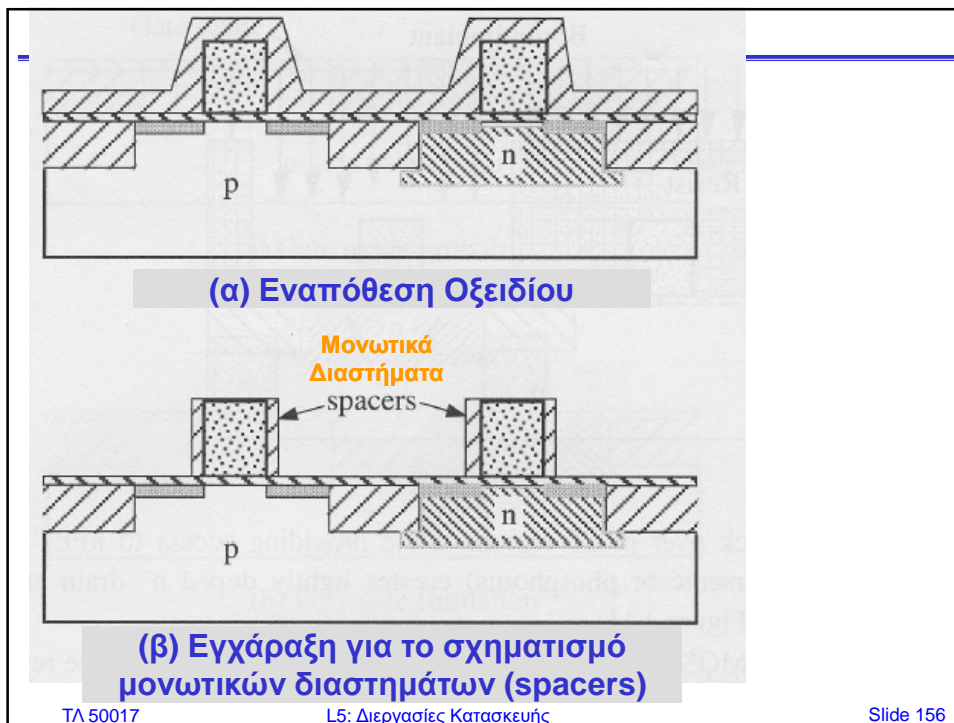
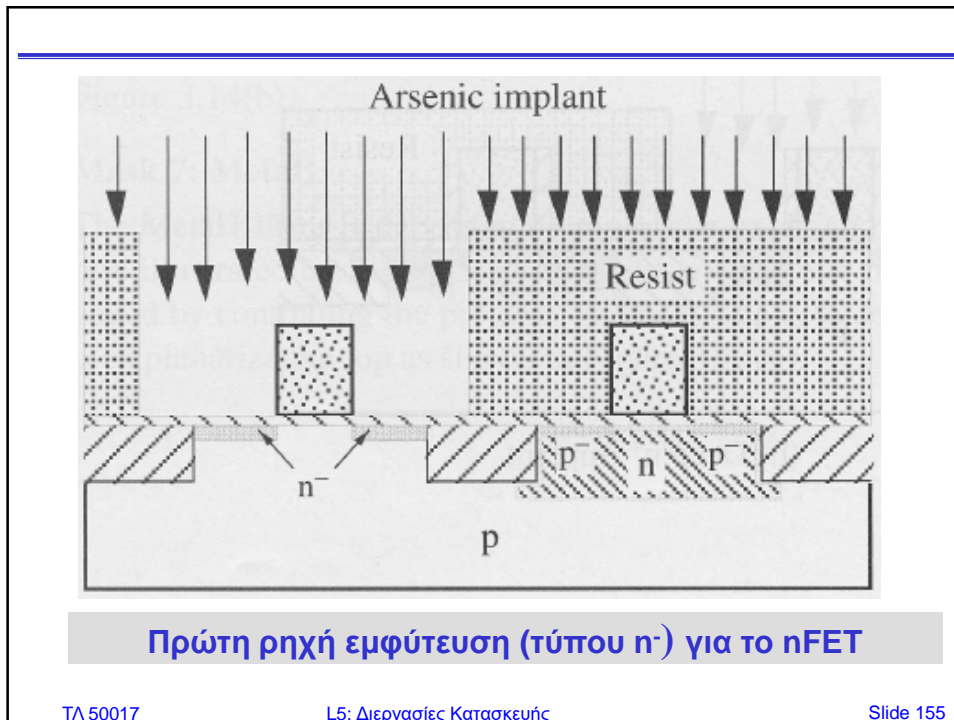


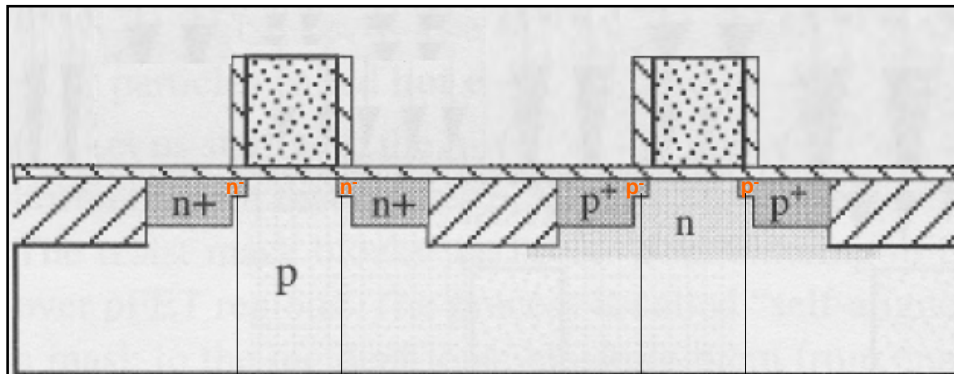
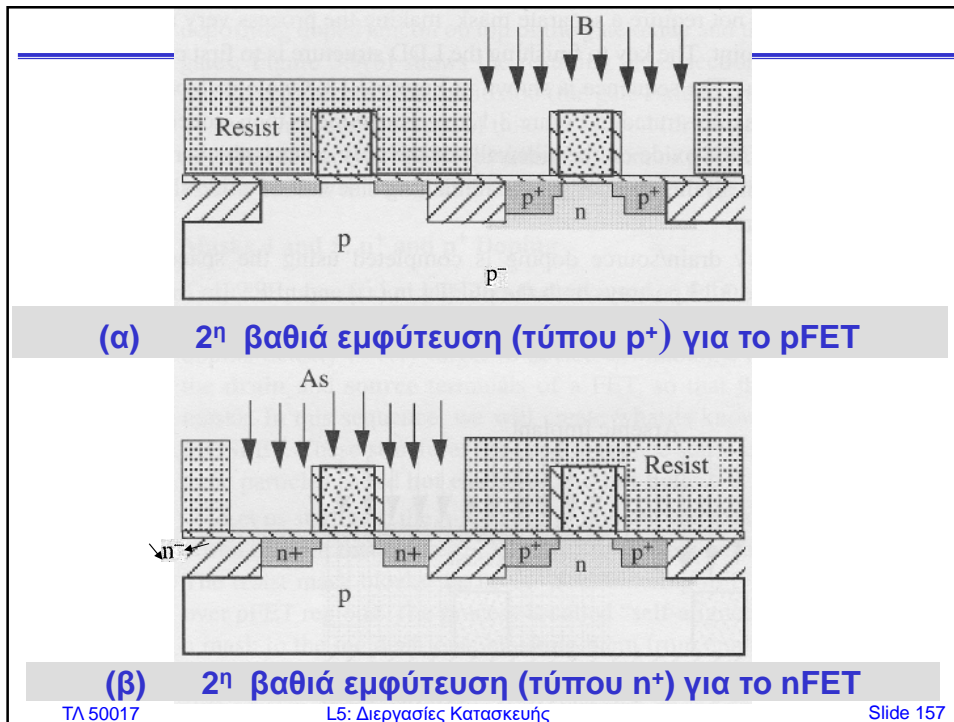
Πρώτη ρηχή εμφύτευση (τύπου p⁻) για το pFET

ΤΑ 50017

L5: Διαργασίες Κατασκευής

Slide 154





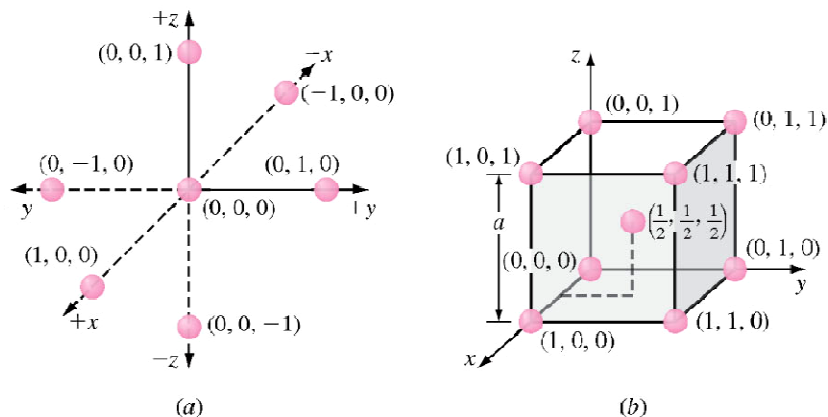
Περιοχές πλευρικής διάχυσης ελαφριάς νόθευσης (Lateral Drain Diffusion, LDD)

Με τα προηγούμενα βήματα καταργασίας με τις μάσκες 4 και 5, δηλ.:

- A) 1^η ρηχή ελαφριά εμφύτευση τύπου-p⁻ (n⁻), για το pFET (nFET)
- B) σχηματισμός μονωτικών διαστημάτων
- Γ) 2^η βαθιά ισχυρή εμφύτευση τύπου-p⁺ (n⁺), για το pFET (nFET)

Επιτυγχάνεται ο σχηματισμός μικρών περιοχών διάχυσης χαμηλής νόθευσης στη διεπιφάνεια μεταξύ πηγής/υποδοχής και καναλιού.

Πλεγματικές θέσεις μια κυβικής μοναδιαίας κυψελίδας



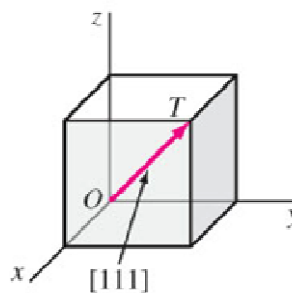
159

Κρυσταλλικές διευθύνσεις

- Διαλέγουμε αυθαίρετα ένα πλεγματικό σημείο σαν αρχή, O .
- Διαλέγουμε ένα διάνυσμα που ενώνει το O με κάποιο σημείο μιας γραμμής, π.χ. T . Ταυτό το διάνυσμα γράφεται

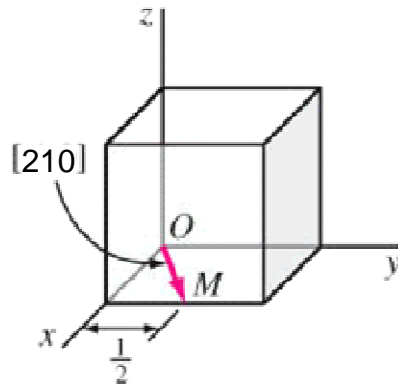
$$R = n_1 a + n_2 b + n_3 c$$

- Αγκύλες $[\dots]$ δηλώνουν διεύθυνση
- $[n_1 n_2 n_3]$ είναι οι μικρότεροι ακέραιοι.



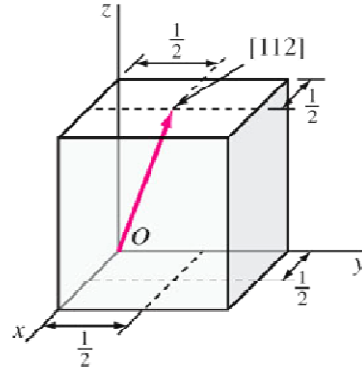
160

παραδείγματα



$$X = 1, Y = \frac{1}{2}, Z = 0$$

$$[1 \frac{1}{2} 0] \rightarrow [2 \ 1 \ 0]$$



$$X = \frac{1}{2}, Y = \frac{1}{2}, Z = 1$$

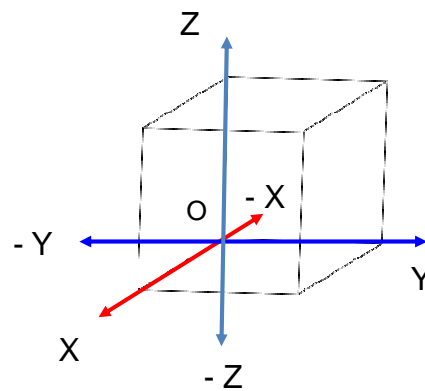
$$[\frac{1}{2} \ \frac{1}{2} \ 1] \rightarrow [1 \ 1 \ 2]$$

161

Αρνητικές διευθύνσεις

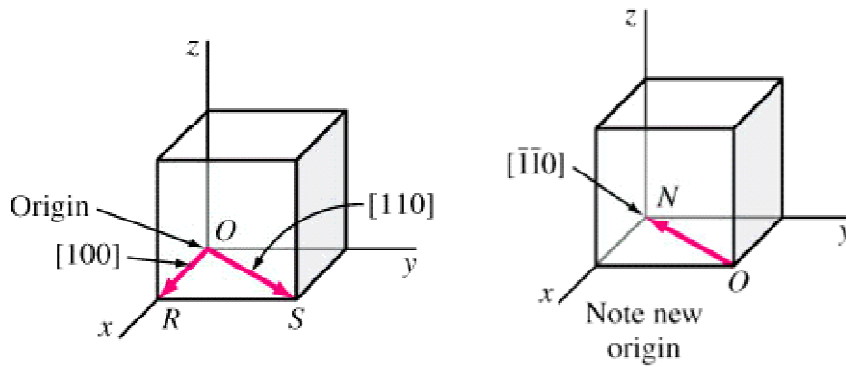
$$[\bar{n}_1 \bar{n}_2 \bar{n}_3]$$

- $R = n_1 a + n_2 b + n_3 c$



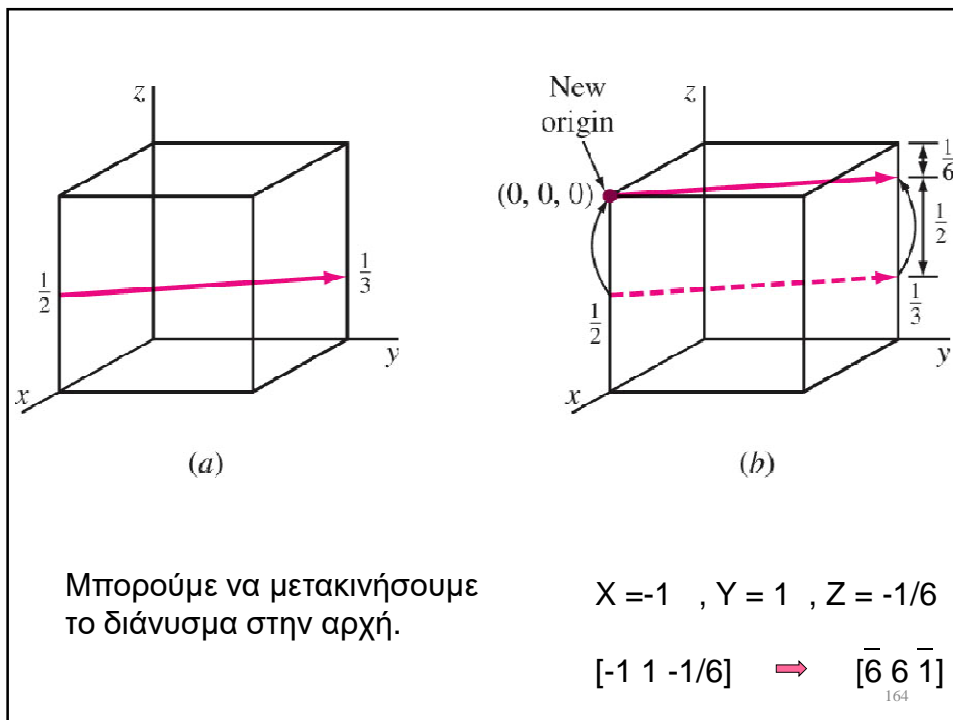
162

Παραδείγματα διευθύνσεων



$$X = 1, Y = 0, Z = 0 \rightarrow [1\ 0\ 0] \quad X = -1, Y = -1, Z = 0 \rightarrow [\bar{1}\bar{1}0]$$

163



Μπορούμε να μετακινήσουμε το διάνυσμα στην αρχή.

$$X = -1, Y = 1, Z = -1/6$$

$$[-1\ 1\ -1/6] \rightarrow [\bar{6}\ 6\ \bar{1}]$$

164

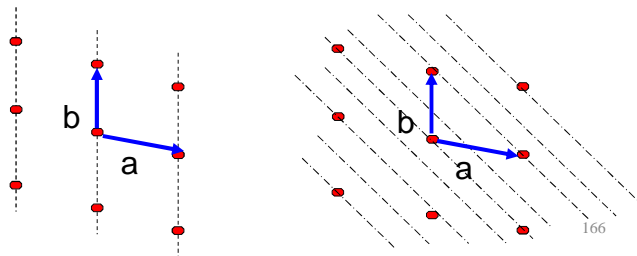
Με $\langle n_1 n_2 n_3 \rangle$ συμβολίζουμε όλες τις κρυσταλλογραφικές διευθύνσεις που είναι **ισοδύναμες λόγω συμμετρίας με την $[n_1 n_2 n_3]$** , για παράδειγμα, σε έναν κύβο οι διευθύνσεις $[100]$, $[010]$, $[001]$, $[\bar{1}00]$, $[0\bar{1}0]$ και $[00\bar{1}]$ είναι όλες ισοδύναμες και συμβολίζονται με $\langle 100 \rangle$.

165

Κρυσταλλικά επίπεδα

- Ένα "πλέγματικό επίπεδο" ορίζεται σαν ένα επίπεδο που περιέχει τουλάχιστον τρία μη-συγκολλητικά πλέγματικά σημεία Bravais.
- Με τον όρο "οικογένεια πλέγματικών επιπέδων" εννοούμε ένα σύνολο παραλλήλων και ισοαπέχοντων πλέγματικών επιπέδων τα οποία μαζί περιέχουν όλα τα σημεία του πλέγματος Bravais.

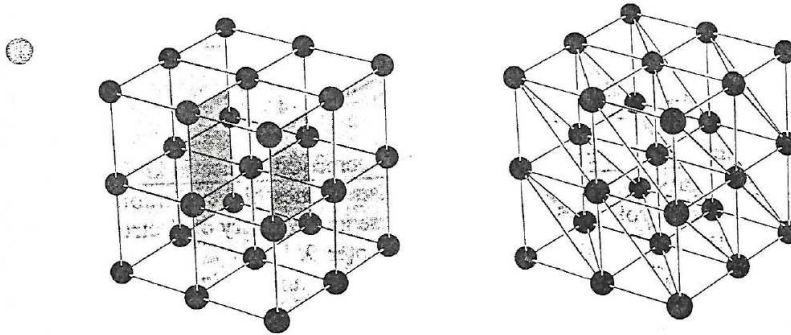
Σύνολο επιπέδων σε 2D πλέγμα.



166

Κρυσταλλικά επίπεδα

Προφανώς η διαμέριση ενός πλέγματος Βρανάις σε μια οικογένεια πλέγματικών επιπέδων δεν είναι μοναδική. Δύο δυνατές οικογένειες πλέγματικών επιπέδων για ένα από κυβικό πλέγμα Βρανάις φαίνονται παρακάτω:



Κρυσταλλικά Επίπεδα– Δείκτες MILLER

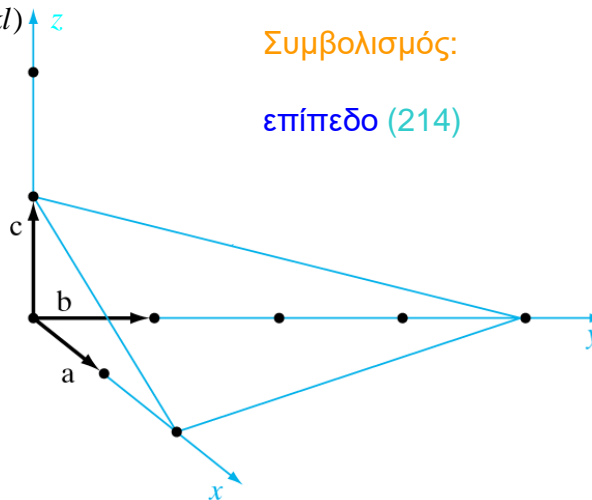
Πώς βρίσκω το επίπεδο (hkl) (όπου h, k, l οι δείκτες MILLER)

1. **Προσδιορίζω** τα σημεία τομής του επιπέδου με τους κρυσταλλικούς άξονες και εκφράζω τα σημεία τομής σαν ακέραια πολλαπλάσια των θεμελιωδών διανυσμάτων.
2. **Παίρνω** τους αντίστροφους των 3 ακεραίων που βρέθηκαν στο βήμα 1 και μετατρέπω τα κλάσματα που προκύπτουν στην μικρότερη ομάδα ακεραίων h, k, l .
3. **Συμβολίζω** το επίπεδο ως (hkl)

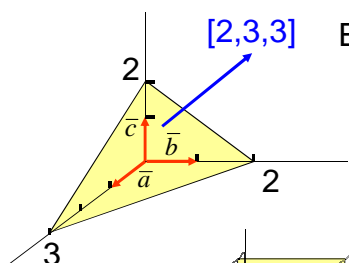
Σημεία τομής: 2, 4, 1

Αντίστροφοι: $\frac{1}{2}, \frac{1}{4}, 1$

Μικρότερη ομάδα
ακεραίων: 2, 1, 4



Δείκτες Miller

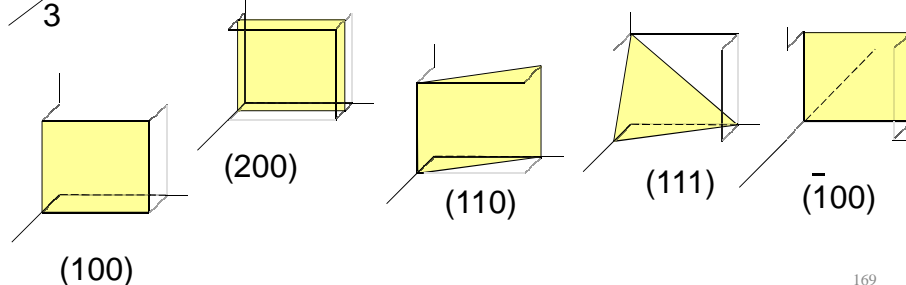


Επίπεδο τέμνοντας τους άξονες $3\bar{a}, 2\bar{b}, 2\bar{c}$

Αντίστροφοι αριθμοί: $\frac{1}{3}, \frac{1}{2}, \frac{1}{2}$

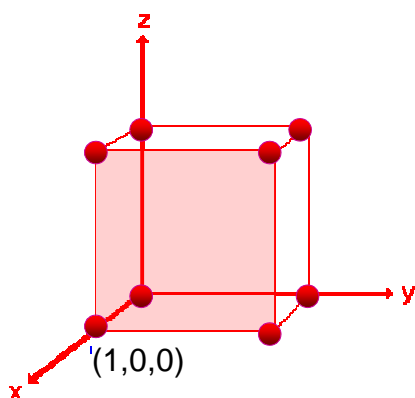
Δείκτες επιπέδου(Miller): $(2,3,3)$

Δείκτες της διεύθυνσης: $[2,3,3]$



169

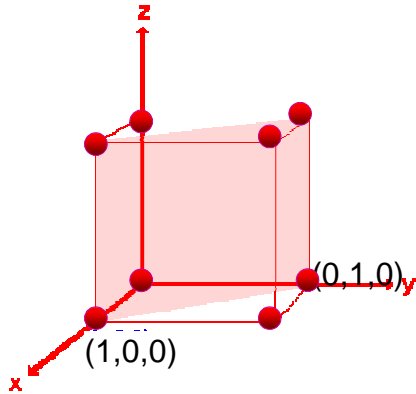
Δείκτες Miller



άξονας	x	y	z
Σημεία τομής	1	∞	∞
αντίστροφο	1/1	1/ ∞	1/ ∞
Μικρότερος λόγος	1	0	0
Δείκτες Miller (100)			

170

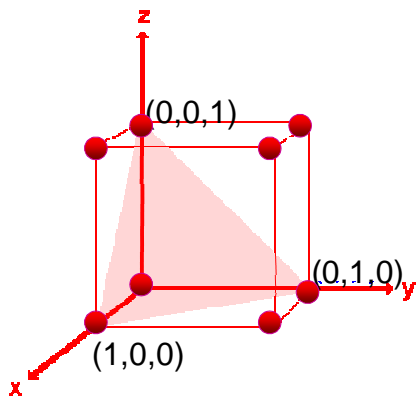
Παράδειγμα 2



άξονες	x	y	z
Σημεία τομής	1	1	∞
αντίστροφα	1/1	1/1	1/ ∞
Μικρότερος λόγος	1	1	0
Δείκτες Miller (110)			

171

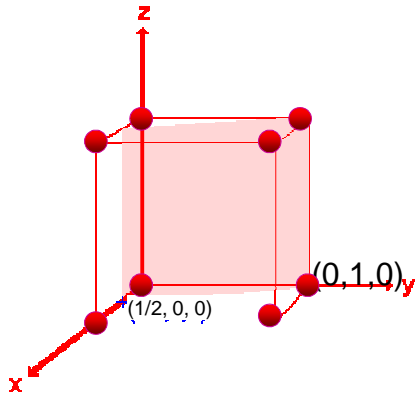
Παράδειγμα 3



άξονες	x	y	z
Σημεία τομής	1	1	1
αντίστροφα	1/1	1/1	1/1
Μικρότερος λόγος	1	1	1
Δείκτες Miller (111)			

172

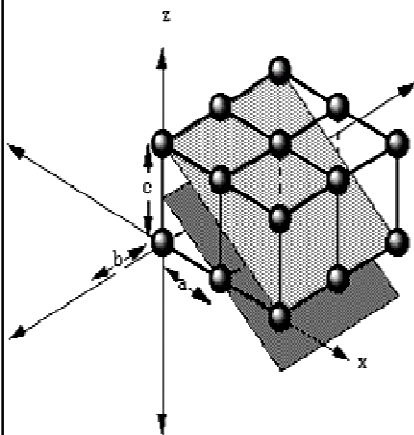
Παράδειγμα 4



άξονες	x	y	z
Σημεία τομής	1/2	1	∞
αντίστροφα	1/(1/2)	1/1	1/ ∞
Μικρότερος λόγος	2	1	0
Δείτες Miller (210)			

173

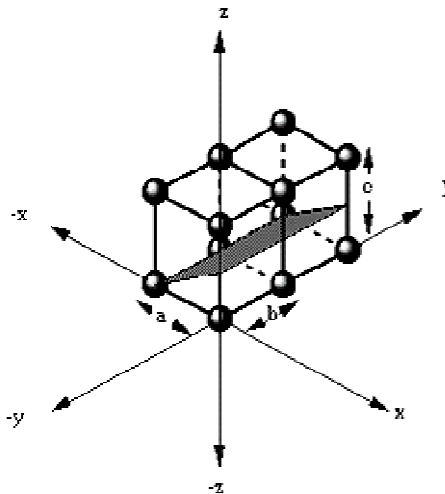
Παράδειγμα 5



άξονες	a	b	c
Σημεία τομής	1	∞	1/2
αντίστροφα	1/1	1/ ∞	1/(1/2)
Μικρότερος λόγος	1	0	2
Δείκτες Miller (102)			

174

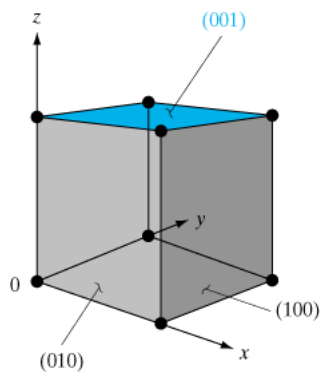
Παράδειγμα 6



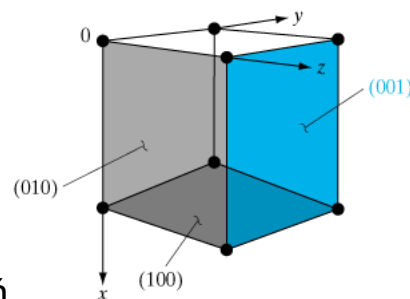
άξονες	a	b	c
Σημεία τομής	-1	∞	$\frac{1}{2}$
αντίστροφα	1/-1	1/ ∞	1/($\frac{1}{2}$)
Μικρότερος λόγος	-1	0	2
Δείκτες Miller ($\bar{1}02$)			

175

Οικογένειες Κρυσταλλικών Επιπέδων



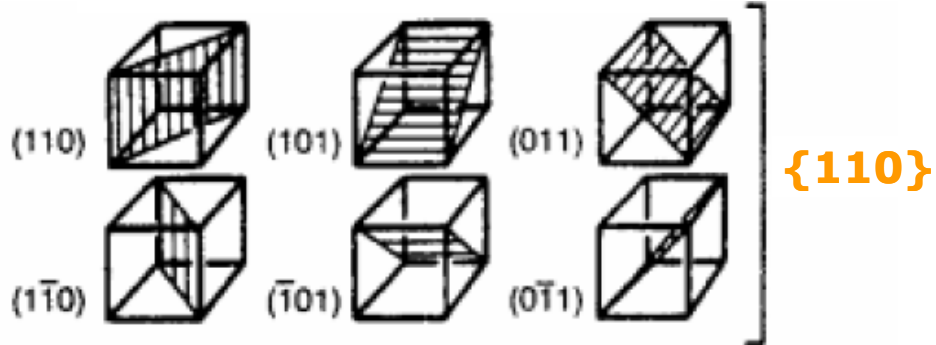
Οικογένεια των
ισοδύναμων $\Rightarrow \{100\}$
εδρών του κύβου



Οι έδρες του κύβου είναι
ισοδύναμες με περιστροφή
της μοναδιαίας κυψελίδας
μέσα στο κυβικό πλέγμα .

Slide 176

Οικογένειες Κρυσταλλικών Επιπέδων



Slide 177