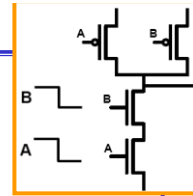


Μάθημα 10:



Ηλεκτρονική Ανάλυση Πυλών CMOS

4. Στατικές Χαρακτηριστικές NAND/NOR
5. Δυναμικές Χαρακτηριστικές NAND/NOR
6. Σύνθετες Λογικές Πυλες

Λευτέρης Καπετανάκης



Ελληνικό Μεσογειακό Πανεπιστήμιο
Τμήμα Ηλεκτρονικών Μηχανικών
2021-2022

TA 503

L10: NAND/NOR CMOS

Slide 1

ΣΗΜΕΙΩΣΗ: Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

TA 5017

L10: NAND/NOR CMOS

Slide 2

Μεταβάσεις Σήματος Πύλης Πολλαπλών-Εισόδων

• Στις πύλες πολλαπλών εισόδων οι αλλαγές στην έξοδο παράγονται από πολλαπλές μεταβάσεις σήματος.

• Ποιες μεταβάσεις σήματος χρειάζεται να αναλυθούν;

- για μια γενική πύλη N-εισόδων με M_0 χαμηλές καταστάσεις εξόδου και M_1 ψηλές καταστάσεις εξόδου

- # μεταβάσεις εξόδου ψηλό-σε-χαμηλό = $M_0 \cdot M_1$
- # μεταβάσεις εξόδου χαμηλό-σε-ψηλό = $M_1 \cdot M_0$
- συνολικές μεταβάσεις προς εξέταση = $2 \cdot M_0 \cdot M_1$
- παράδειγμα: η NAND έχει $M_0 = 1$, $M_1 = 3$

	V_A	V_B	V_{out}
(i)	0	0	V_{DD}
(ii)	0	V_{DD}	V_{DD}
(iii)	V_{DD}	0	V_{DD}
	V_{DD}	V_{DD}	0

(a). Transition table

- περιπτώσεις οι οποίες δεν επιφέρουν μεταβάσεις εξόδου δεν εξετάζονται

• Καυστέρηση χειρότερης περίπτωσης είναι η πιο αργή από όλες τις πιθανές περιπτώσεις

- χειρότερη-περίπτωση ψηλό-σε-χαμηλό

- χειρότερη-περίπτωση χαμηλό-σε-ψηλό

- συνήθως, καθεμιά από αυτές τις περιπτώσεις συμβαίνει σε διαφορετικές μεταβάσεις εισόδου

TA 5017

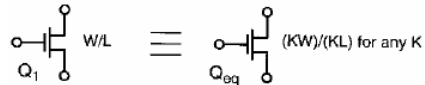
L10: NAND/NOR CMOS

Slide 3

Σειριακά/Παράλληλα Ισοδύναμα Κυκλώματα

• Η μεταβολή και του W και του L

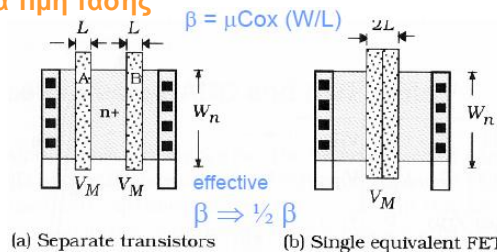
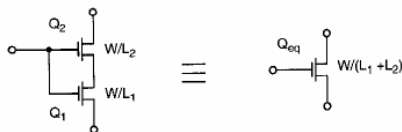
- καμιά ουσιαστική αλλαγή στο W/L
- αυξάνει/μειώνει τη χωρητικότητα πύλης



Οι εισοδοί πρέπει να είναι στην ίδια τιμή τάσης

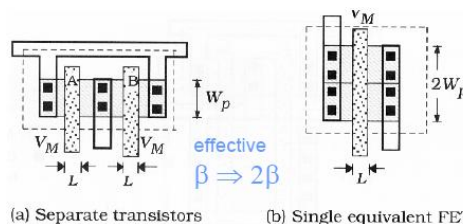
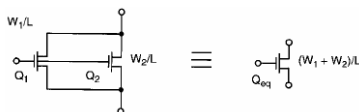
• Σειριακά Τρανζίστορ

-το ενεργό L αυξάνει



• Παράλληλα Τρανζίστορ

-το ενεργό W αυξάνει



TA 5017

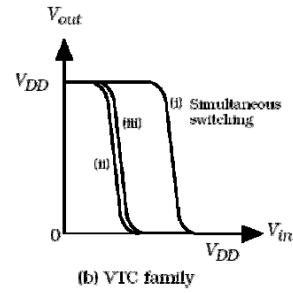
L10: NAND/NOR CMOS

Slide 4

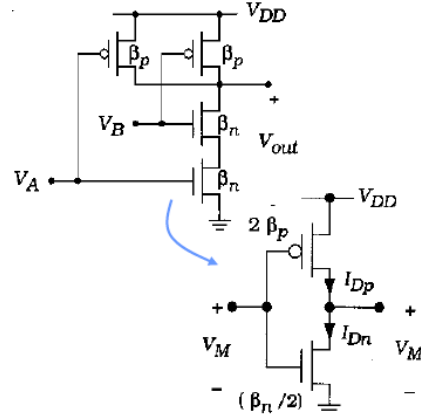
NAND: DC Ανάλυση

- Πολλαπλές Είσοδοι
- Πολλαπλές Μεταβάσεις
- Πολλαπλές ΧΜΤ
 - η ΧΜΤ αλλάζει με τη μετάβαση
 - μετάβαση από το 0,0 στο 1,1 βρίσκεται προς τα δεξιά των άλλων

	V_A	V_B	V_{out}
(i)	0	0	V_{DD}
(ii)	0	V_{DD}	V_{DD}
(iii)	V_{DD}	0	V_{DD}
	V_{DD}	V_{DD}	0



- V_M αλλάζει με τη μετάβαση
 - Έστω ότι όλα τα τρζ έχουν ίδιο L
 - $V_M = V_A = V_B = V_{out}$
 - μπορούν να ενωθούν σε αυτό το σημείο
 - αν $W_{pA} = W_{pB}$ και $W_{nA} = W_{nB}$
 - σειριακά nMOS, $\beta_N \Rightarrow \frac{1}{2}\beta_n$
 - παράλληλα pMOS, $\beta_P \Rightarrow 2\beta_p$
- τώρα μπορούμε να υπολογίσουμε το V_M της NAND



NAND: Σημείο Μετάβασης V_M

- Υπολογισμός V_M για τη NAND
 - μετάβαση 0,0 σε 1,1
 - όλα τα τρζ αλλάζουν καταστάσεις (on, off)
 - στις άλλες μεταβάσεις, μόνο 2 αλλάζουν
 - $V_M = V_A = V_B = V_{out}$
 - θέστε $I_{Dn} = I_{Dp}$, λύστε για V_M

$$V_M = \frac{V_{DD} - |V_{tp}| + V_m \frac{1}{2} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \frac{1}{2} \sqrt{\frac{\beta_n}{\beta_p}}}$$

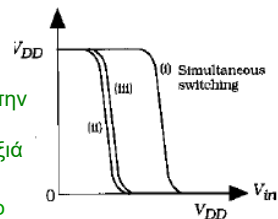
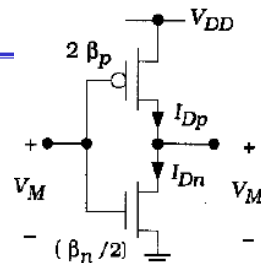
σειριακά nMOS σημαίνει μεγαλύτερη αντίσταση για την πτώση της εξόδου, μετατοπίζει τη ΧΜΤ στα δεξιά

Για να εξισορροπήσουμε το φαινόμενο αυτό και να θέσουμε V_M στο $V_{DD}/2$, μπορούμε να μεγαλώσουμε το

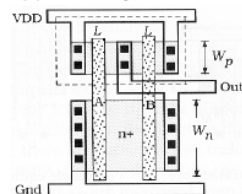
β μεγαλώνοντας το W_n

όμως, επειδή $m_n > m_p$, $V_M \approx V_{DD}/2$ όταν $W_n = W_p$

AND/NOR CMOS



(b) VTC family

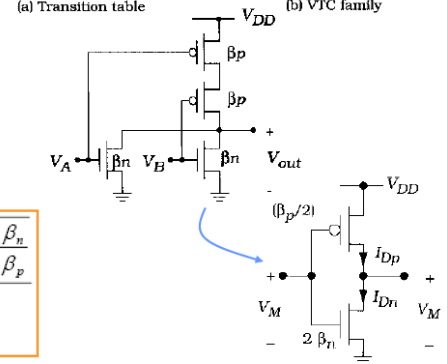
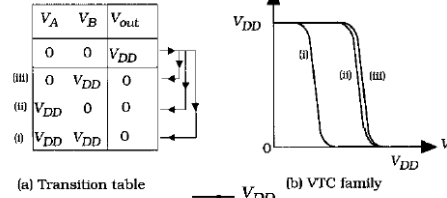


- Για NAND με N εισόδους

$$V_M = \frac{V_{DD} - |V_{tp}| + V_m \frac{1}{N} \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \frac{1}{N} \sqrt{\frac{\beta_n}{\beta_p}}}$$

NOR: DC Ανάλυση

- Όμοια ανάλυση με τη NAND
- Κρίσιμη μετάβαση
 - 0,0 σε 1,1
 - όταν αλλάζουν όλα τα τρζ
- V_M για NOR2 κρίσιμη μετάβαση
 - αν $W_{pA} = W_{pB}$ και $W_{nA} = W_{nB}$
 - παράλληλα nMOS, $\beta_N \Rightarrow 2\beta_n$
 - σειριακά pMOS, $\beta_p \Rightarrow \frac{1}{2}\beta_p$



$$V_M = \frac{V_{DD} - |V_p| + 2V_m \sqrt{\frac{\beta_n}{\beta_p}}}{1 + 2\sqrt{\frac{\beta_n}{\beta_p}}}$$

$$V_M = \frac{V_{DD} - |V_p| + NV_m \sqrt{\frac{\beta_n}{\beta_p}}}{1 + N\sqrt{\frac{\beta_n}{\beta_p}}}$$

NOR2

NOR-N

- σειριακά pMOS σημαίνει μεγαλύτερη αντίσταση για την άνοδο της εξόδου, μετατοπίζει τη ΧΜΤ στα αριστερά

- Για να εξισορροπήσουμε το φαινόμενο αυτό και να θέσουμε V_M στο $V_{DD}/2$, μπορούμε να μεγαλώσουμε το W_p

10: N • μεγαλώνουμε το β_p

Slide 7

Αντίσταση σύνθετης πύλης

- Κάθε τρανζίστορ αντιστοιχεί σε μία αντίσταση. Η συνδεσμολογία των τρανζίστορ καθορίζει και τη συνολική αντίσταση.

$$R_n = \frac{1}{\beta_n \cdot (V_{dd} - V_{tn})}, \quad \beta_n = \frac{\mu_n \cdot \epsilon_o}{t_{ox}} \cdot \frac{W_n}{L_n}$$

$$R_p = \frac{1}{\beta_p \cdot (V_{dd} - V_{tp})}, \quad \beta_p = \frac{\mu_p \cdot \epsilon_o}{t_{ox}} \cdot \frac{W_p}{L_p}$$

Αντίσταση σύνθετης πύλης

- Ισχύουν οι τύποι υπολογισμού της συνολικής αντίστασης για συνδεσμολογίες σε σειρά και παράλληλα.

$$R_{ολ-σειρα} = R_1 + R_2 + R_3 + \dots + R_N$$

$$\frac{1}{R_{ολ-παρ}} = \frac{1}{R_1} + \frac{1}{R_2} + \frac{1}{R_3} + \dots + \frac{1}{R_N}$$

TA 5017

L10: NAND/NOR CMOS

Slide 9

NAND: Δυναμική Ανάλυση

• NAND RC κύκλωμα

- R: η συνήθης αντίσταση του καναλιού
- C: $C_{out} = C_L + C_{Dn} + 2C_{Dp}$

• Χρόνος ανόδου, t_r

- Χειρότερη περίπτωση φόρτισης
 - 1 pMOS ON

$$t_r = 2.2 \tau_p$$

$$\tau_p = R_p C_{out}$$

- Καλύτερη περίπτωση κυκλώματος φόρτισης

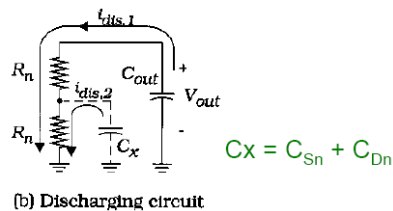
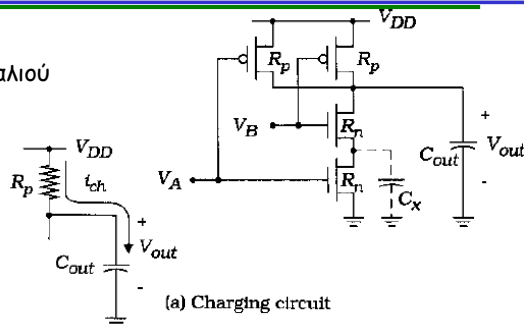
$$\tau_p = R_p / 2 C_{out}$$

• Χρόνος πτώσης, t_f

- κύκλωμα εκφόρτισης
 - 2 σειριακά nMOS, $R_n \Rightarrow 2R_n$
 - πρέπει να πάρουμε υπόψη την εσωτερική χωρητικότητα, C_x

$$t_f = 2.2 \tau_n$$

$$\tau_n = C_{out} (2 R_n) + C_x R_n$$

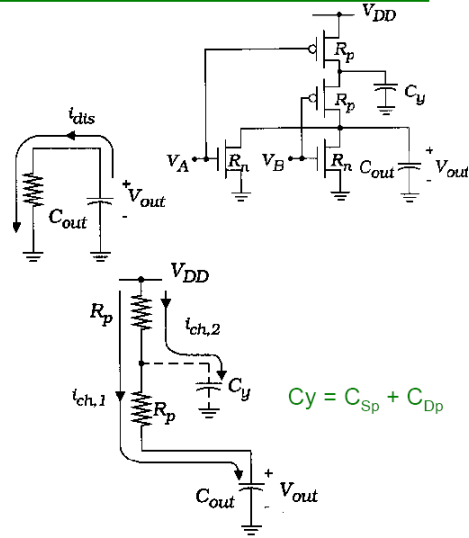


NOR CMOS

Slide 10

NOR: Δυναμική Ανάλυση

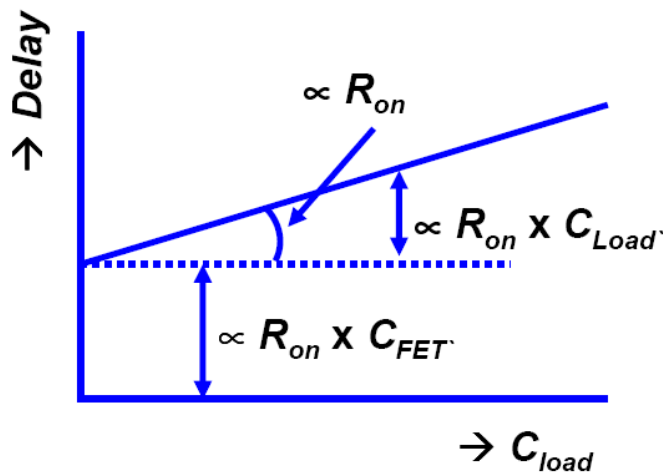
- NOR RC κύκλωμα
 - R: η συνήθης αντίσταση του καναλιού
 - C: $C_{out} = C_L + 2C_{Dn} + C_{Dp}$
- Χρόνος πτώσης, t_f
 - Χειρότερη περίπτωση εκφόρτισης
 - 1 nMOS ON
 - $t_f = 2.2 \tau_n$
 - $\tau_n = R_n C_{out}$
 - Καλύτερη περίπτωση κυκλώματος
 - 2 nMOS ON, $R_n \Rightarrow R_n/2$
- Χρόνος ανόδου, t_r
 - κύκλωμα φόρτισης
 - 2 σειριακά pMOS, $R_p \Rightarrow 2R_p$
 - πρέπει να πάρουμε υπόψη την εσωτερική χωρητικότητα, C_y
 - $t_r = 2.2 \tau_p$
 - $\tau_p = C_{out} (2 R_p) + C_y R_p$



T R CMOS

Slide 11

Χαρακτηρισμός Καυστέρησης Διάδοσης



TA 5017

L10: NAND/NOR CMOS

Slide 12

Απόδοση NAND/NOR

- Αντιστροφέας: συμμετρική ΧΜΤ ($V_M = V_{DD}/2$), $\beta_n = \beta_p$
 - $(W/L)_p = \mu_n/\mu_p (W/L)_n$
- Ταίριασμα της απόδοσης του INV με τη NAND
 - pMOS, $\beta_p = \beta_p$, ίδιο με του αντιστροφέα
 - nMOS, $\beta_N = 2\beta_n$, για να εξισορροπήσει τα 2 σειριακά nMOS
- Ταίριασμα της απόδοσης του INV με τη NOR
 - pMOS, $\beta_p = 2\beta_p$, για να εξισορροπήσει τα 2 σειριακά pMOS
 - nMOS, $\beta_N = \beta_n$, ίδιο με του αντιστροφέα

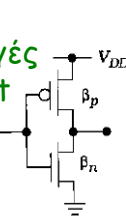
Τα β ρυθμίζονται αλλάζοντας το μέγεθος του τρζ (πλάτους)

• NAND και NOR θα συνεχίσουν να είναι πιο αργές λόγω της μεγαλύτερης C_{out}

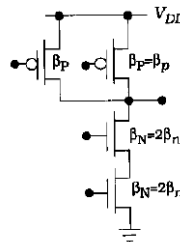
- Αυτό μπορεί να επεκταθεί σε πύλες NAND/NOR 3, 4, ...N εισόδων

TA 5017

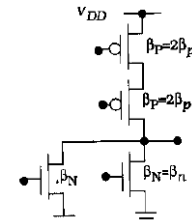
L10: NAND



(a) Inverter



(b) NAND2



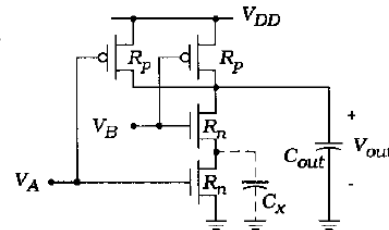
(c) NOR2

Συνοπτικά: NAND/NOR Δυναμική Συμπεριφορά

- Κρίσιμες Διαδρομές Καθυστέρησης
 - οι διαδρομές διαμέσου σειριακών τρζ θα είναι πιο αργές
 - περισσότερα σειριακά τρανζίστορ σημαίνει πιο πολλές καθυστερήσεις

- Εξέταση του μεγέθους των Τρζ

- αύξηση του W στα σειριακά τρανζίστορ
- εξισορρόπηση του λόγου β_n/β_p σε κάθε κύτταρο



- Χειρότερη περίπτωση μετάβασης

- όταν όλα τα τρανζίστορ πάνε από OFF σε ON
- και όλες οι εσωτερικές χωρητικότητες πρέπει να
 - φορτιστούν (NOR)
 - εκφορτιστούν (NAND)

TA 5017

L10: NAND/NOR CMOS

Slide 14

Μελέτη Απόδοσης

- Η ταχύτητα εξαρτάται από τα β_n , β_p και τις παρασιτικές χωρητικότητες
- DC απόδοση (V_M , θόρυβος) εξαρτάται από το λόγο β_n/β_p
- η σχεδίαση για ταχύτητα δεν παρέχει αναγκαστικά καλή απόδοση DC
- Γενικά ορίστε πρώτα το μέγεθος των τρζ για βέλτιστη ταχύτητα και μετά ελέγξτε τις DC χαρακτηριστικές για τη διασφάλιση ικανοποιητικής ανοσίας θορύβου.

- Επανάληψη Αντιστροφέα: Σημείο αναφοράς απόδοσης
 - για συμμετρική ΧΜΤ ($V_M = V_{DD}/2$), $\beta_n = \beta_p$
 - το οποίο απαιτεί $(W/L)_p = \mu_n/\mu_p (W/L)_n$
- Χρήση του αντιστροφέα σαν σημείο αναφοράς για πιο σύνθετες πύλες

ΤΑ 5017

L10: NAND/NOR CMOS

Slide 15

Δυναμική ανάλυση Σύνθετων Πυλών

- Κρίσιμη διαδρομή καθυστέρησης λόγω των σειριακά-συνδεδεμένων τρζ
- Παράδειγμα: $f = \overline{x(y+z)}$

- θεωρήστε ότι όλα τα τρζ έχουν ίδιο μέγεθος

- Κρίσιμη διαδρομή χρόνου πτώσης

- χειρότερη περίπτωση, x ON, και y ή z ON

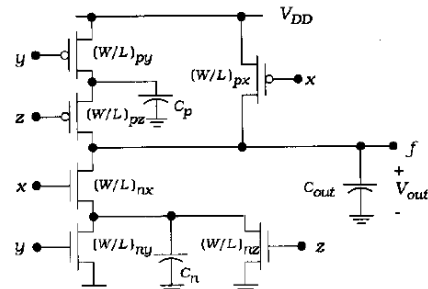
$$\begin{aligned}
 - t_f &= 2.2 \tau_n \\
 \bullet \tau_n &= R_n C_n + 2 R_n C_{out} \\
 - C_{out} &= 2C_{Dp} + C_{Dn} + C_L \\
 - C_n &= 2C_{Dn} + C_{Sn}
 \end{aligned}$$

- Κρίσιμη διαδρομή χρόνου ανόδου

- χειρότερη περίπτωση, y και z ON, x OFF

$$\begin{aligned}
 - t_r &= 2.2 \tau_p \\
 \bullet \tau_p &= R_p C_p + 2 R_p C_{out} \\
 - C_{out} &= 2C_{Dp} + C_{Dn} + C_L \\
 - C_p &= C_{Dp} + C_{Sp}
 \end{aligned}$$

CMOS



Μέγεθος εναντίον ταχύτητας τρζ

$\uparrow W_n x \Rightarrow \downarrow R_n$ but $\uparrow C_{out}$ and $\uparrow C_n$

$\downarrow W_n y \Rightarrow \downarrow C_n$ but $\uparrow R_n$

$\uparrow W_p z \Rightarrow \downarrow R_p$ but $\uparrow C_{out}$ and $\uparrow C_p$

$\downarrow W_p x \Rightarrow$ no effect on critical path

Slide 16

Άσκηση 1

- a) Εικονίστε σχηματικά το κύκλωμα το οποίο υλοποιεί την εξίσωση:

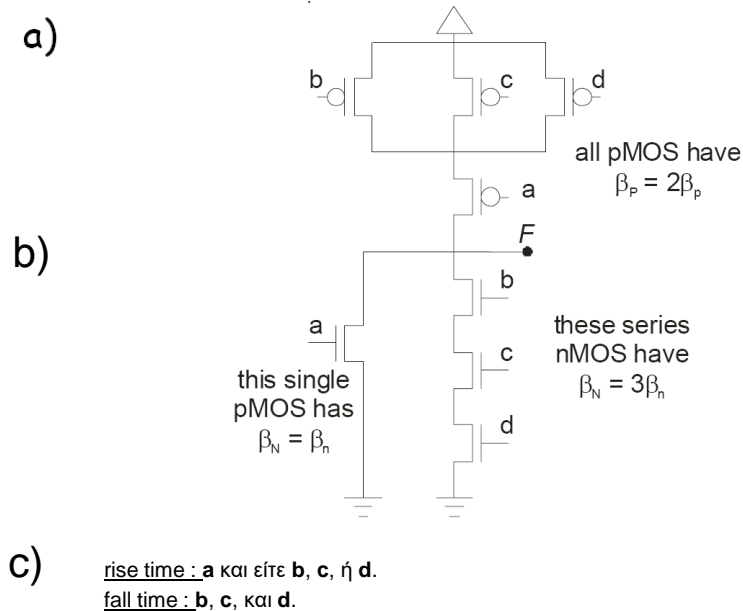
$$F = a + (b \cdot c \cdot d)$$

- b) Χρησιμοποιώντας έναν αντιστροφή με $\beta_n = \beta_p$ σαν αναφορά μεγέθους, καθορίστε το μέγεθος του κάθε τρανζίστορ σε αυτό το κύκλωμα το οποίο θα ισορροπήσει τις αντιστάσεις nMOS και pMOS. Δηλαδή, δώστε το μέγεθος κάθε τρανζίστορ (σε όρους β) σχετικά με β_n ή β_p .
- c) Αν, αντί να αλλάζουμε το μέγεθος των τρανζίστορ όπως στο μέρος (b), εμείς αφήσουμε όλα τα τρανζίστορ με β_n ή β_p , προσδιορίστε τις διαδρομές σημάτων (διαμέσου ποιων τρανζίστορ) οι οποίες θα έδιναν τους πιο αργούς χρόνους ανόδου και πτώσης.

TA 5017

L10: NAND/NOR CMOS

Slide 17



TA 5017

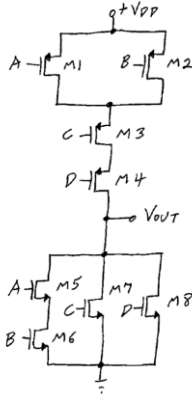
L10: NAND/NOR CMOS

Slide 18

- **ΠΡΟΒΛΗΜΑ 5** (15 μονάδες). Σχεδιάστε, σε επίπεδο τρανζίστορ CMOS, τη λογική πύλη:

$$F = \overline{AB + C + D}$$

Βρείτε τον λόγο W/L ο οποίος απαιτείται για όλα τα MOSFETs για να εξισορροπήσει τον χειρότερο χρόνο ανόδου και καθόδου. Υποθέστε $\mu_N = 3\mu_P$



$$\begin{aligned} \left(\frac{W}{L}\right)_1 &= \left(\frac{W}{L}\right)_2 = \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_4 = 9X \\ \left(\frac{W}{L}\right)_5 &= \left(\frac{W}{L}\right)_6 = 2X \\ \left(\frac{W}{L}\right)_7 &= \left(\frac{W}{L}\right)_8 = 1X \end{aligned}$$

TA 5017

L10: NAND/NOR CMOS

Slide 19

Άσκηση 2

Ένας αντιστροφέας CMOS έχει $V_{tn} = 0.6V$, $|V_{tp}| = 0.65V$, $k'_n/k'_p = 160/55$ με $V_{DD} = 3V$

(α) Αν το pMOS είναι διπλάσιο στο μέγεθος από το nMOS (π.χ. $W_p/L_p = 2W_n/L_n$), ποια είναι η τάση κατωφλίου μετάβασης του αντιστροφέα V_M ;

(β) Ποιος λόγος βήτα απαιτείται για τάση κατωφλίου μετάβασης $V_M = V_{DD}/2$;

(γ) Αν και τα δύο τρανζίστορ nMOS και pMOS έχουν ελάχιστο μήκος καναλιού, ποιος είναι ο λόγος πλάτους που απαιτείται για να έχουμε το λόγο βήτα που υπολογίστηκε στο μέρος (β).

(δ) Θα πρέπει το πλάτος του pMOS να αυξηθεί ή να ελαττωθεί για να αλλάξει το V_M σε 1.25 V;

TA 5017

L10: NAND/NOR CMOS

Slide 20

Λύση

$$\text{a) } V_M = \frac{V_{DD} - |V_{tp}| + V_m \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} = \frac{3 - 0.65 + 0.6 \sqrt{160/110}}{1 + \sqrt{160/110}} = 1.393$$

$$\text{b) } V_M = \frac{V_{DD} - |V_{tp}| + V_m \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} = \frac{3 - 0.65 + 0.6 \sqrt{\beta_n / \beta_p}}{1 + \sqrt{\beta_n / \beta_p}} = 1.5$$

$$\rightarrow \beta_n / \beta_p = 0.892$$

TA 5017

L10: NAND/NOR CMOS

Slide 21

Άσκηση 3

Ένας αντιστροφέας CMOS με ελάχιστο μέγεθος τρανζίστορ έχει $\beta_n = 0.2 \text{ mA/V}^2$, $\beta_p = 0.1 \text{ mA/V}^2$ και $V_{tn} = |V_{tp}| = 0.6 \text{ V}$. Υποθέστε $V_{DD} = 3.3 \text{ V}$.

1.(α) Ποια είναι η τάση κατωφλίου μετάβασης του αντιστροφέα V_M ;

(β) Ποια είναι η αντίσταση για κάθε τρανζίστορ χρησιμοποιώντας τη γενική έκφραση της αντίστασης του MOSFET στην περιοχή κόρου;

(γ) Ποιοι είναι οι χρόνοι ανόδου και πτώσης αυτού του κυκλώματος αν η παρασιτική χωρητικότητα εξόδου είναι 9 fF ;

(δ) Αν μια χωρητικότητα φόρτου $C_L = 25 \text{ fF}$ προστεθεί στην έξοδο, ποιοι θα είναι οι καινούριοι χρόνοι ανόδου και πτώσης;

(ε) Ποιες είναι οι καθυστερήσεις διάδοσης αυτού του κυκλώματος, λαμβάνοντας υπόψη και τις δύο χωρητικότητες (παρασιτική και φόρτου).

TA 5017

L10: NAND/NOR CMOS

Slide 22

Λύση

$$a) V_M = \frac{V_{DD} - |V_{tp}| + V_m \sqrt{\frac{\beta_n}{\beta_p}}}{1 + \sqrt{\frac{\beta_n}{\beta_p}}} = \frac{3.3 - 0.6 + 0.6\sqrt{2}}{1 + \sqrt{2}}$$

$$b) R_n = \frac{1}{\beta_n (V_{DD} - V_m)} = \frac{1}{(0.2)(2.7)} = 1.85 k\Omega$$

$$R_p = \frac{1}{\beta_p (V_{DD} - |V_{tp}|)} = \frac{1}{(0.1)(2.7)} = 3.7 k\Omega$$

$$c) t_{HL} = 2.2 R_n C_{out} = 2.2(1.85 k\Omega)(9 fF) = 36.7 ps$$

$$t_{LH} = 2.2 R_p C_{out} = 2.2(3.7 k\Omega)(9 fF) = 73.3 ps$$

d) Εδώ, $C_{out} = 25 + 9 = 34 fF$, έτσι

$$t_{HL} = 2.2 R_n C_{out} = 2.2(1.85 k\Omega)(34 fF) = 138.5 ps$$

$$t_{LH} = 2.2 R_p C_{out} = 2.2(3.7 k\Omega)(34 fF) = 277 ps$$

$$e) t_{HL} = \ln(2) R_n C_{out} = \ln(2)(1.85 k\Omega)(34 fF) = 43.6 ps$$

$$t_{LH} = \ln(2) R_p C_{out} = \ln(2)(3.7 k\Omega)(34 fF) = 87.3 ps$$

TA 5017

L10: NAND/NOR CMOS

Slide 23

Άσκηση 3

Απαντήστε στις επόμενες ερωτήσεις για το layout του κυκλώματος που δείχνεται δίπλα. Υποθέστε τις ακόλουθες τιμές για αυτό το πρόβλημα. $V_{DD}=3V$, $C_{j_p}=1fF/\mu m^2$, $C_{j_n}=1.2fF/\mu m^2$, $C_{ox}=2.5fF/\mu m^2$, $\mu_n=500cm^2/V\cdot sec$, $\mu_p=200cm^2/V\cdot sec$, $V_{tn}=0.6$, $V_{tp}=-0.7$, και $L=0.6\mu m$ για όλα τα τρανζίστορ. Αγνοήστε ενδεχόμενα φαινόμενα πλευρικής διάχυσης οπουδήποτε σε αυτό το πρόβλημα και υποθέστε ότι η πλευρική χωρητικότητα επαφής είναι αμελητέα.

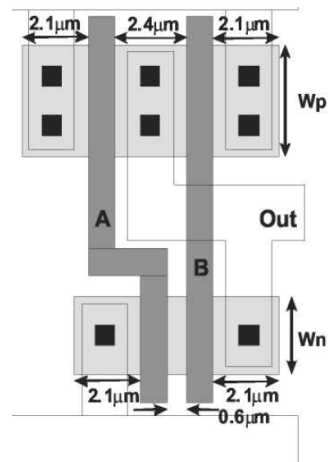
(α) Ποια είναι η έξοδος *Out* ως συνάρτηση των *A* και *B* (π.χ., ποια είναι η λογική συνάρτηση);

(β) Ποια είναι η τιμή της παρασιτικής χωρητικότητας στον κόμβο εξόδου συναρτήσει των W_n και W_p ;

(γ) Ποια είναι η τιμή της χωρητικότητας στον εσωτερικό κόμβο μεταξύ των τρανζίστορ nMOS A και B, συναρτήσει του W_n ;

(δ) Αν $W_n = 1.5\mu m$, $W_p = 2.1\mu m$ και $R_n = 2k\Omega$ (για ένα ξεχωριστό τρανζίστορ), ποιος είναι ο χρόνος πτώσης; Υποθέστε εξωτερική χωρητικότητα φόρτου $C_L = 5fF$.

(ε) Αν $W_n = 1.5\mu m$ και $R_p = 5k\Omega$ (για ένα μοναχό τρανζίστορ), ποια τιμή του W_p δίνει την καλύτερη περίπτωση χρόνο ανόδου των 200 ps; Υποθέστε εξωτερική χωρητικότητα φόρτου $C_L = 5fF$.



TA 5017

L10: NAND/NOR CMOS

Slide 24

Λύση

α) Out = A NAND B

β) Γενικά η παρασιτική χωρητικότητα εξόδου, C_{po} μπορεί να εκφραστεί ως,

$$C_{po} = C_{DnB} + C_{DpA} + C_{DpB}$$

αλλά εδώ οι υποδοχές του pMOS για A και B μοιράζονται, έτσι μπορούμε να γράψουμε

$$C_{para} = C_{DnB} + C_{DpAB}$$

$$C_{DnB} = \frac{1}{2} C_{ox} W_n L + C_j A_{Dnbot} = \frac{1}{2} (2.5)(W_n)(0.6) + (1.2)(W_n)(2.1) = 3.27 W_n \text{ [fF/}\mu\text{m]}$$

$$C_{DpAB} = 2 (\frac{1}{2} C_{ox} W_p L) + C_j A_{Dpbot} = (2.5)(W_p)(0.6) + (1)(W_p)(2.4) = 3.9 W_p$$

άρα $C_{po} = 3.27 W_n + 3.9 W_p$, όπου C_{po} είναι σε fF όταν τα W είναι σε μm

γ) Πάλι, επειδή η περιοχή διάχυσης μοιράζεται, μπορούμε να γράψουμε

$$\text{Επειδή } C_{gnA} = C_{gnB}, C_{px} = C_{gn} + C_{jn} = C_{ox}(W_n)L + C_{jn}(W_n)(0.6)$$

$$C_{px} = 2.5(W_n)(0.6) + 1.2(W_n)(0.6)$$

$$C_{px} = 2.22 W_n$$

TA 5017

L10: NAND/NOR CMOS

Slide 25

$$\delta) t_f = 2.2\tau_n = 2.2 (2 R_n C_{out} + R_n C_{px}), C_{out} = C_{po} + C_L$$

$$t_f = 2.2 R_n (2 (C_{po} + C_L) + C_{px}) = 2.2 R_n (2(3.27 W_n + 3.9 W_p + C_L) + 2.22 W_n)$$

$$t_f = 2.2(2k) (2(3.27 (1.5) + 3.9 (2.1) + 5) + 2.22(1.5))$$

$$t_f = 173.9 \text{ psec}$$

ε) Για την καλύτερη περίπτωση χρόνου ανόδου, και τα δύο τρανζίστορ

άγουν (είναι ON), έτσι η συνολική αντίσταση είναι $\frac{1}{2} R_p$.

$$\rightarrow t_r = 2.2\tau_p = 2.2 (\frac{1}{2} R_n (C_{po} + C_L)) = 2.2 (\frac{1}{2} R_n (3.27 W_n + 3.9 W_p + C_L))$$

$$t_r = 200 = 2.2 (\frac{1}{2} (5) (3.27 (1.5) + 3.9 W_p + 5)) = 5.5 (9.9 + 3.9 W_p)$$

$$W_p = 6.78$$

TA 5017

L10: NAND/NOR CMOS

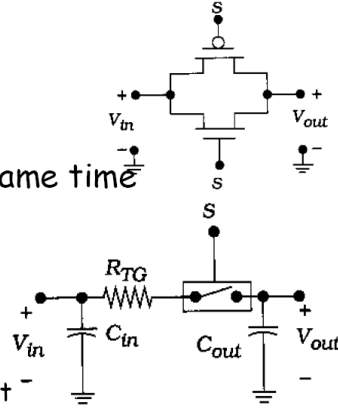
Slide 26

Timing Analysis of Transmission Gates

- TG = parallel nMOS and pMOS

- RC Model

- in general, only one tx active at same time
 - nMOS pulls output low
 - pMOS pushes output high
- $R_{TG} = \max(R_n, R_p)$
- $C_{in} = C_{S_n} + C_{Dp}$
 - if output at higher voltage than input
- larger W will decrease R but increase C_{in}



- Note: no connections to VDD-Ground. Input signal, V_{in} , must drive TG output; TG just adds extra delay

TA 5017

L10: NAND/NOR CMOS

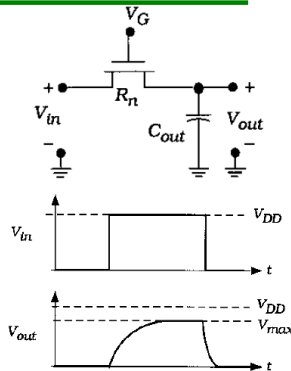
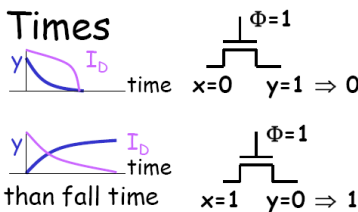
Slide 27

Pass Transistor

- Single nMOS or pMOS tx
- Often used in place of TGs
 - less area and wiring
 - can't pull to both VDD and Ground
 - typically use nMOS for better speed

- Rise and Fall Times

- $\tau_n = R_n C_{out}$
- $t_f = 2.94 \tau_n$
- $t_r = 18 \tau_n$
 - much slower than fall time



- nMOS can't pull output to VDD
 - rise time suffers from threshold loss in nMOS

TA 5017

L10: NAND/NOR CMOS

Slide 28