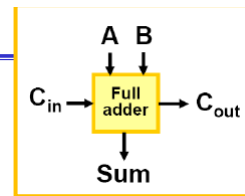


## Μάθημα 11:



### Συνδυαστικά λογικά κυκλώματα MOS

Λευτέρης Καπετανάκης



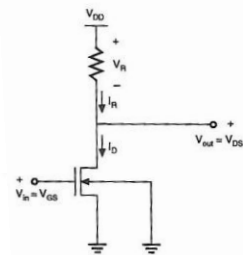
Ελληνικό Μεσογειακό Πανεπιστήμιο  
Τμήμα Ηλεκτρονικών Μηχανικών  
2021-2022

Slide 1

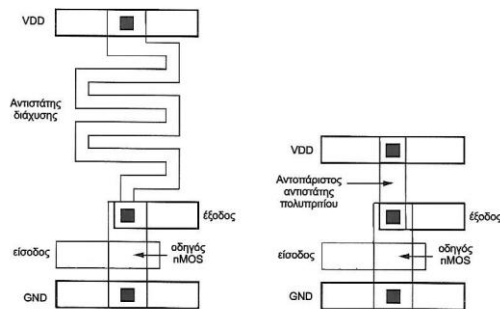
**ΣΗΜΕΙΩΣΗ:** Στις διαφάνειες των διαλέξεων χρησιμοποιείται διδακτικό υλικό το οποίο έχει δανειστεί από διάφορα εκπαιδευτικά βιβλία και διαδικτυακές σελίδες. Ο εισηγητής δεν έχει καμιά αξίωση κατοχής του υλικού αυτού και το χρησιμοποιεί μόνο για λόγους διδασκαλίας εντός της τάξης. Οι εικόνες και οι πίνακες είναι κτήμα διαφόρων συγγραφέων και παρέχονται στον αντίστοιχο δικτυότοπό τους.

Slide 2

## Αντιστροφέας Ωμικού Φορτίου



Σχήμα 5.7 Κύκλωμα αντιστροφή ωμικού φορτίου



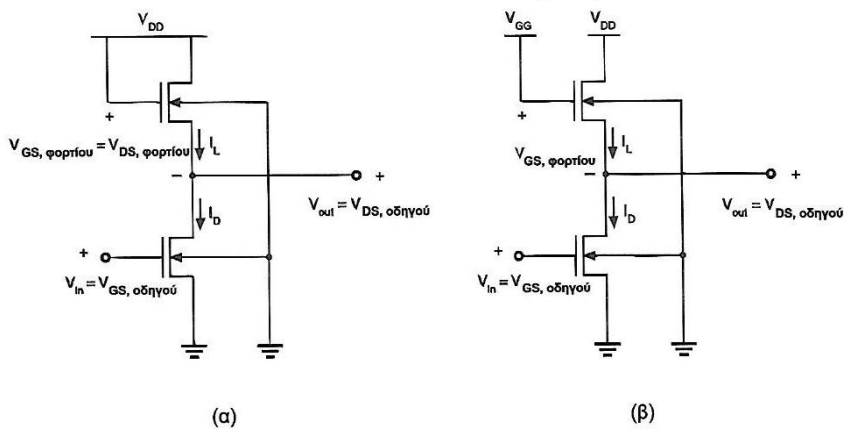
Σχήμα 5.10 Σχεδιαστικό υπόδειγμα κυκλωμάτων αντιστροφή ωμικού φορτίου με (α) διασκορπισμένη αντίσταση (β) αντίσταση αποτάριστου πολυπυριτίου

Sung-Mo Kang & Yusuf Leblebici: Ανάλυση & Σχεδίαση Ψηφιακών Ολοκληρωμένων Κυκλωμάτων CMOS, 3<sup>η</sup> έκδοση, ΕΚΔΟΣΕΙΣ ΤΖΙΟΛΑ

Slide 3

## Αντιστροφείς με φορτίο n-τύπου MOSFET

### Αντιστροφέας με nMOS ενίσχυσης



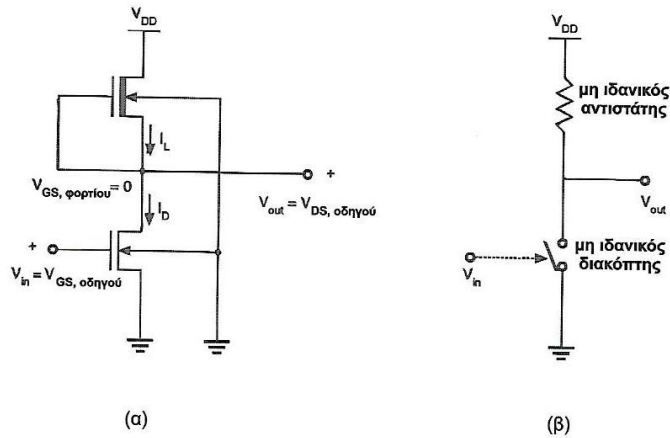
Σχήμα 5.11 (α) Κύκλωμα αντιστροφή τρανζίστορ πύκνωσης με κορεσμένο φορτίο (β) Αντιστροφέας πύκνωσης με γραμμικό φορτίο

Sung-Mo Kang & Yusuf Leblebici: Ανάλυση & Σχεδίαση Ψηφιακών Ολοκληρωμένων Κυκλωμάτων CMOS, 3<sup>η</sup> έκδοση, ΕΚΔΟΣΕΙΣ ΤΖΙΟΛΑ

Slide 4

## Αντιστροφείς με φορτίο n-τύπου MOSFET

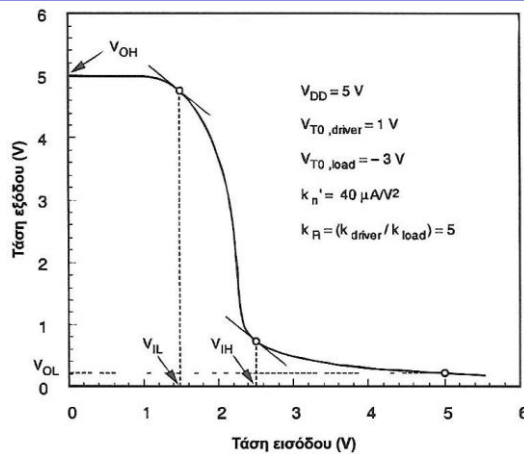
### Αντιστροφέας nMOS με Φορτίο Αραίωσης



**Σχήμα 5.12** (α) Κύκλωμα αντιστροφέα με φορτίο αραίωσης nMOS (β) Απλοποιημένο ισοδύναμο κύκλωμα, αποτελούμενο από μη γραμμικό φορτίο αντίστασης και μη ιδανικό διακόπτη ελεγχόμενο από την είσοδο

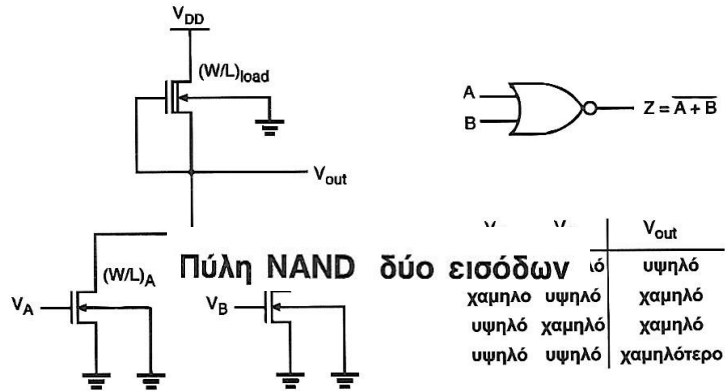
Slide 5

### Τυπική VTC ενός κυκλώματος αντιστροφέα μειωτικού φορτίου



$V_{in}$	$V_{out}$	Περιοχή λειτουργίας του οδηγού	Περιοχή λειτουργίας του φόρτου
$V_{OL}$	$V_{OH}$	αποκοπή	γραμμική
$V_{IL}$	$\sim V_{OH}$	κόρος	γραμμική
$V_{IH}$	small	γραμμική	κόρος
$V_{OH}$	$V_{OL}$	γραμμική	κόρος

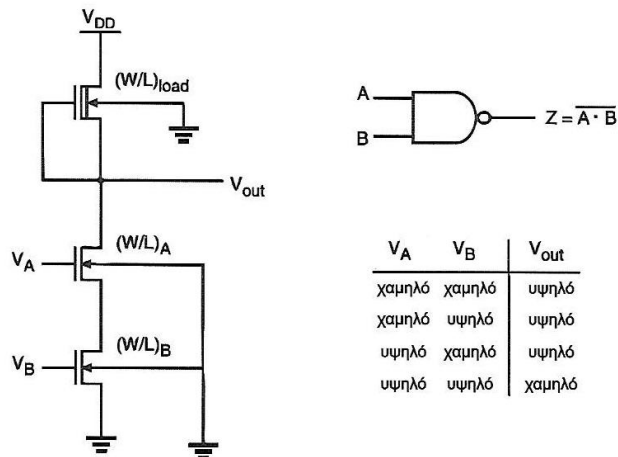
## Πύλη NOR δύο εισόδων



**Σχήμα 7.2** Μία πύλη NOR απογύμνωσης φορτίου με δύο εισόδους, το λογικό της σύμβολο και ο αντίστοιχος πίνακας αλήθειας. Να σημειωθεί ότι όλα τα τρανζίστορ είναι συνδεδεμένα με τη γείωση.

Slide 7

## Πύλη NAND δύο εισόδων



**Σχήμα 7.6** Μία πύλη απογύμνωσης φορτίου NAND με δύο εισόδους, το λογικό της σύμβολο και ο αντίστοιχος πίνακας αλήθειας. Παρατηρείστε την επίδραση πόλωσης υποστρώματος για όλα τα τρανζίστορ nMOS, εκτός από ένα.

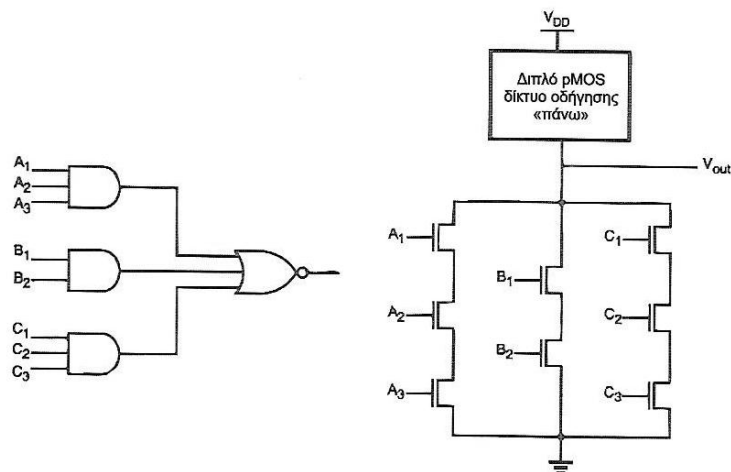
Slide 8

## Πύλες Ψευδο-nMOS

Οι απαιτήσεις μεγάλης περιοχής των σύνθετων CMOS πυλών παρουσιάζει ένα πρόβλημα στην σχεδίαση υψηλής πυκνότητας, καθώς χρειάζονται δύο συμπληρωματικά τρανζίστορ, ένα nMOS και ένα pMOS, για κάθε είσοδο. Μια πιθανή προσέγγιση για να μειωθεί ο αριθμός των τρανζίστορ είναι η χρήση μόνο ενός τρανζίστορ pMOS, με τον ακροδέκτη της πύλης του, συνδεδεμένο στη γείωση, σαν διάταξη φορτίου (Σχήμα 7.26). Με αυτή την απλή pull-up ρύθμιση, η σύνθετη πύλη μπορεί να υλοποιηθεί με πολύ λιγότερα τρανζίστορ. Οι ομοιότητες των ψευδο-nMOS πυλών με τις nMOS λογικές πύλες απογύμνωσης φορτίου είναι εμφανείς.

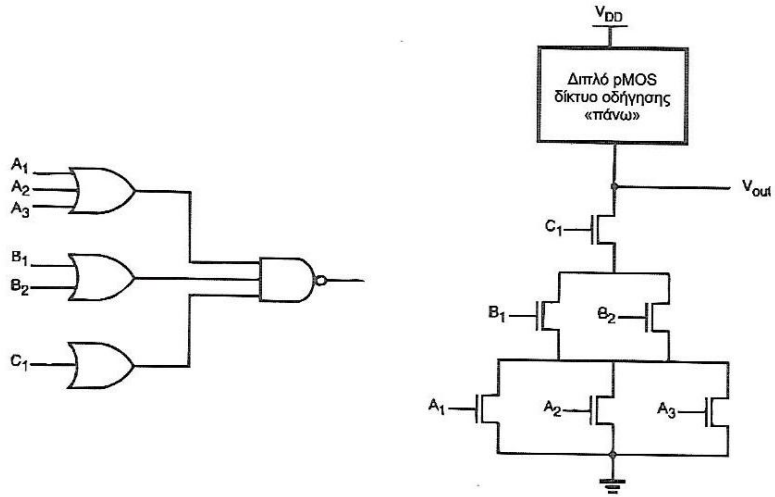
Το πιο σημαντικό μειονέκτημα από τη χρήση των ψευδο-nMOS πυλών αντί της πλήρους-CMOS πύλης είναι η μη μηδενική στατική κατανάλωση ισχύος, καθώς η συνέχεια ανοικτή pMOS διάταξη φορτίου άγει ρεύμα σταθερής κατάστασης, όταν η τάση εξόδου είναι μικρότερη από το  $V_{DD}$ . Επίσης, η τιμή του  $V_{OL}$  και τα περιθώρια θορύβου τώρα καθορίζονται από το λόγο (*ratio*) της διαγωγιμότητας του pMOS φορτίου ως προς την διαγωγιμότητα του pull-down ή την διαγωγιμότητα του οδηγού.

Slide 9



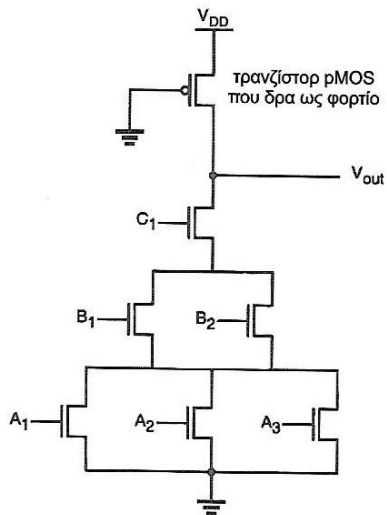
Σχήμα 7.24 Μία πύλη AND-OR-INVERT (AOI) και το αντίστοιχο pull-down δίκτυο.

Slide 10



Σχήμα 7.25 Μία πύλη OR-AND-INVERT (OAI) και το αντίστοιχο pull-down δίκτυο.

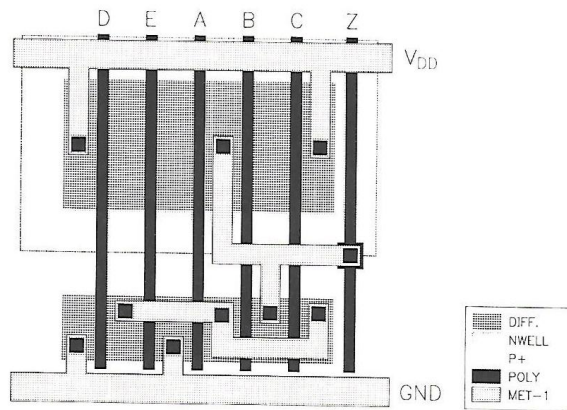
Slide 11



Σχήμα 7.26 Η ψευδο-MOS υλοποίηση της OAI πύλης στο Σχήμα 7.25.

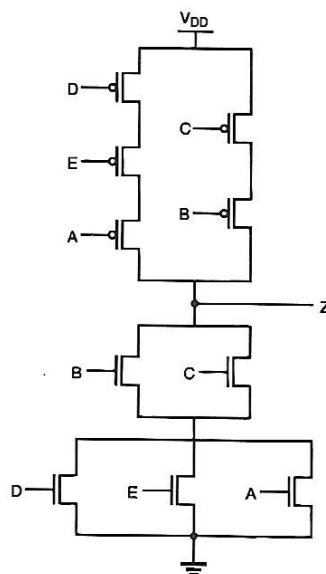
Slide 12

Το απλουστευμένο φυσικό σχέδιο ενός σύνθετου CMOS λογικού κυκλώματος δίνεται παρακάτω. Σχεδιάστε το αντίστοιχο διάγραμμα κυκλώματος και βρείτε ένα ισόδυναμο κύκλωμα CMOS αντιστροφέα για ταυτόχρονη μετάβαση όλων των εισόδων, υποθέτοντας ότι  $(W/L)_p = 15$  για όλα τα τρανζίστορ pMOS και  $(W/L)_n = 10$  για όλα τα τρανζίστορ nMOS.



Slide 13

Το διάγραμμα κυκλώματος μπορεί να βρεθεί από το φυσικό σχέδιο με διερεύνηση:



Η Συνάρτηση Boole που υλοποιείται από αυτό το κύκλωμα είναι

$$Z = \overline{(D + E + A)}(B + C)$$

Ο ισοδύναμος λόγος (W/L) του nMOS δικτύου και του pMOS δικτύου καθορίζεται με τη χρήση των κανόνων ισοδυναμίας σειριακά-παράλληλα, όπως αυτοί συζητήθηκαν νωρίτερα στο Κεφάλαιο αυτό, ως εξής:

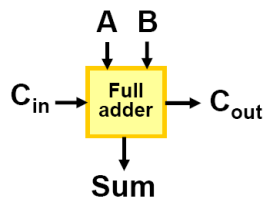
$$\left(\frac{W}{L}\right)_{n,eq} = \frac{1}{\frac{1}{\left(\frac{W}{L}\right)_D + \left(\frac{W}{L}\right)_E + \left(\frac{W}{L}\right)_A} + \frac{1}{\left(\frac{W}{L}\right)_B + \left(\frac{W}{L}\right)_C}} = \frac{1}{\frac{1}{30} + \frac{1}{20}} = 12$$

$$\left(\frac{W}{L}\right)_{p,eq} = \frac{1}{\frac{1}{\left(\frac{W}{L}\right)_D + \left(\frac{W}{L}\right)_E + \left(\frac{W}{L}\right)_A} + \frac{1}{\left(\frac{W}{L}\right)_B + \left(\frac{W}{L}\right)_C}} = \frac{1}{\frac{1}{15} + \frac{1}{15} + \frac{1}{15}} + \frac{1}{\frac{1}{15} + \frac{1}{15}} = 12.5$$

Slide 15

## — Κύκλωμα CMOS πλήρους αθροιστή —

### Full-Adder

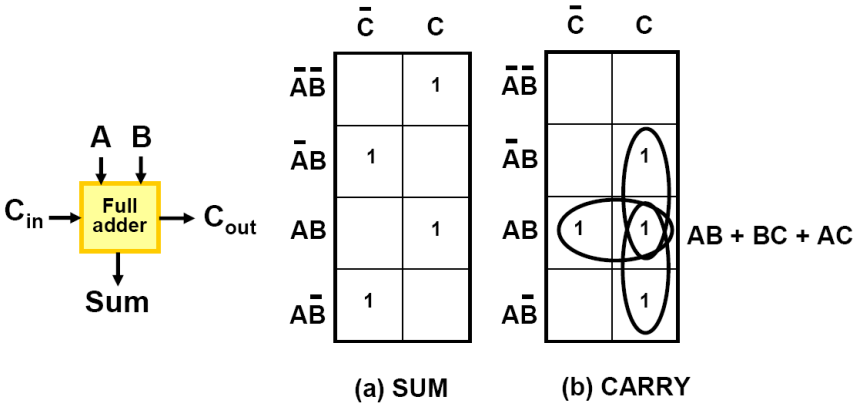


- **FA:** Add three one-bit numbers
- Equivalently: count # 1's in A, B, C<sub>i</sub>
- Output as 2-bit number <C<sub>o</sub>S>
- **HA:** Add two one-bit numbers, output as <C<sub>o</sub>S>

A	B	C <sub>in</sub>	C <sub>out</sub>	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



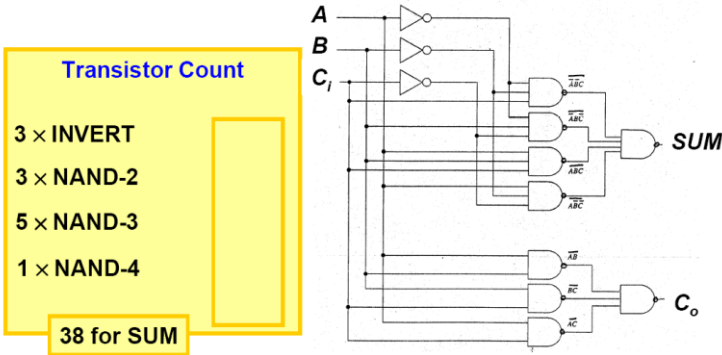
# The Binary Adder



$$\begin{aligned}
 S &= \bar{A}\bar{B}C_i + \bar{A}B\bar{C}_i + ABC_i + A\bar{B}\bar{C}_i \\
 &= A \oplus B \oplus C_i \\
 C_o &= AB + BC_i + AC_i
 \end{aligned}$$

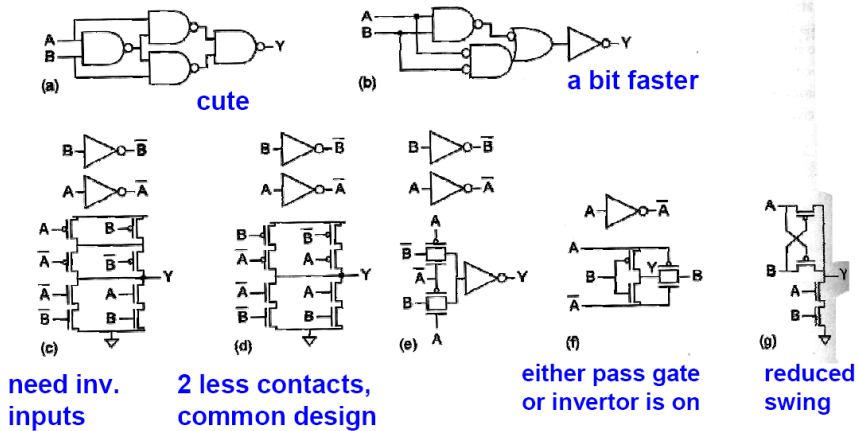
Common expression forms for sum and carry

- Use DeMorgan to convert AND-OR expressions for *SUM* and *CARRY* to NAND-NAND
- $PQ + RS = \sim(\sim(PQ) \sim(RS))$  (example)



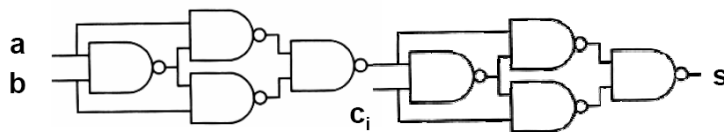
## Let's try XOR SUM Ckt


- $S = A \oplus B \oplus C_i$
- Chronic difficulty in CMOS: to construct a fast, low-power XOR or XNOR gate



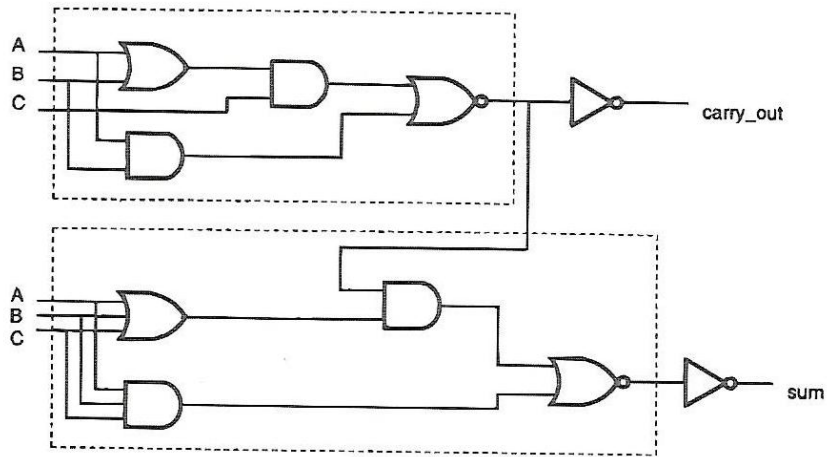
Slide 19

## XOR CMOS Sum Implementation



- Improved from 38 to 32 transistors for SUM, slightly better
  - But ...
- .... logic depth of 8 → sloooooow 

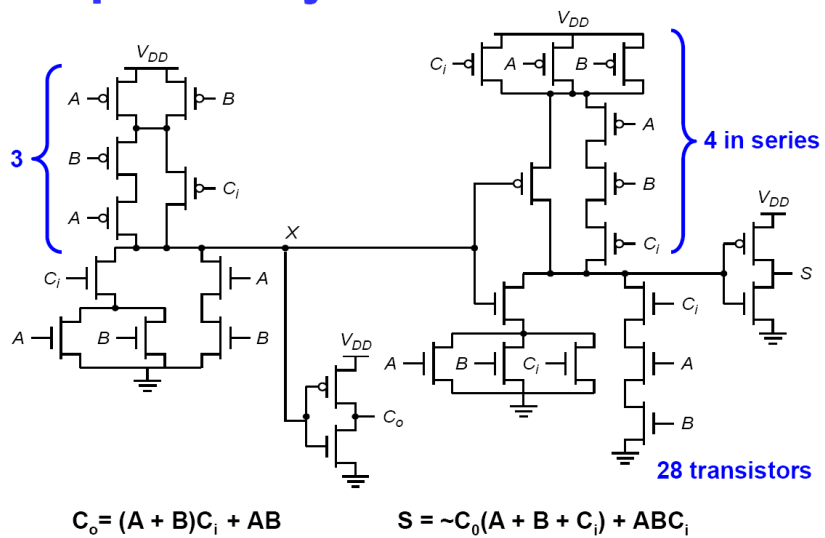
Slide 20



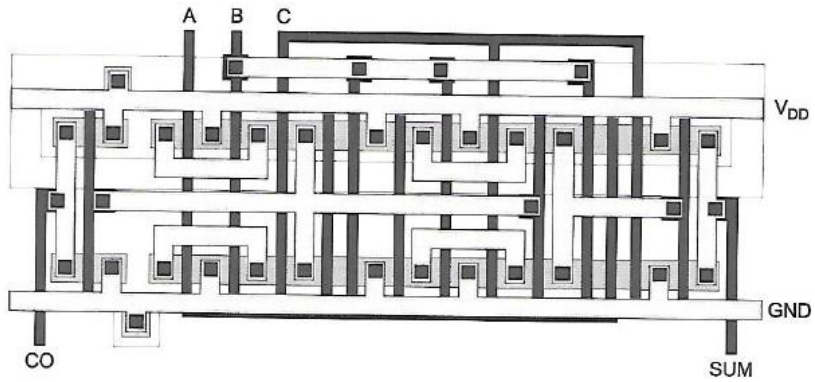
Σχήμα 7.27 Σχήμα επιπέδου πύλης του πλήρους αθροιστή ενός-bit.

Slide 21

## Complementary Static CMOS Full Adder

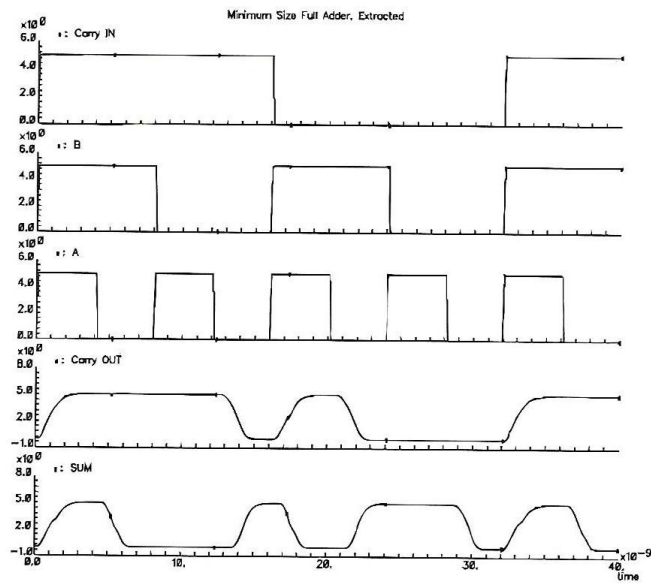


Slide 22



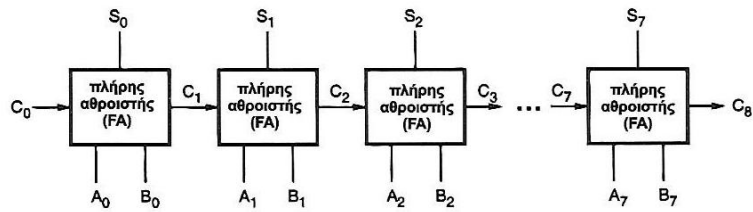
Σχήμα 7.29 Φυσικό σχέδιο μάσκας του CMOS πλήρους αθροιστή, χρησιμοποιώντας τρανζίστορ ελάχιστου μεγέθους.

Slide 23



Σχήμα 7.31 Προσομοιωμένες κυματομορφές εισόδου και εξόδου του CMOS πλήρους αθροιστή.

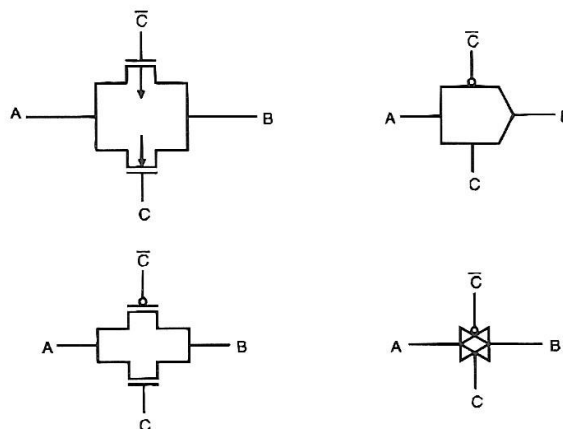
Slide 24



**Σχήμα 7.32** Μπλοκ διάγραμμα μιας αλυσίδας αθροιστών διάδοσης κρατουμένου, που αποτελείται από πλήρεις αθροιστές.

Slide 25

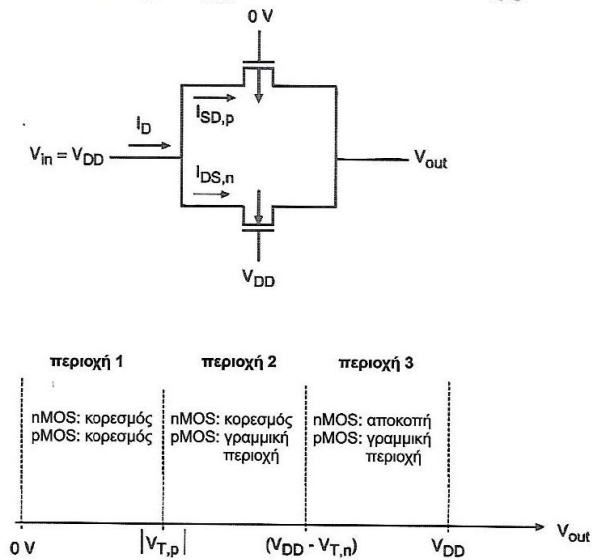
### Πύλες μετάδοσης CMOS (Πύλες Διέλευσης)



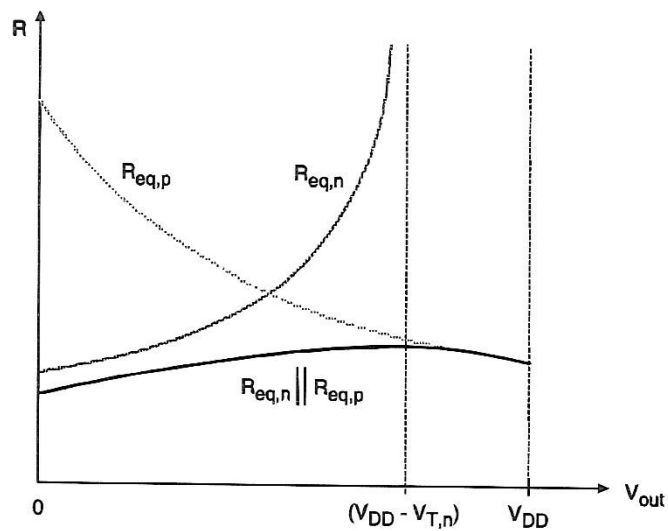
**Σχήμα 7.33** Τέσσερις διαφορετικές αναπαραστάσεις της CMOS πύλης μετάδοσης (TG).

Slide 26

## — DC ανάλυση της CMOS πύλης διάδοσης: —

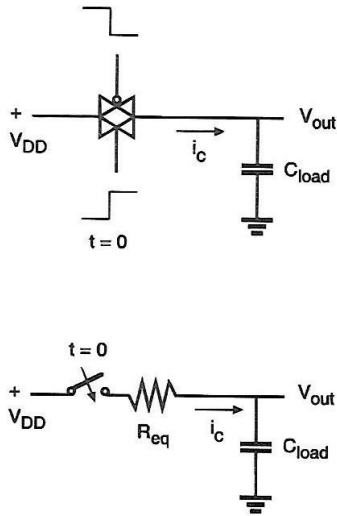


**Σχήμα 7.34** Συνθήκες πόλωσης και περιοχές λειτουργίας της CMOS πύλη μετάδοσης, που φαίνονται ως συναρτήσεις της τάσης εξόδου. 3 27



**Σχήμα 7.35** Ισοδύναμη αντίσταση της CMOS πύλης μετάδοσης, σχεδιασμένη ως συνάρτηση της τάσης εξόδου.

Slide 28



**Σχήμα 7.36** Αντικατάσταση της CMOS TG με τον ισοδύναμο αντιστάτη για μεταβατική ανάλυση.

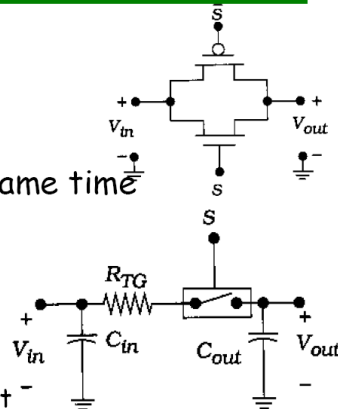
Slide 29

## Timing Analysis of Transmission Gates

- TG = parallel nMOS and pMOS

- RC Model

- in general, only one tx active at same time
  - nMOS pulls output low
  - pMOS pushes output high
- $R_{TG} = \max(R_n, R_p)$
- $C_{in} = C_{Sn} + C_{Dp}$ 
  - if output at higher voltage than input
- larger  $W$  will decrease  $R$  but increase  $C_{in}$



- Note: no connections to VDD-Ground. Input signal,  $V_{in}$ , must drive TG output; TG just adds extra delay

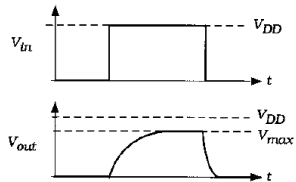
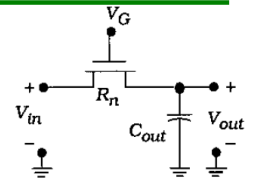
TA 5017

L10: NAND/NOR CMOS

Slide 30

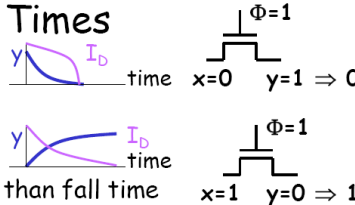
## Pass Transistor

- Single nMOS or pMOS tx
- Often used in place of TGs
  - less area and wiring
  - can't pull to both VDD and Ground
  - typically use nMOS for better speed



### • Rise and Fall Times

- $\tau_n = R_n C_{out}$
- $t_f = 2.94 \tau_n$
- $t_r = 18 \tau_n$ 
  - much slower than fall time

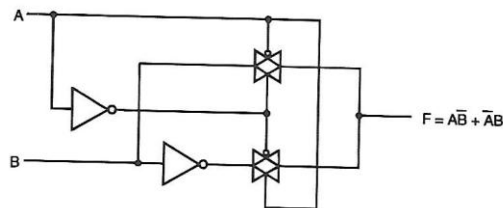


- nMOS can't pull output to VDD
  - rise time suffers from threshold loss in nMOS

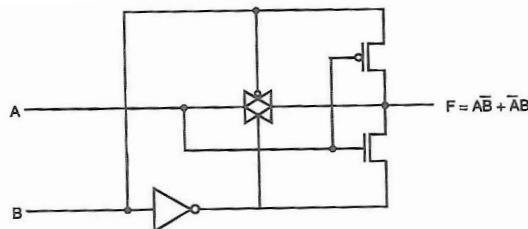
TA 5017

L10: NAND/NOR CMOS

Slide 31



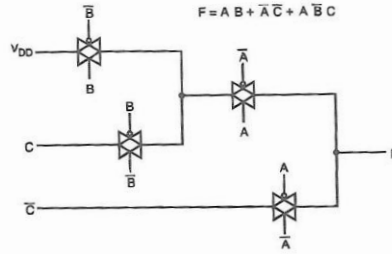
Σχήμα 7.38 Υλοποίηση οκτώ τρανζίστορ της CMOS TG, της XOR συνάρτησης.



Σχήμα 7.39 Υλοποίηση έξι τρανζίστορ της CMOS TG, της XOR συνάρτησης.

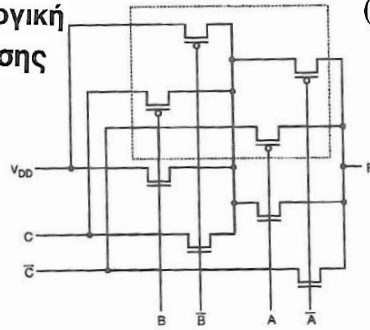
Slide 32





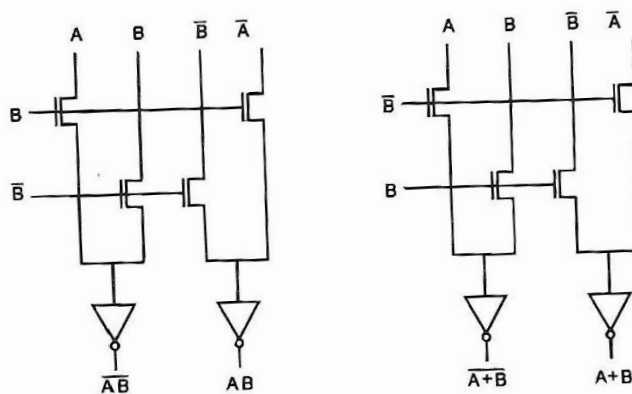
Συμπληρωματική Λογική  
τρανζίστορ διέλευσης

(Complementary Pass-  
Transistor Logic- CPL)



Σχήμα 7.40 (α) CMOS TG πραγματοποίηση μιας Συνάρτησης Boole τριών μεταβλητών, (β) Όλα τα τρανζίστορ pMOS μπορούν να τοποθετηθούν σε ένα n-πηγάδι για εξοικονόμηση περιοχής.

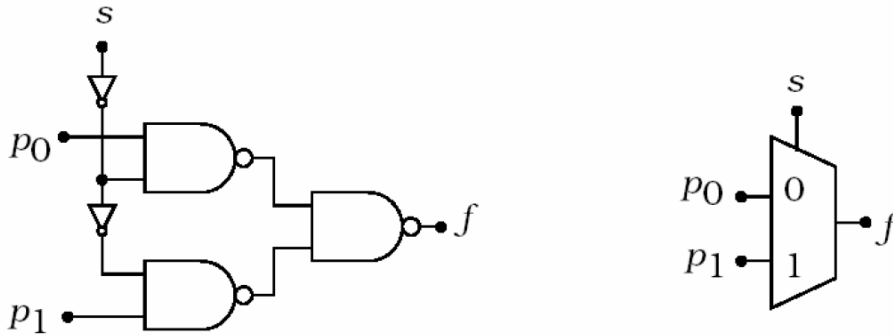
Slide 33



Σχήμα 7.42 Διάγραμμα κυκλώματος μιας (α) CPL NAND2 πύλης και (β) μιας CPL NOR2 πύλης.

Slide 34

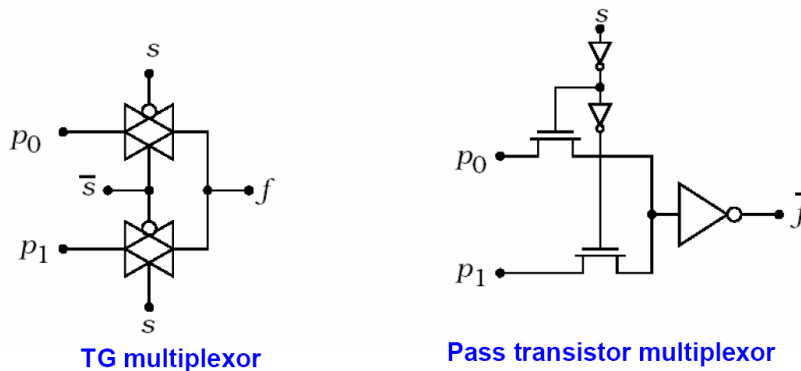
## Gate-level NAND 2:1 multiplexor.



- Q: How many transistors?
- A: 16

Slide 35

## Multiplexor using switch logic.



TG multiplexor

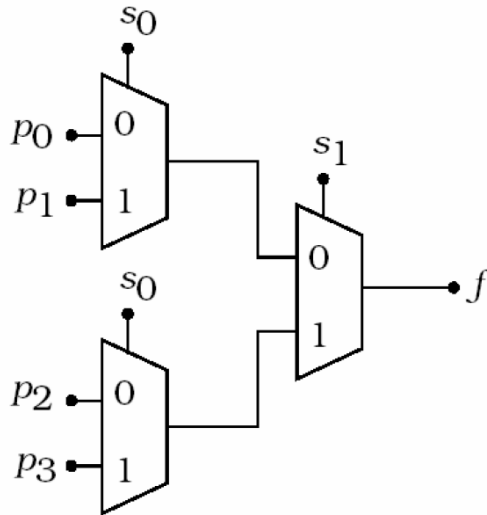
Pass transistor multiplexor

- 4 transistors
- Want to add 4 more for buffering  $s$  and  $\sim s$ , total 8
- May want to add output inverter (or 2)

- 6 transistors + 2 for output, total 8 again.
- May want to add another inverter for non-inverted output
- Claim about simpler layout

Slide 36

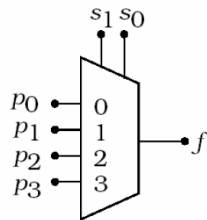
## A 4:1 MUX using instanced 2:1 devices.



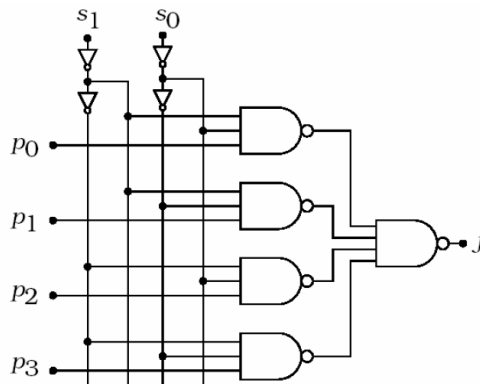
- Can use any of previous 2:1 multiplexers
- May exploit 2 level structure to avoid double inverters (buffers)

Slide 37

## Gate-level 4:1 MUX



(a) Symbol

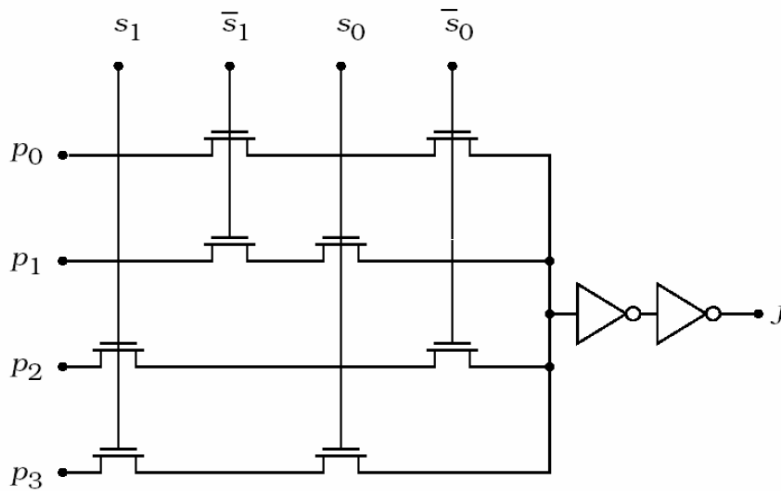


(b) Logic diagram

- Q: How many transistors?
- A: 40

Slide 38

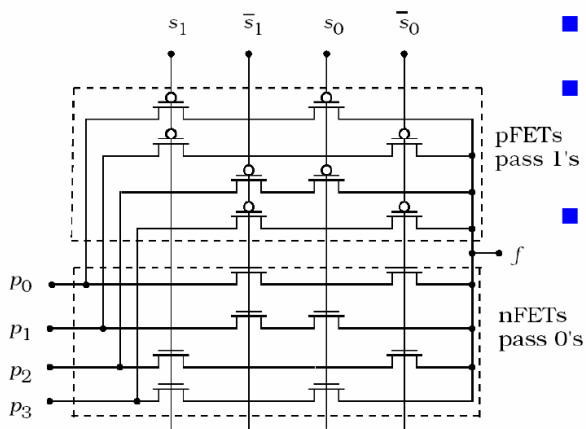
## 4:1 MUX using nFET pass transistors.



- Q: How many transistors?
- A: 12 + 8 for buffering  $s_i$  and  $\sim s_i$

Slide 39

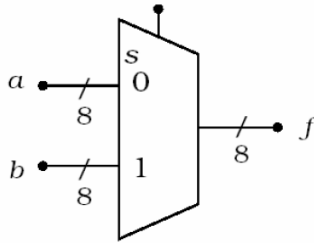
## Split-array 4:1 MUX for full-rail output.



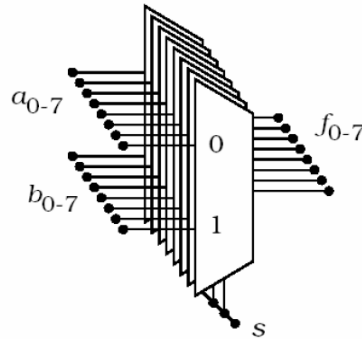
- Similar to TG circuits
- Output can deliver strong 0 and strong 1
- Splitting nMOS and pMOS transistors also in layout allows for simpler design
- Example of trade-offs common to VLSI designer

Slide 40

## A vector 2:1 MUX.



(a) Symbol



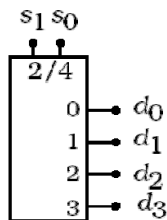
(b) Bit-level realization

```

module mux_2_1_8b (f, a, b, s);
  input [7:0] a, b;
  input s;
  output [7:0] f;
  assign f = s ? b : a;
endmodule
    
```

## Binary Decoders

- One of  $N$  outputs high (or low) directed by  $\log_2(N)$  control inputs.

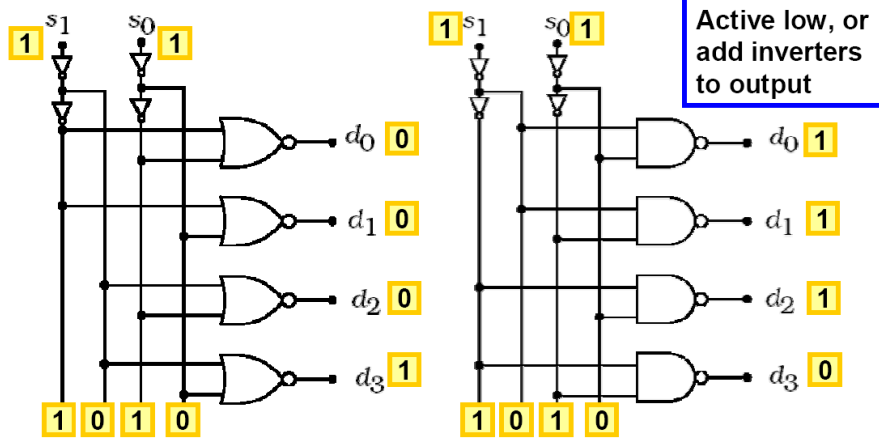


$s_1$	$s_0$	$d_0$	$d_1$	$d_2$	$d_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

```

module dec_4 (d0, d1, d2, d3, sel)
  input [1:0] sel;
  output d0, d1, d2, d3;
  case (sel)
    0: d0=1, d1=0, d2=0, d3=0;
    1: d0=0, d1=1, d2=0, d3=0;
    2: d0=0, d1=0, d2=1, d3=0;
    3: d0=0, d1=0, d2=0, d3=1;
  endcase
endmodule
    
```

## Nor vs Nand Implementation



- Discuss the trade-offs involved, particularly when considering many more outputs

Slide 43